

Altium Designer 19

Version 2

2019.8.6

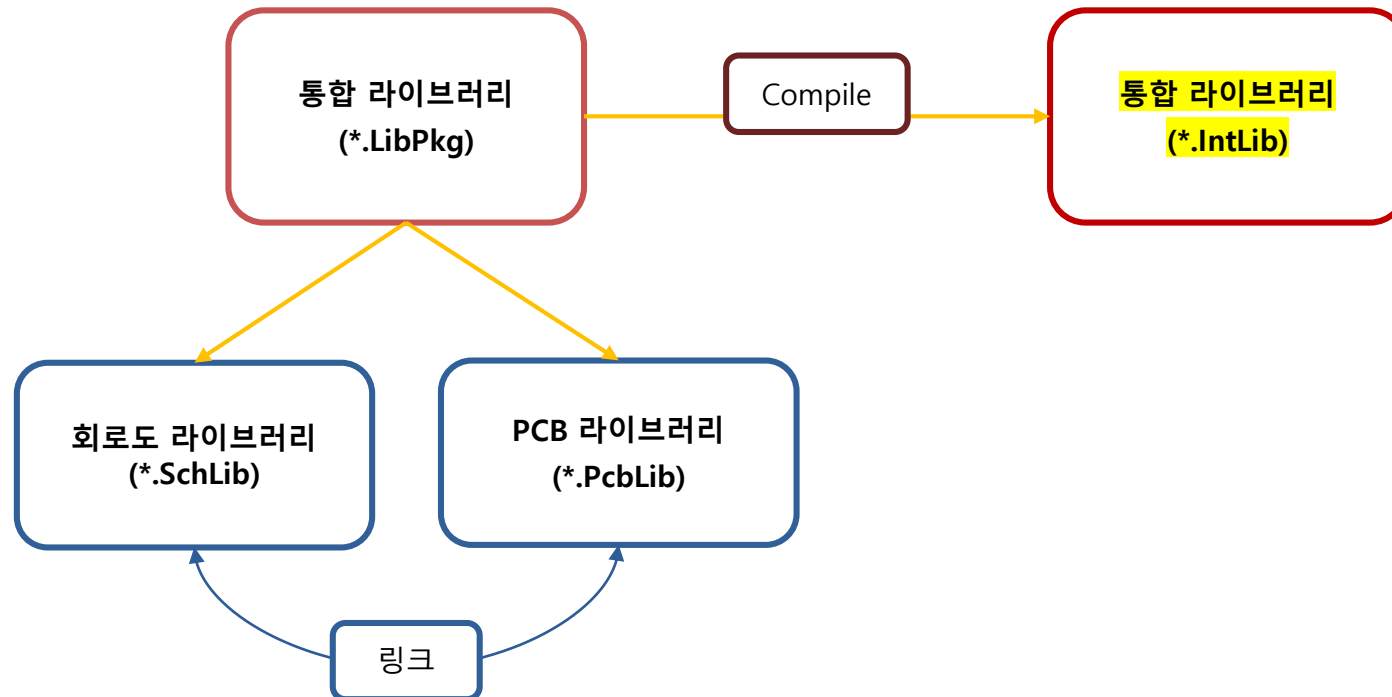
제품 개발 프로세스

- Altium 프로젝트 작업 과정



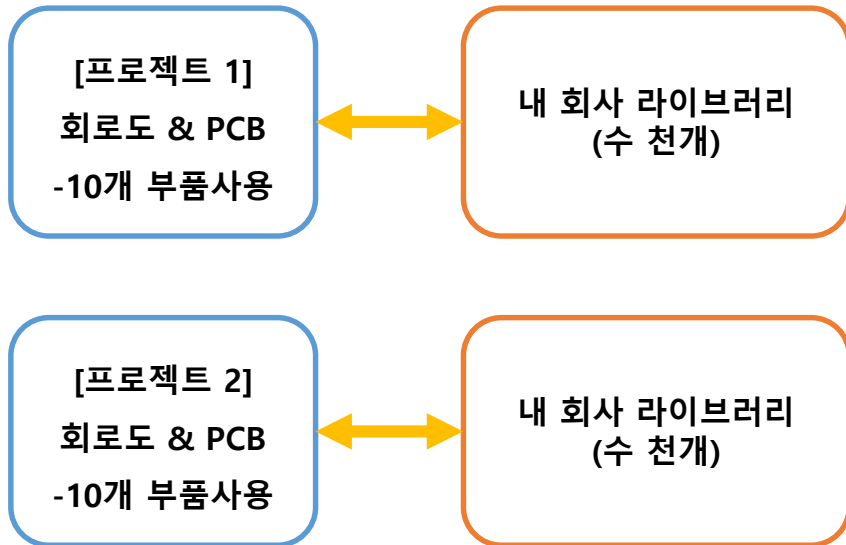
라이브러리 기본 설명

사용 처	파일명	용어
회로도	*.SchLib	Symbol
PCB	*.PcbLib	Footprint



라이브러리 관리 비교

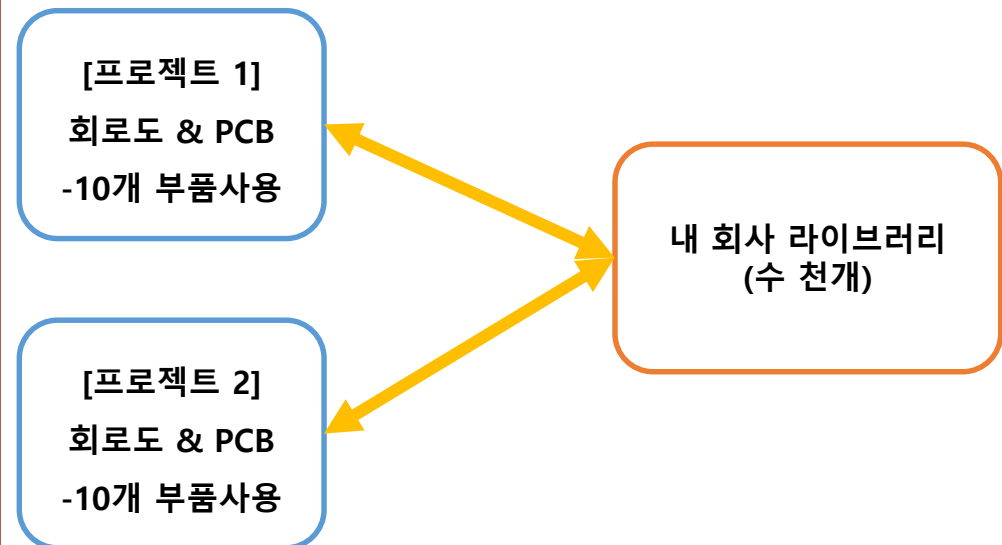
Single Library



용량 비교

프로젝트 1	100 MB
프로젝트 2	100 MB

Integrated Library



용량 비교

프로젝트 1	10 MB
프로젝트 2	10 MB

Altium Designer 19

I. 라이선스 인증 및 프로그램 UI

II. 환경설정

III. 회로설계

IV. PCB설계

V. 일괄데이터 생성

VI. 라이브러리 제작

라이선스 인증 및 프로그램 UI

1. 라이선스 인증
2. 확장시스템 설치 및 최신버전 업데이트
3. 사용자 인터페이스 소개

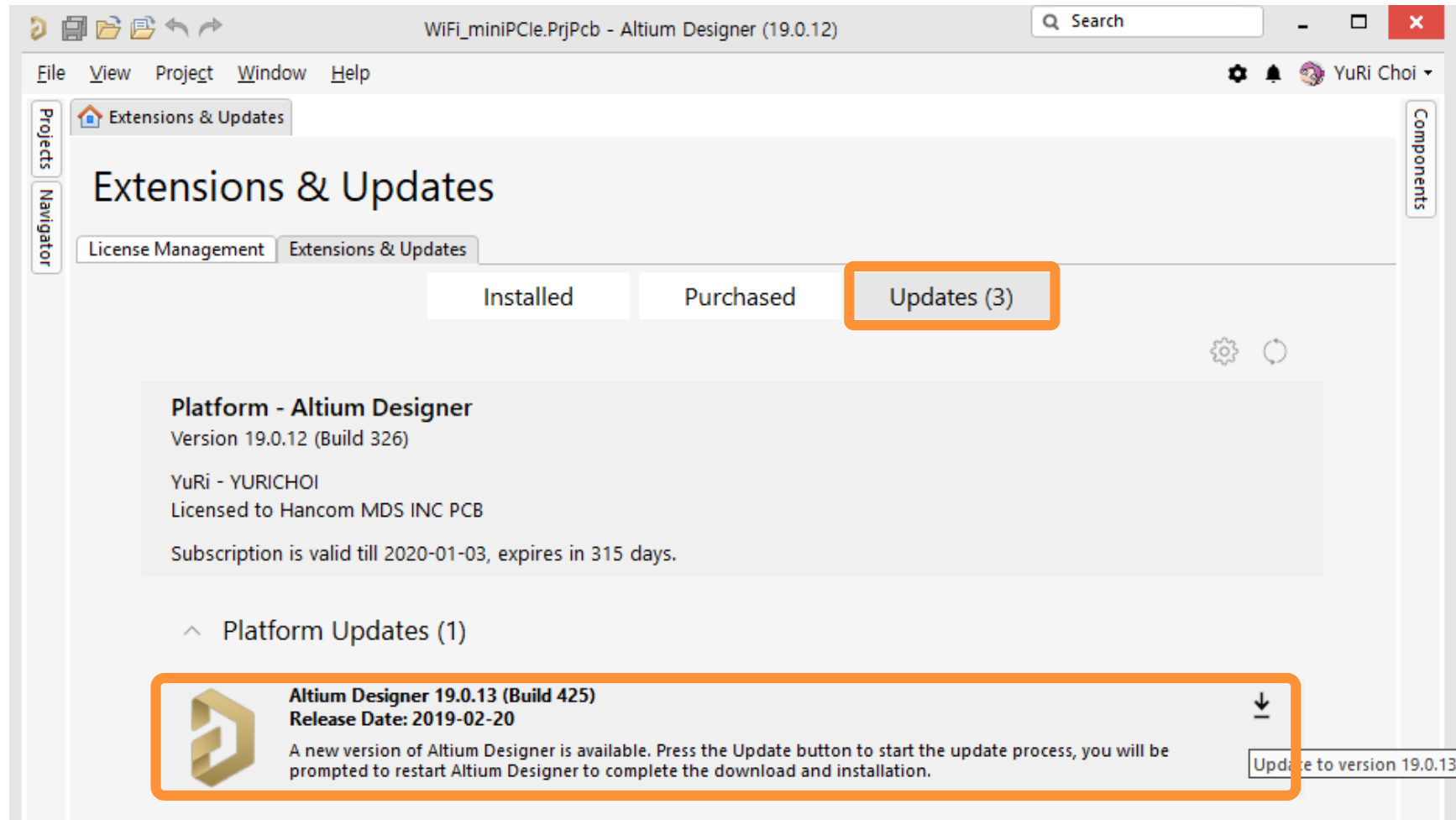
라이선스 인증

The image shows the Altium Designer (19.0.12) License Management window. The main window displays the user's account (YuRi Choi) and a list of available licenses. A dialog box titled "개인 라이선스 서버 설정" (Personal License Server Settings) is open, allowing the user to configure a private license server. The dialog has two sections: "주 서버" (Main Server) and "보조 서버" (Secondary Server). In the "주 서버" section, the "서버 주소" (Server Address) is set to "서버PC IP주소" (Server PC IP Address) and the "서버 포트" (Server Port) is set to "21001". The "보조 서버" section is currently empty. The dialog also includes options to "이름으로" (By Name) or "주소로" (By Address) and a "지우기" (Clear) button. The "확인" (OK) and "취소" (Cancel) buttons are at the bottom. In the background, the Altium Designer interface shows the "License Management" tab with options like "Use", "Roam", "Release", and "Refresh". A "Setup private license server" button is highlighted in the "Available Licenses" section.

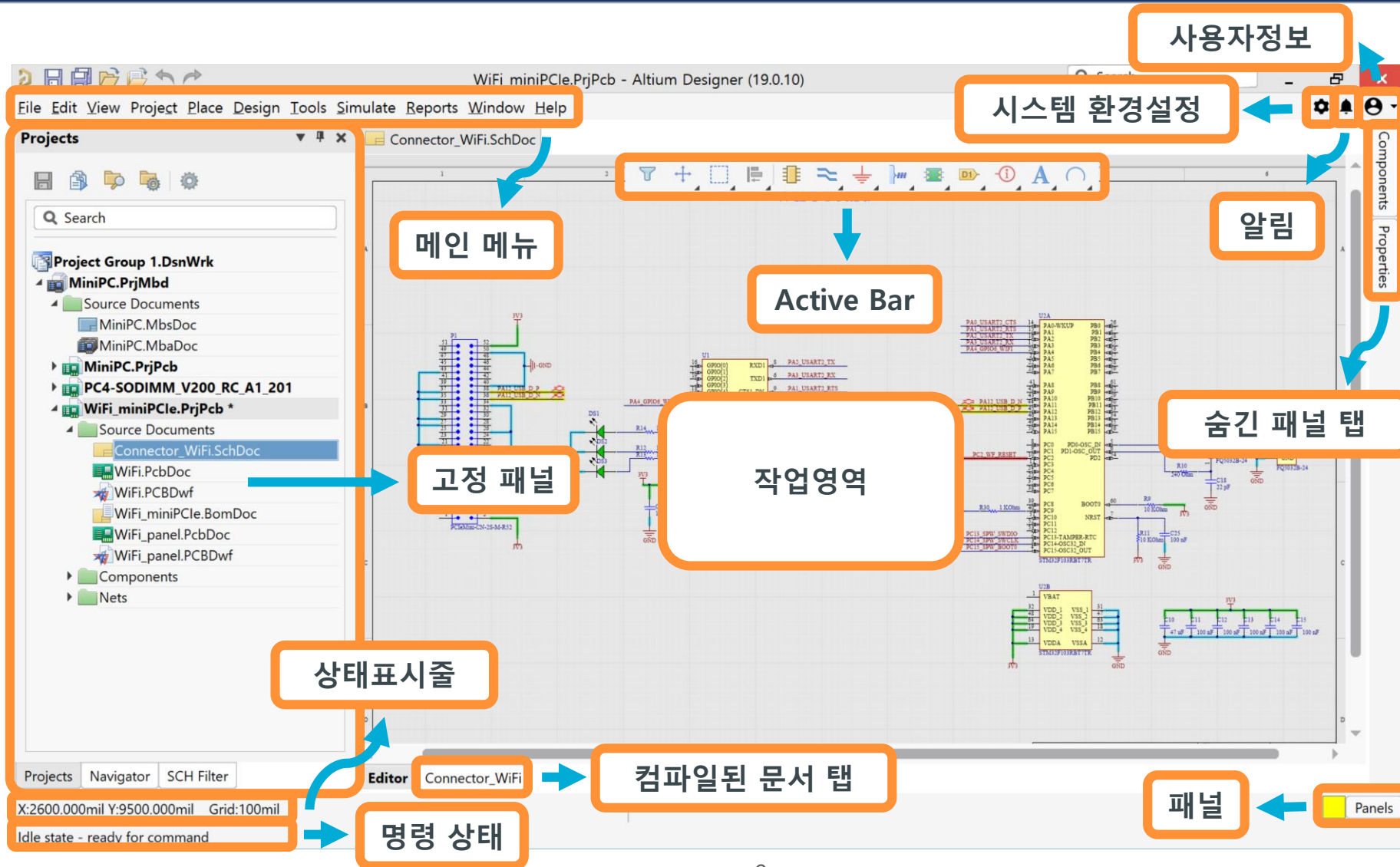
Altium Designer (19.0.12) License Management window. The user is signed in as YuRi Choi. The "Available Licenses" section shows licenses for Altium Designer and PDN Analyzer. A dialog box titled "개인 라이선스 서버 설정" (Personal License Server Settings) is open, showing fields for "주 서버" (Main Server) and "보조 서버" (Secondary Server). The "주 서버" section has fields for "서버 목록" (Server List), "서버 이름" (Server Name), "서버 주소" (Server Address), and "서버 포트" (Server Port). The "서버 주소" field is highlighted with a red box and contains the text "서버PC IP주소". The "서버 포트" field is highlighted with a red box and contains the text "21001". The "보조 서버" section has similar fields. The dialog also includes radio buttons for "이름으로" (By Name) and "주소로" (By Address), and a "지우기" (Clear) button. The "확인" (OK) and "취소" (Cancel) buttons are at the bottom. The background window shows the "License Management" tab with options like "Use", "Roam", "Release", and "Refresh". A "Setup private license server" button is highlighted in the "Available Licenses" section.

확장시스템 설치 및 최신버전 업데이트

- Extension & Updates 에서 확장팩 설치 및 최신버전 업데이트를 지원한다.



사용자 인터페이스



Altium Designer 19

I. 라이선스 인증 및 프로그램 UI

II. 환경설정

III. 회로설계

IV. PCB설계

V. 일괄데이터 생성

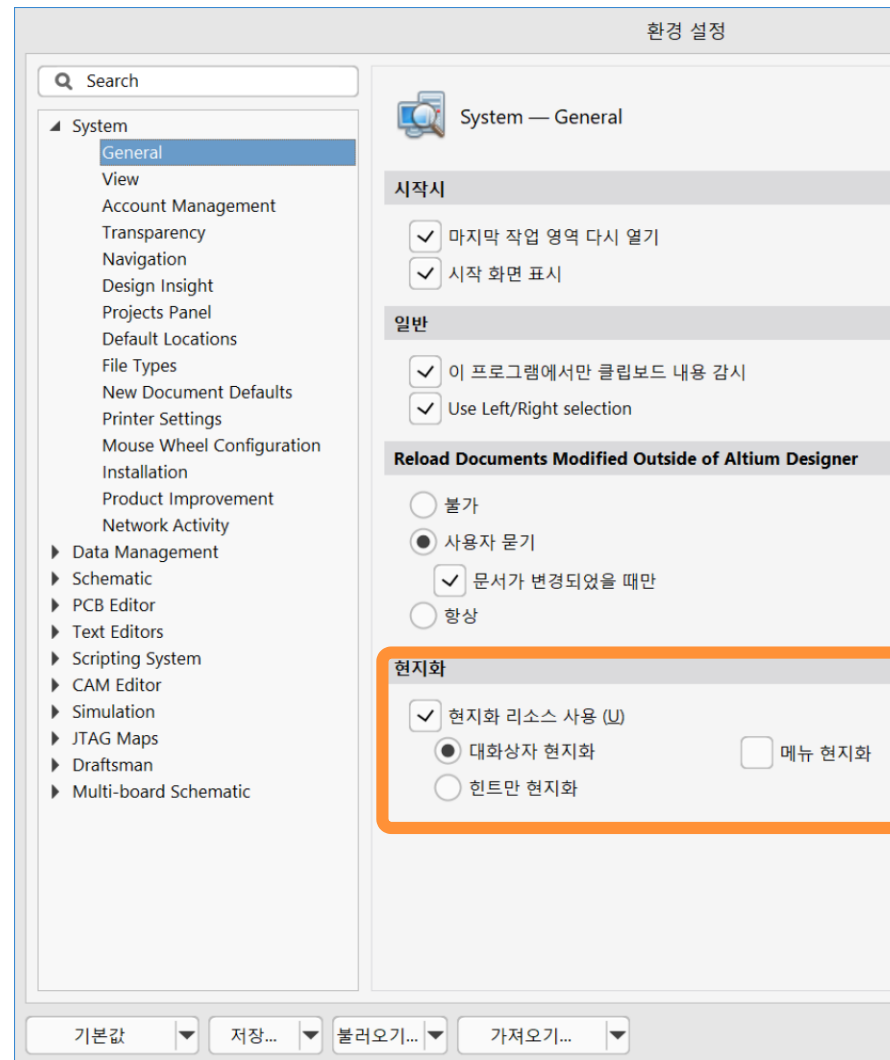
VI. 라이브러리 제작

환경설정

1. **System**
2. Data Management
3. Schematic
4. PCB Editor

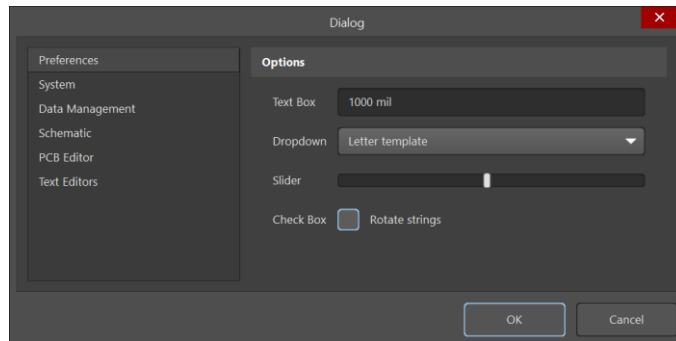
환경설정 : System

- System – General
- 현지화 : 언어설정을 위해 아래와 같이 설정한다.
 - ☒ 현지화 리소스 사용
 - ☒ 대화상자 현지화
 - ☐ 메뉴 현지화
- 언어 설정 → 확인 → 프로그램 종료
→ 프로그램 재시작

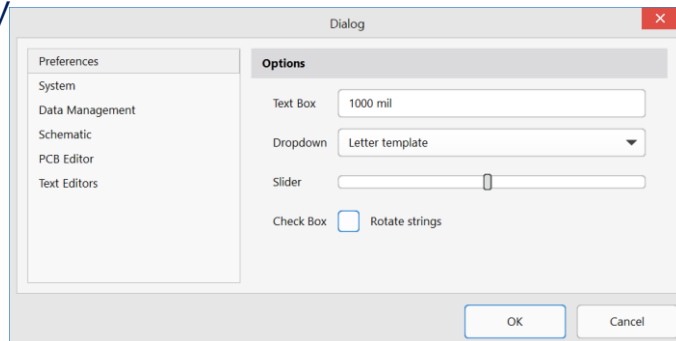


환경설정 : System

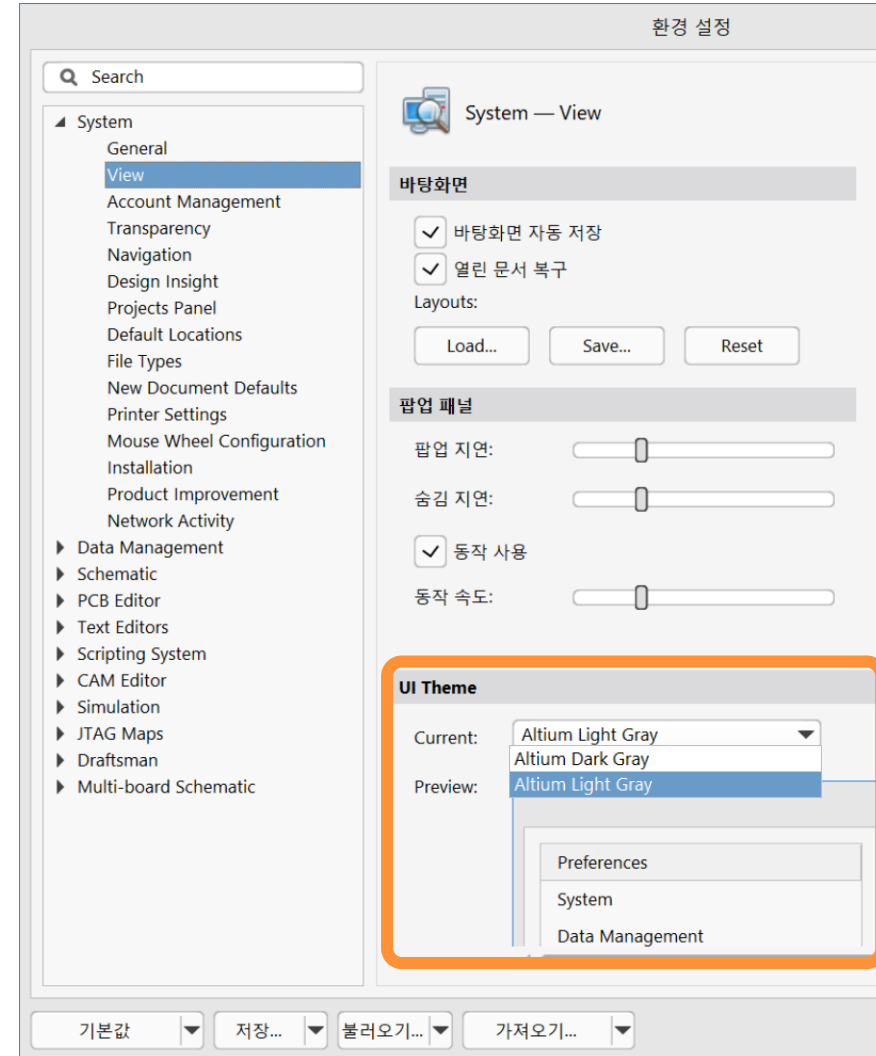
- System – View
- UI Theme
 - Current
 - Altium Dark Gray



- Altium Light Gray

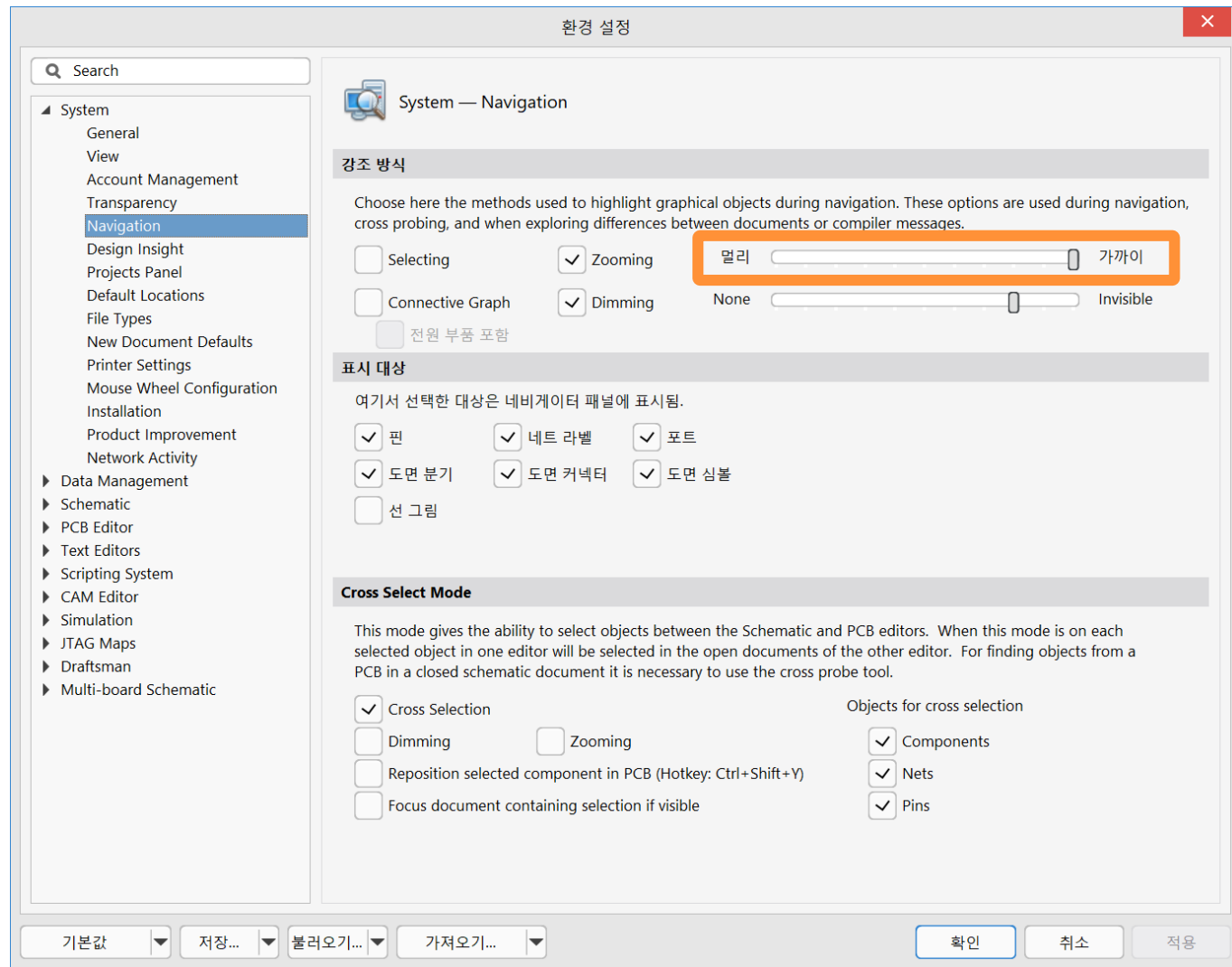


- UI 설정 → 확인 → 프로그램 종료
→ 프로그램 재 시작



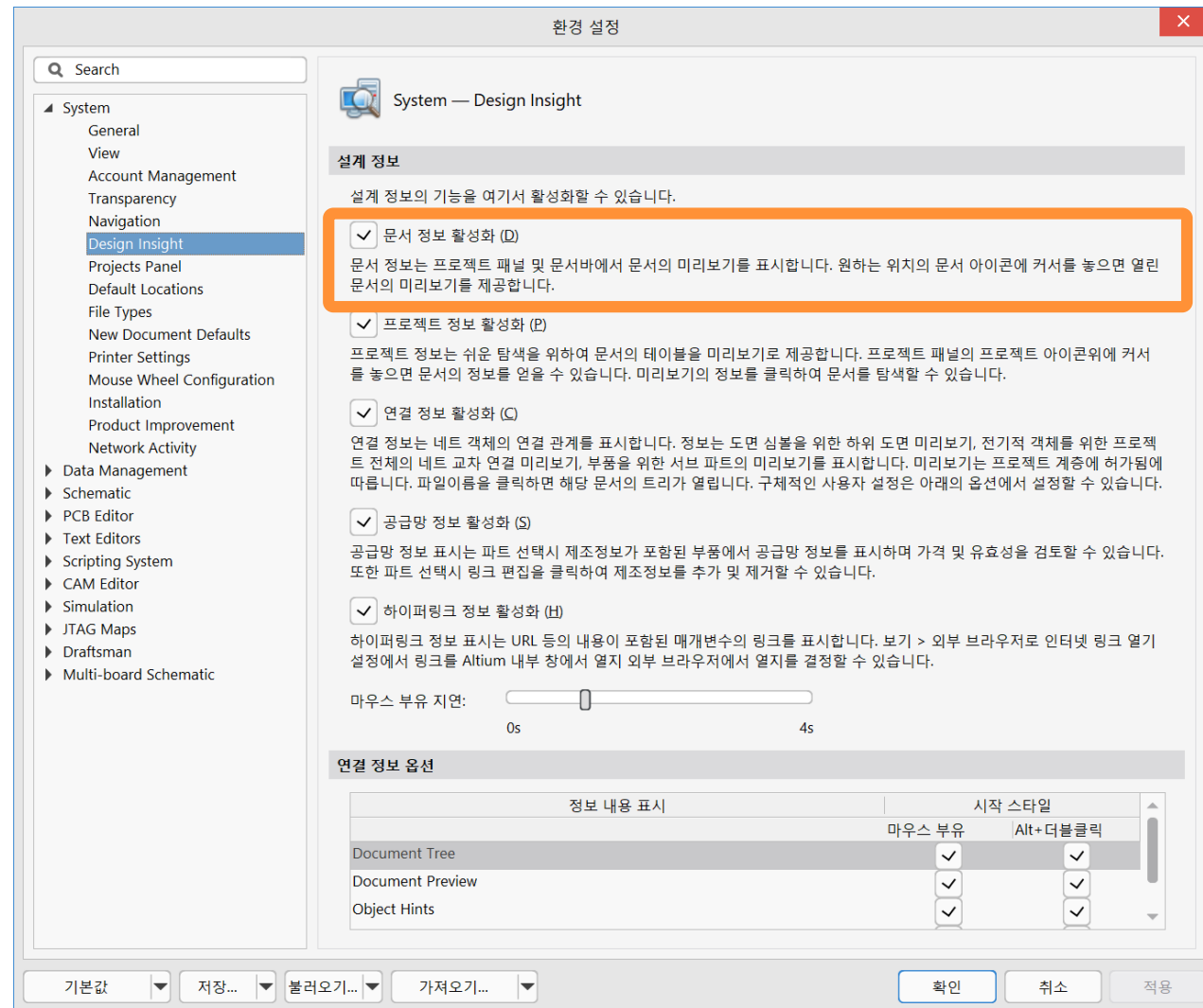
환경 설정 : System

- System – Navigation
 - 회로도 컴파일 메시지 등 내용을 추적하여 부품을 표시할 때 확대 정도에 대한 설정



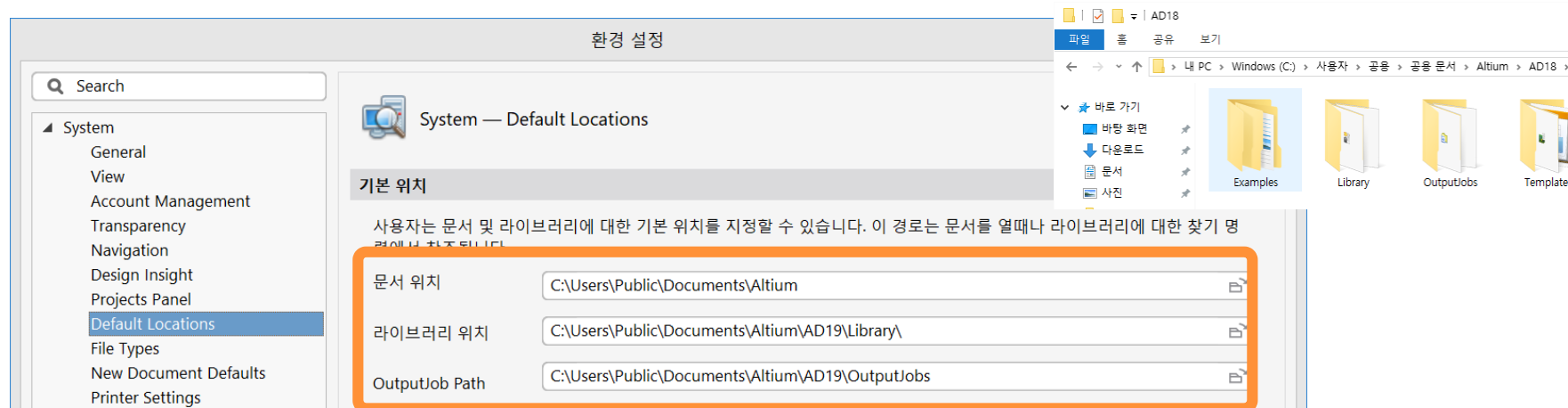
환경설정 : System

- System – Design Insight
- 설계 정보
 - 문서 정보 활성화
 - 프로젝트 정보 활성화
 - 연결 정보 활성화
 - 공급망 정보 활성화
 - 하이퍼링크 정보 활성화
 - 마우스 부유 지연 속도 설정
- 연결 정보 옵션
 - **Document Tree**
 - Document Preview
 - Object Hints
 - Hyperlink



환경설정 : System

- System – Default Locations
 - Altium에서 제공되는 예제, 라이브러리, OutputJob, 템플릿의 기본 경로는 ..₩공용문서₩Altium₩AD19로 등록되어 있으며, System- Default Locations에서 기본 경로 변경 가능
- 기본 위치
 - 문서 위치 : C:₩Users₩Public₩Documents₩Altium
 - 라이브러리 위치 : C:₩Users₩Public₩Documents₩Altium₩AD19₩Library₩
 - OutputJob Path : C:₩Users₩Public₩Documents₩Altium₩AD19₩OutputJobs

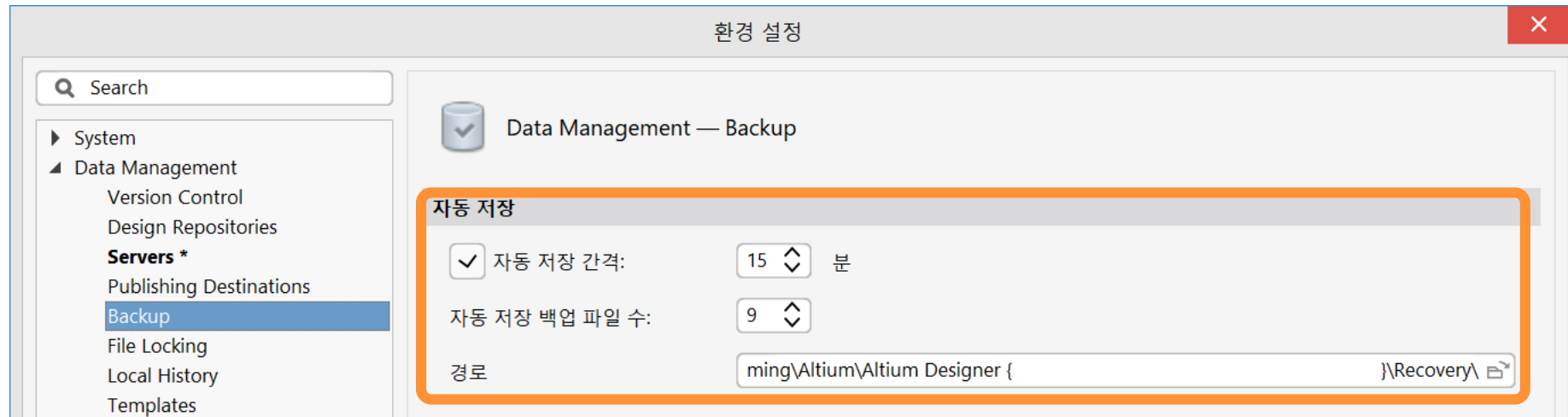


환경설정

1. System
2. **Data Management**
3. Schematic
4. PCB Editor

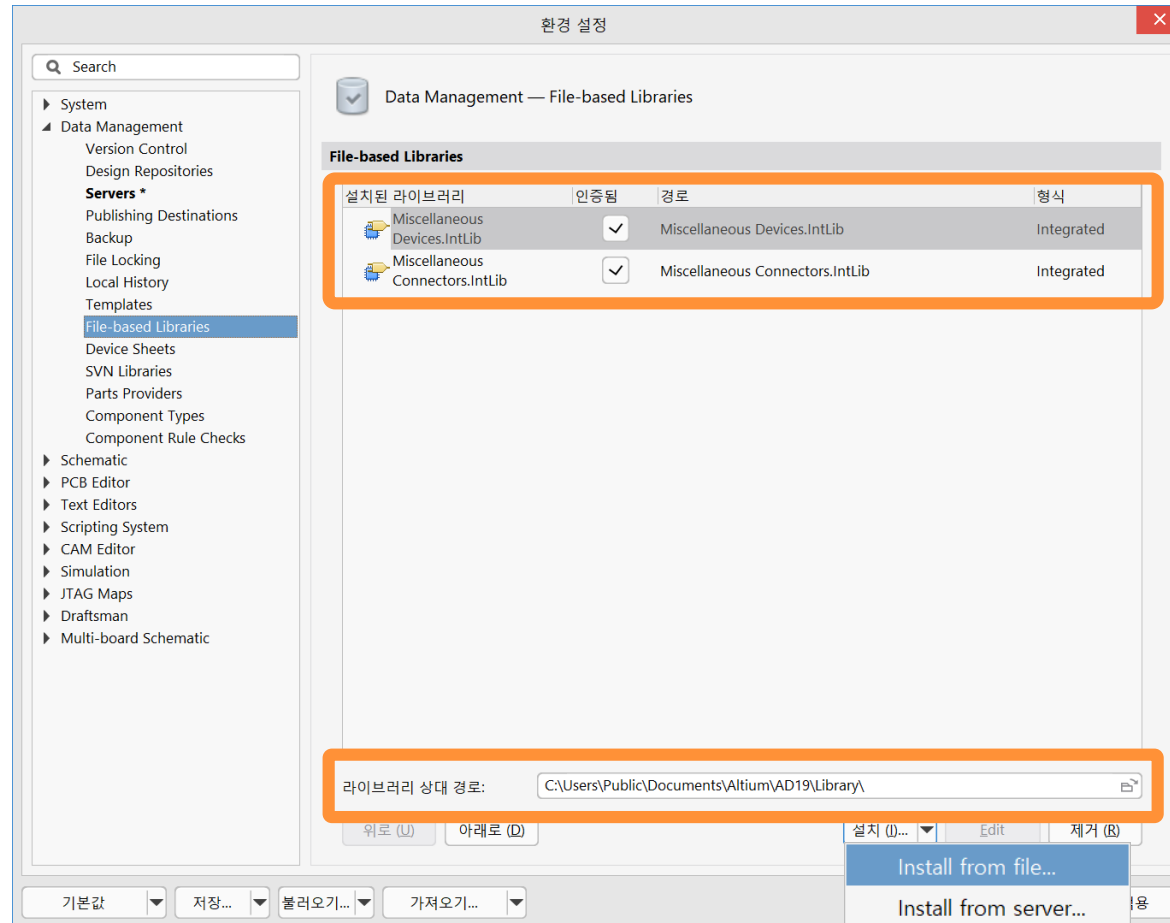
환경 설정 : Data Management

- Data Management – Backup
 - 파일 백업을 위해 자동으로 저장할 시간, 파일 수, 경로 설정.
- 자동 저장
 - 자동 저장 간격: ____분
 - 자동 저장 백업 파일 수: ____ (최대9개)
 - 경로 : C:\Users\PC\AppData\Roaming\Altium\Altium Designer {-----}\WWRecovery



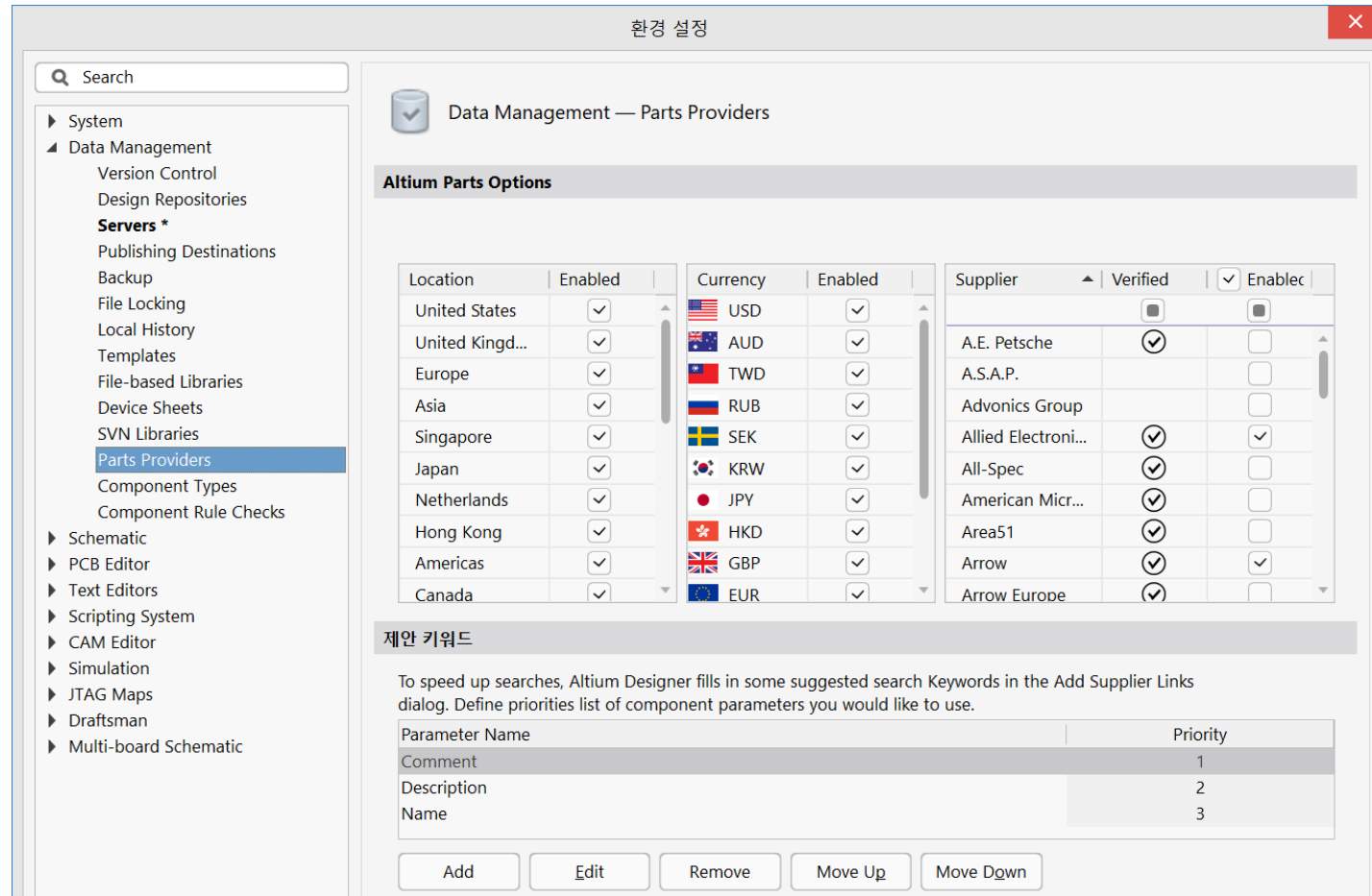
환경설정 : Data Management

- Data Management – File-based Libraries
 - 자주 사용하는 통합 부품 라이브러리 등록을 위한 라이브러리 경로 지정



환경설정 : Data Management

- Data Management – Parts Providers
 - 부품 검색에서 제조 국가 및 제조사 옵션 선택으로 공급자 검색 설정



환경설정

1. System
2. Data Management
3. **Schematic**
4. PCB Editor

환경 설정 : Schematic

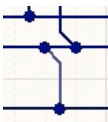
- Schematic – General

- Units (단위)

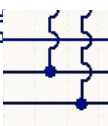
- Mils, Millimeters

- 옵션

- 연결점 변환



- 배선 건넌 기호



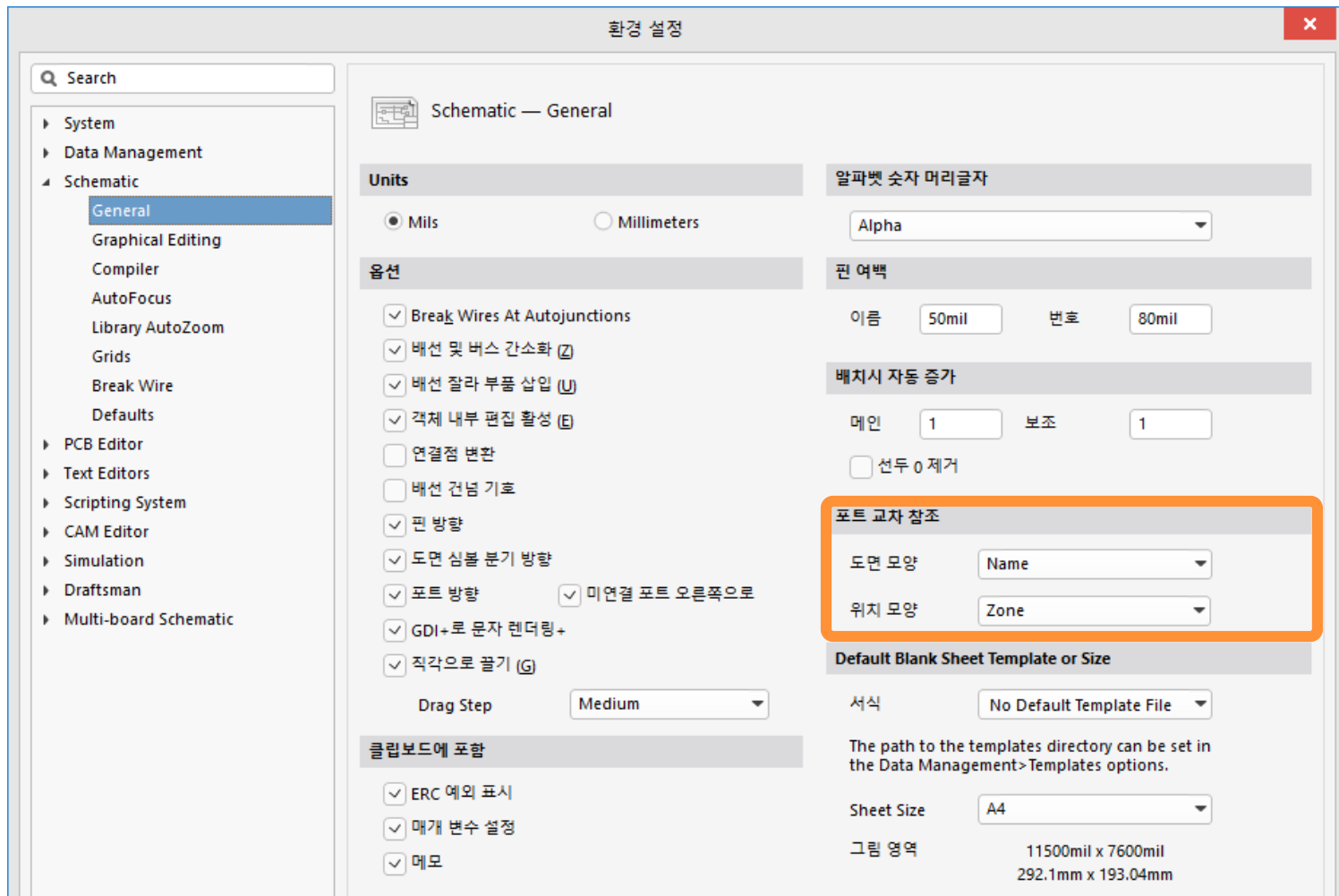
- 포트 교차 참조

- 도면 모양

- - None -
 - Name
 - Number

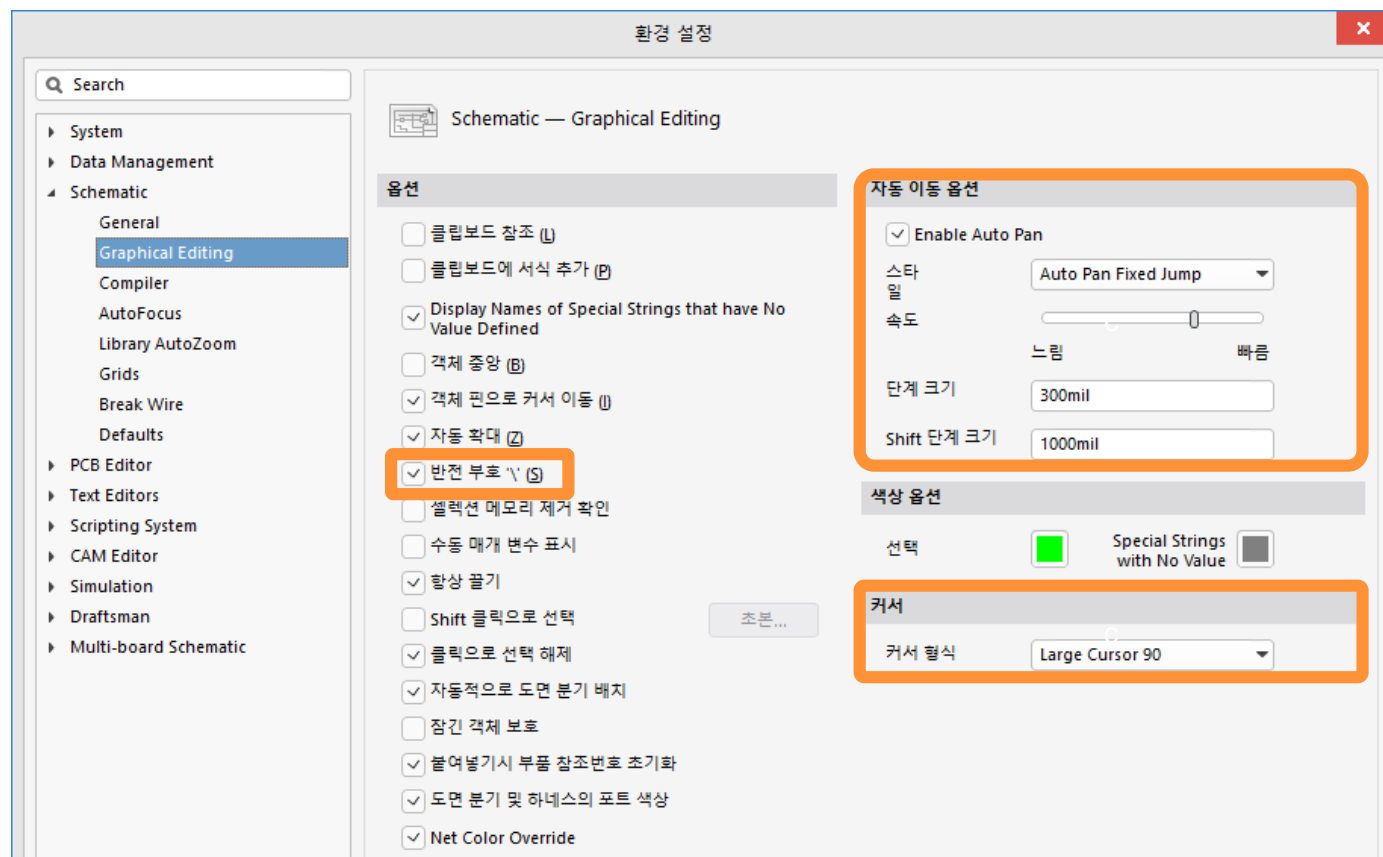
- 위치 모양

- - None -
 - Zone
 - Location X,Y



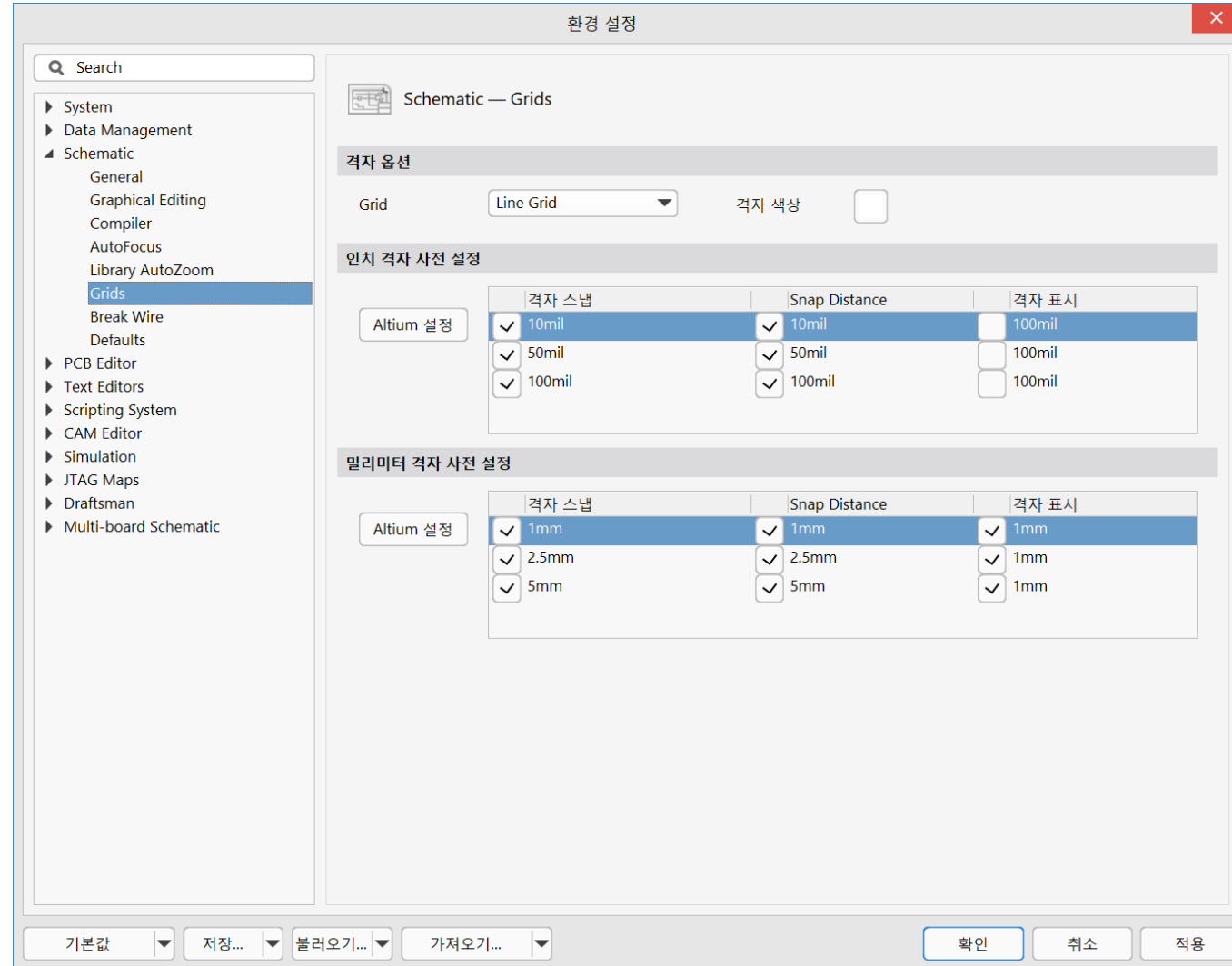
환경 설정 : Schematic

- Schematic – Graphical Editing
- 옵션
 - ☒ 반전 부호 'W'
- 자동 이동 옵션
 - ☒ Enable Auto Pan
- 커서
 - 커서 형식
 - Large Cursor 90
 - Small Cursor 90
 - Small Cursor 45
 - Tiny Cursor 45



환경 설정 : Schematic

- Schematic – Grid
- 격자 옵션
 - Grid
 - Line Grid (선)
 - Dot Grid (점)
 - 격자 색상
- 격자 사전 설정
 - 격자 스냅
 - Snap Distance
 - 격자 표시



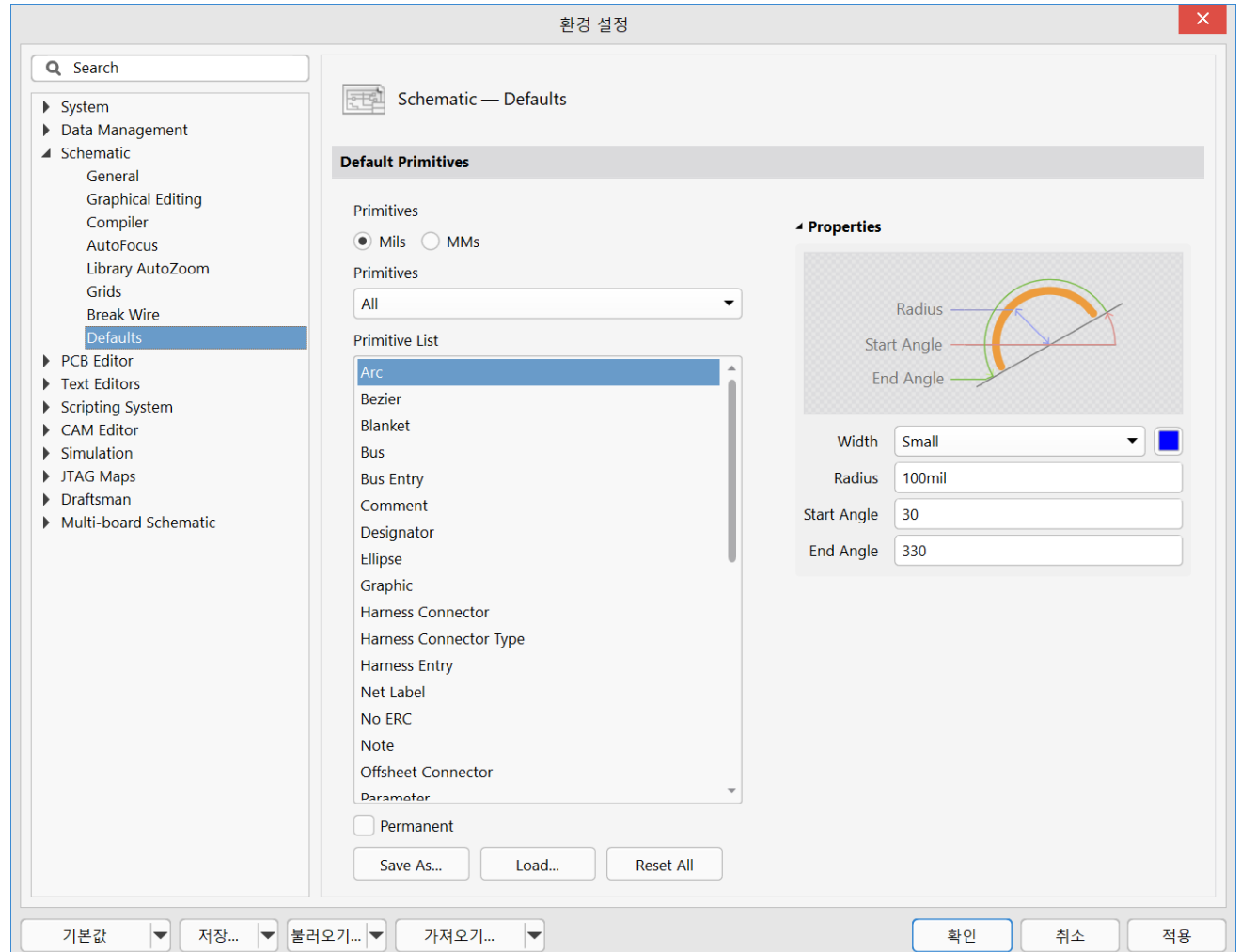
환경 설정 : Schematic

- Schematic – Break Wire
 - 회로도 배선 연결을 잘라낼 때 사용
- 잘라낸 길이
 - 세그먼트로 물기
 - 다중 격자 크기 물기
 - 고정 길이



환경설정 : Schematic

- Schematic – Default
 - 회로도에 사용하는 모든 객체의 초기 셋팅



환경설정

1. System
2. Data Management
3. Schematic
4. **PCB Editor**

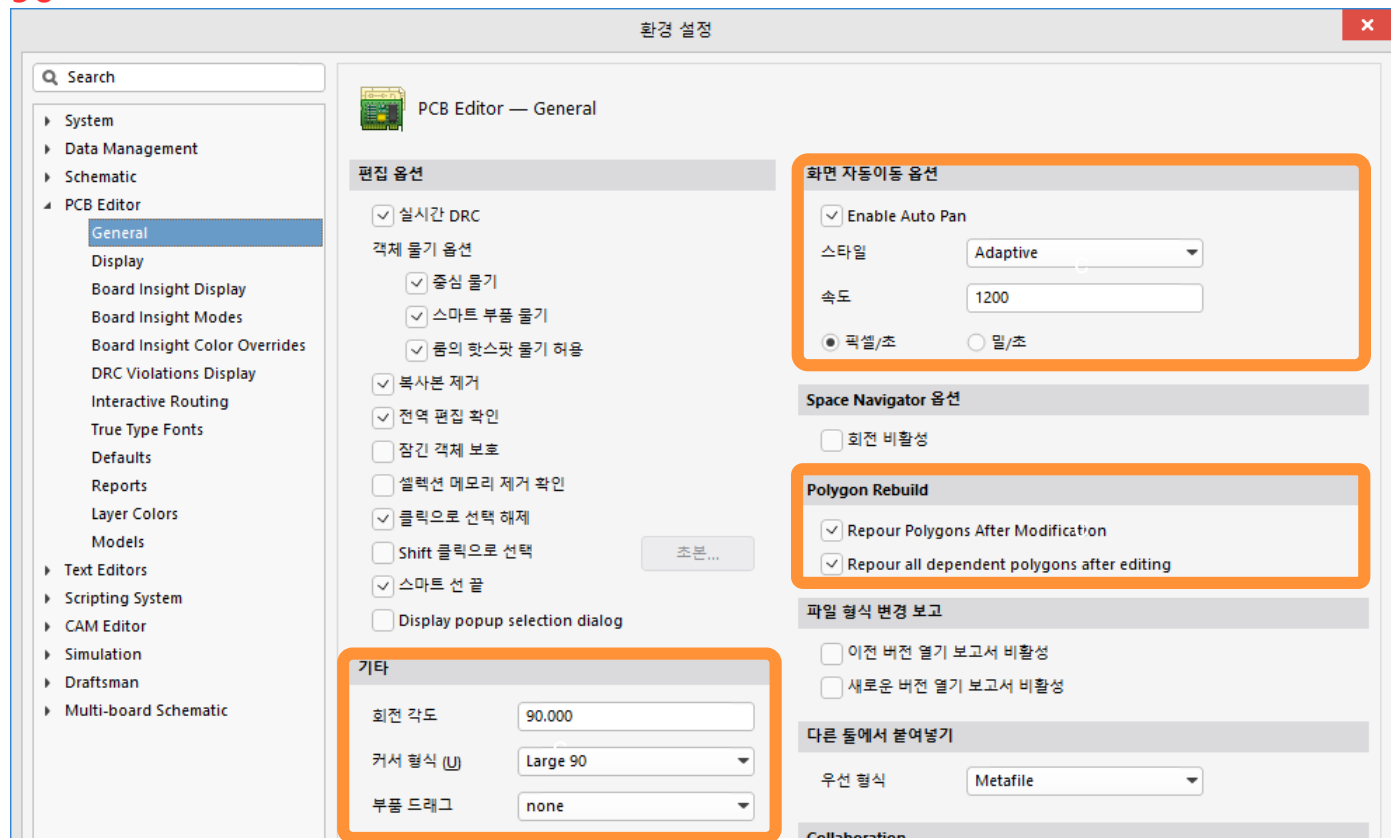
환경 설정 : PCB Editor

- PCB Editor – General (권장 설정)

- 기타
 - 회전 각도 **90.00**
 - 커서 형식 : **Large 90**

- Polygon Rebuild

- ☒ Repour Polygons After Modification
- ☒ Repour all dependent polygons after editing



환경설정 : PCB Editor

• PCB Editor – Interactive Routing

- PCB의 패턴 작업 시 각종 옵션 기능을 설정하는 곳으로 배선에 관련되어 설정을 할 수 있다.
- 자주 사용하는 능동 배선의 폭의 리스트를 등록할 수 있으며, 배선중 [단축키 Shift + W]명령을 사용하면 배선 중 패턴 폭을 변경할 수 있다.
- 자주 사용하는 능동 배선의 폭의 리스트를 등록할 수 있으며, 배선중 [단축키 Shift + V]명령을 사용하면 배선 중 패턴 폭을 변경할 수 있다.

환경 설정

PCB Editor — Interactive Routing

배선 중복 해결

- ☒ 장애물 무시 (G)
- ☒ 장애물 밀기 (B)
- ☒ 장애물 겹들기 (W)
- ☒ 처음 장애물에서 멈춤 (S)
- ☒ 장애물 밀기 및 겹들기 (H)
- ☒ 현재 레이어에서 자동 배선 (A)
- ☒ 모든 레이어에서 자동 배선 (M)
- 현재 모드: Stop At First Obstacle

굴기

- ☒ 각도를 유지하여 굴기
 - ☐ 장애물 무시 (U)
 - ☒ 장애물 회피 (각자 돌기) (A)
 - ☐ 장애물 회피 (A)
- Unselected via/track: Drag
- Selected via/track: Drag
- Component pushing: Ignore
- ☐ Component re-route
- ☒ Move component with relevant routing

능동 배선 옵션

- ☐ 90/45도로 제한
- ☒ 마우스 궤적 따름
- ☒ 자동 배선 종료
- ☒ 중복 자동 제거
- ☒ Remove Net Antennas
- ☒ 비아 밀기 허용 (A)
- ☐ Display Clearance Boundaries
- ☐ Reduce Clearance Display Area

배선 마름질(Gloss)

- ☐ 고기 (G)
- ☐ 약탈 (W)

Interactive Routing Width Sources

- ☒ 기존 배선을 잡을 때 동일 선 폭
- 선 폭 모드: Rule Preferred
- 비아 크기 모드: Rule Preferred

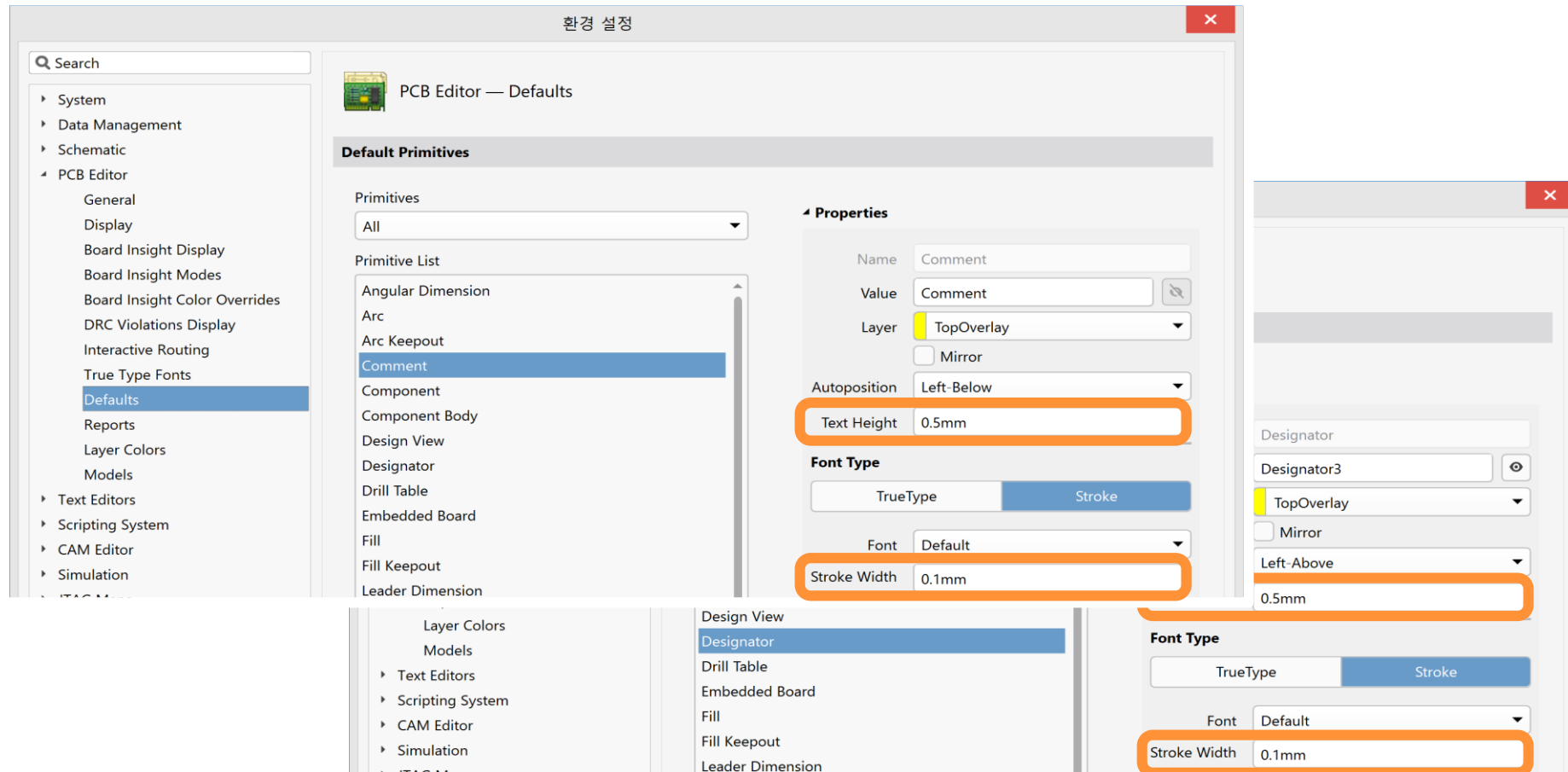
자주 사용하는 능동 배선 폭

인치		밀리미터		시스템 단위
폭	단위	폭	단위	단위
5 mil		0.127 mm		Imperial
6 mil		0.152 mm		Imperial
8 mil		0.203 mm		Imperial
10 mil		0.254 mm		Imperial
12 mil		0.305 mm		Imperial
20 mil		0.508 mm		Imperial
25 mil		0.635 mm		Imperial
50 mil		1.27 mm		Imperial
100 mil		2.54 mm		Imperial
3.937 mil		0.1 mm		Metric
7.874 mil		0.2 mm		Metric
11.811 mil		0.3 mm		Metric
19.685 mil		0.5 mm		Metric
29.528 mil		0.75 mm		Metric
39.37 mil		1 mm		Metric

추가 (A)... 삭제 (D) 편집 (E)... 확인 취소

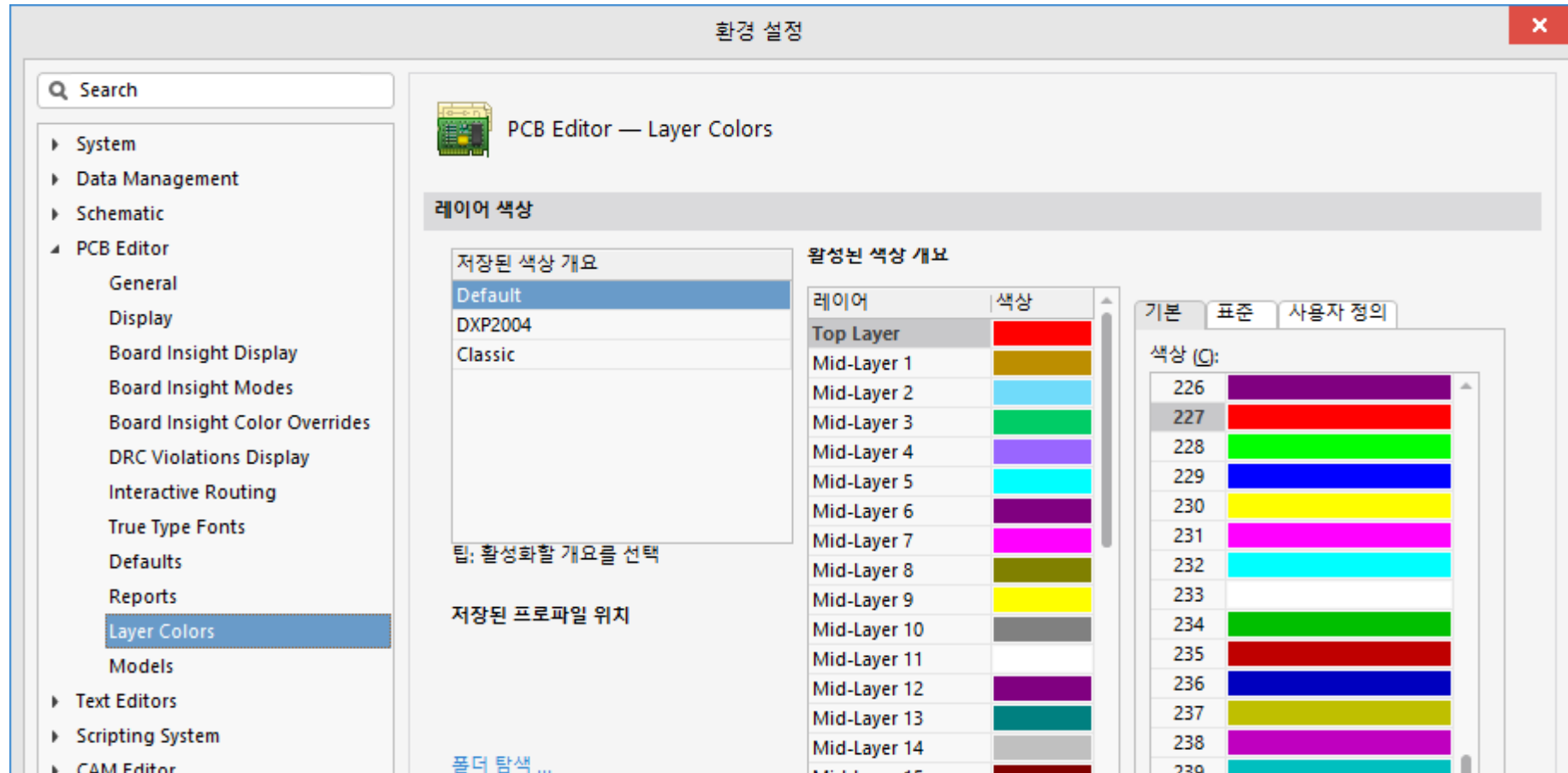
환경 설정 : PCB Editor

- PCB Editor - Default
 - PCB에서 사용하는 객체 속성의 기본값들을 설정 할 수 있다.



환경 설정 : PCB Editor

- PCB Editor – Layer Colors
 - 모든 Layer 색상의 색상 설정을 할 수 있다.



Altium Designer 19

I. 라이선스 인증 및 프로그램 UI

II. 환경설정

III. 회로설계

IV. PCB설계

V. 일괄데이터 생성

VI. 라이브러리 제작

회로설계

1. Schematic GUI

2. 회로도 예제
3. 프로젝트 만들기
4. 템플릿 적용
5. 부품 검색, 배치
6. 배선 (Wire/Bus)

7. 지시문 입력

8. Footprint 등록

9. 설계 참조 번호 설정

10. 프로젝트 옵션 설정

11. 프로젝트 컴파일

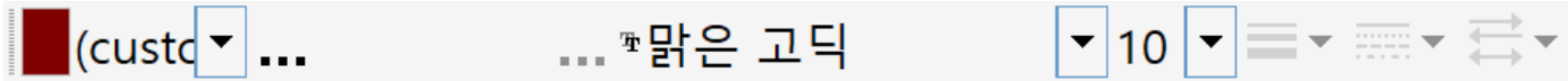
12. 기타

Schematic 메뉴

- Schematic Standard (열기/저장/미리보기/선택/이동/필터/계층도면/계층설정/프로브)



- Formatting (색상/폰트/크기/선두께/선모양/화살표 방향)



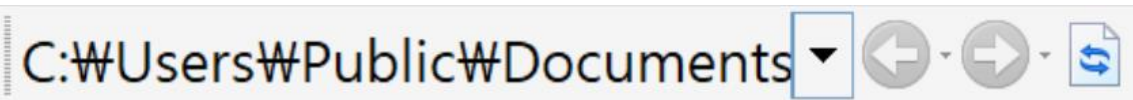
- Utilities (정렬/전원포트)



- Wiring (배선/버스/하네스/네트라벨/GND포트/VCC포트/시트심볼/포트/NO ERC/네트 색상)



- Navigation (파일 위치/이동/새로고침)

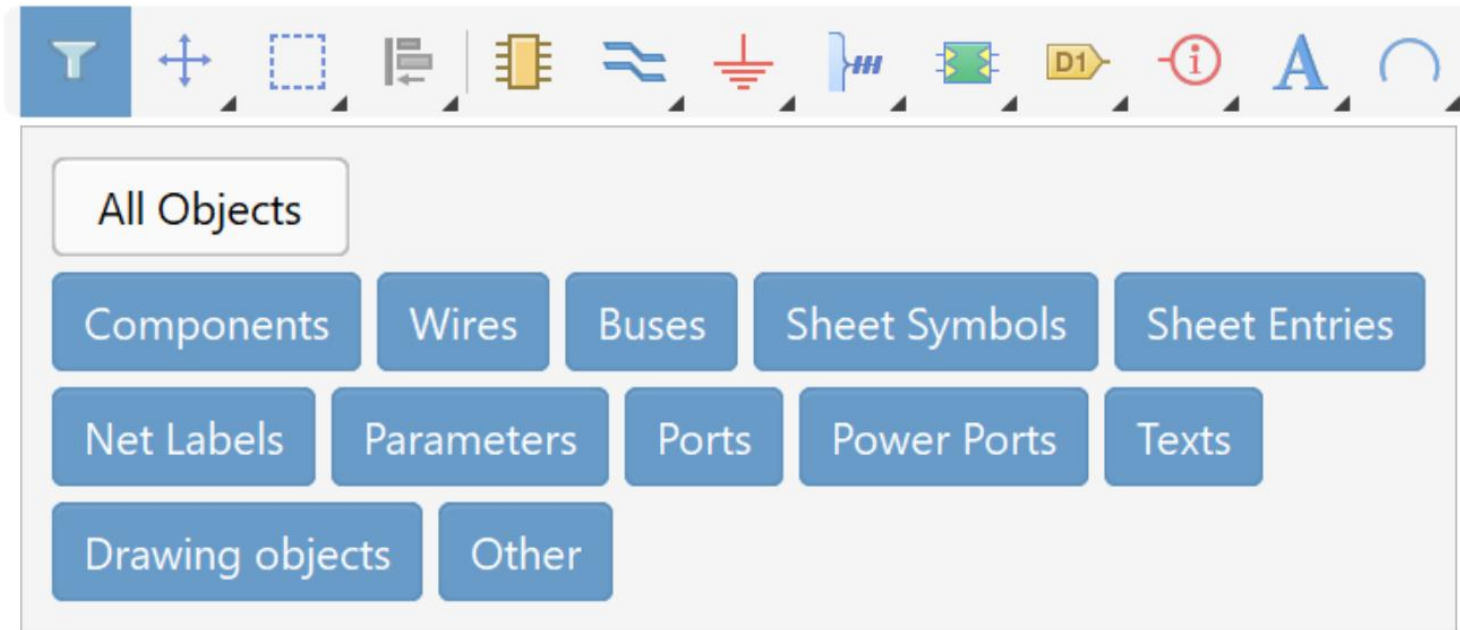


- Mixed Sim (시뮬레이션 설정 / 프로브선택)

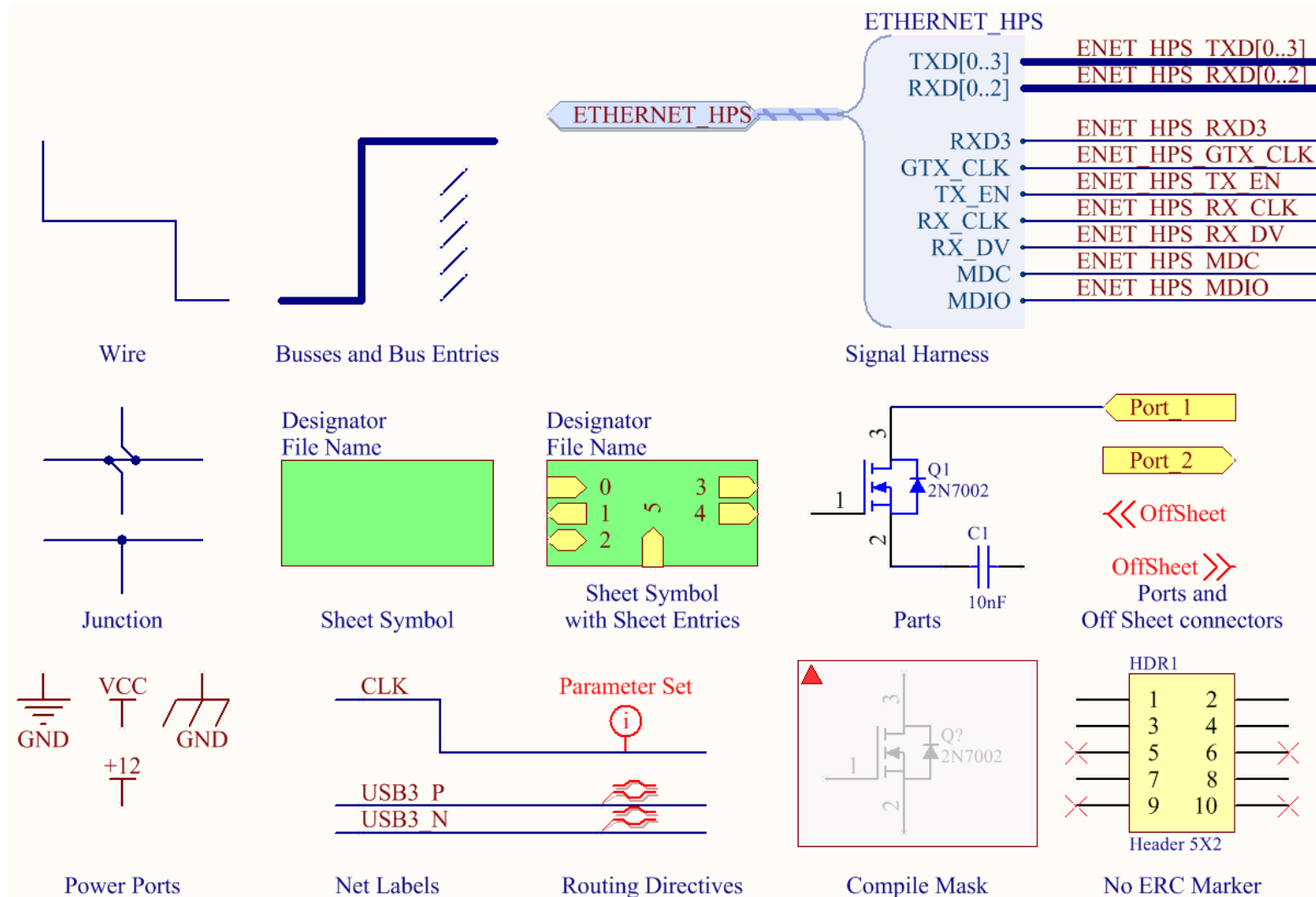


Active Bar

- Active Bar를 활용한 편한 설계 (Filter 기능을 활용한 객체 별 선택 가능)



전기적 객체

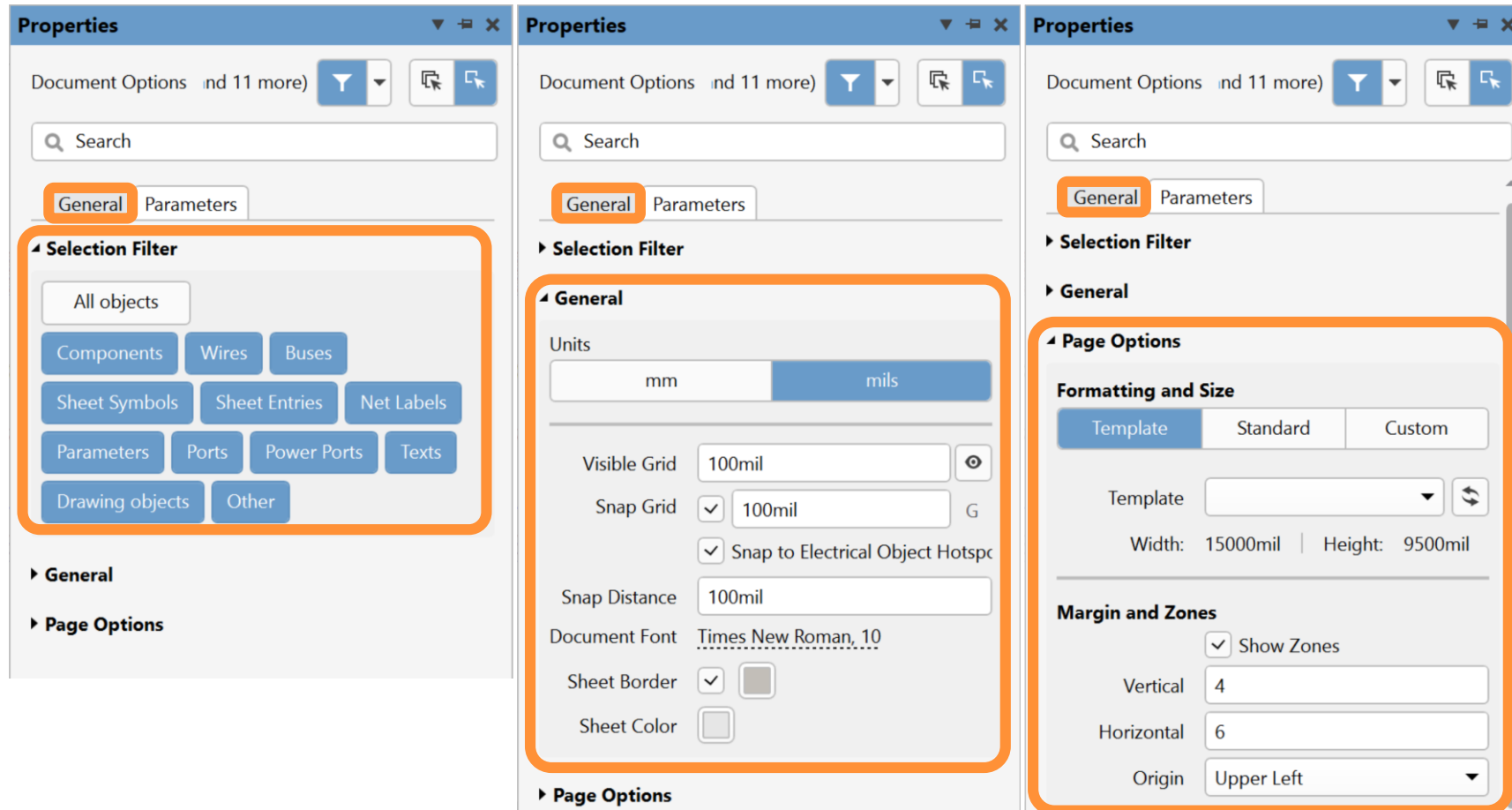


단축키

- 배선 Ctrl+W
- 컴포넌트 패널 P » P
- 검색 Ctrl + F
- 복사 Ctrl + C
- 붙여넣기 Ctrl + V
- 특수붙여넣기 Ctrl + Shift + V
- 네트 색상 오버레이 On/Off F5
- 선택 S » ...
- 이동 M » ...

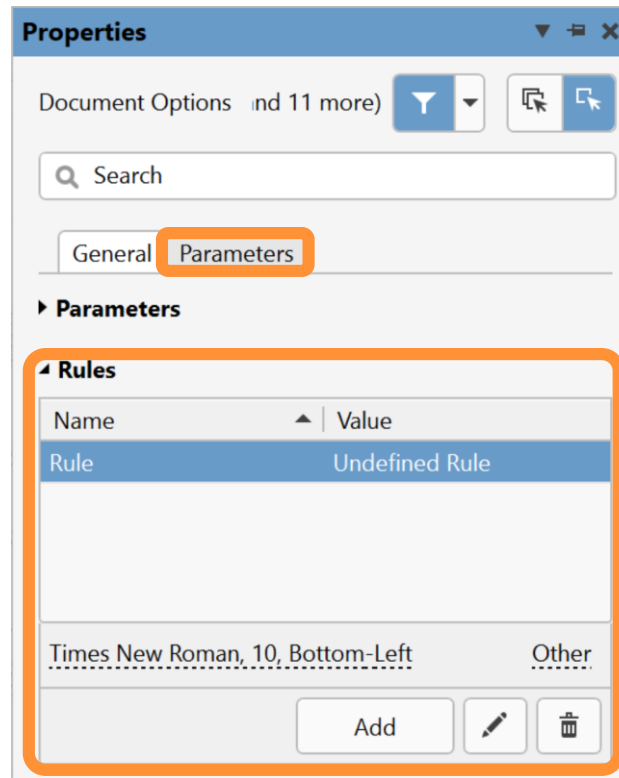
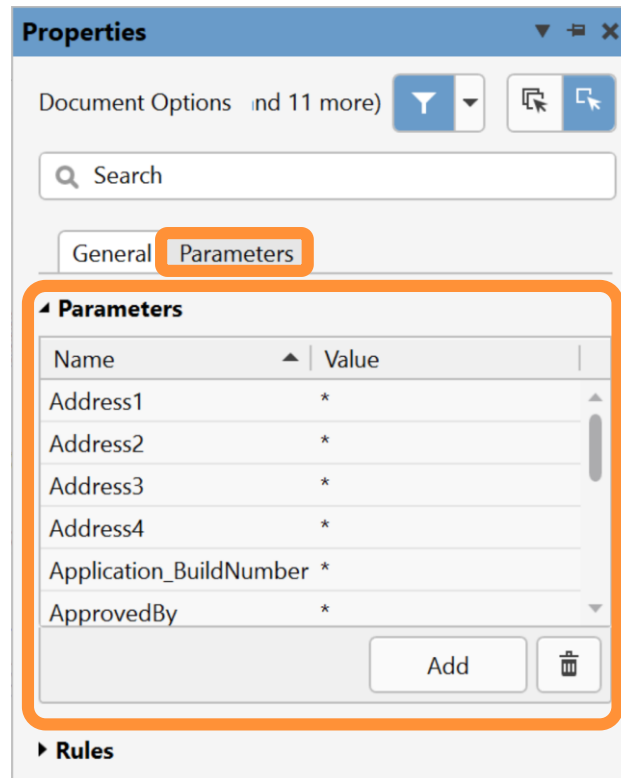
문서 옵션

- Properties – General (Selection Filter / General / Page Options)
 - 회로도 문서의 상세 설정



문서옵션

- Properties – Parameters (Parameters / Rules)
 - 회로도 문서 관리를 위한 파라미터 설정



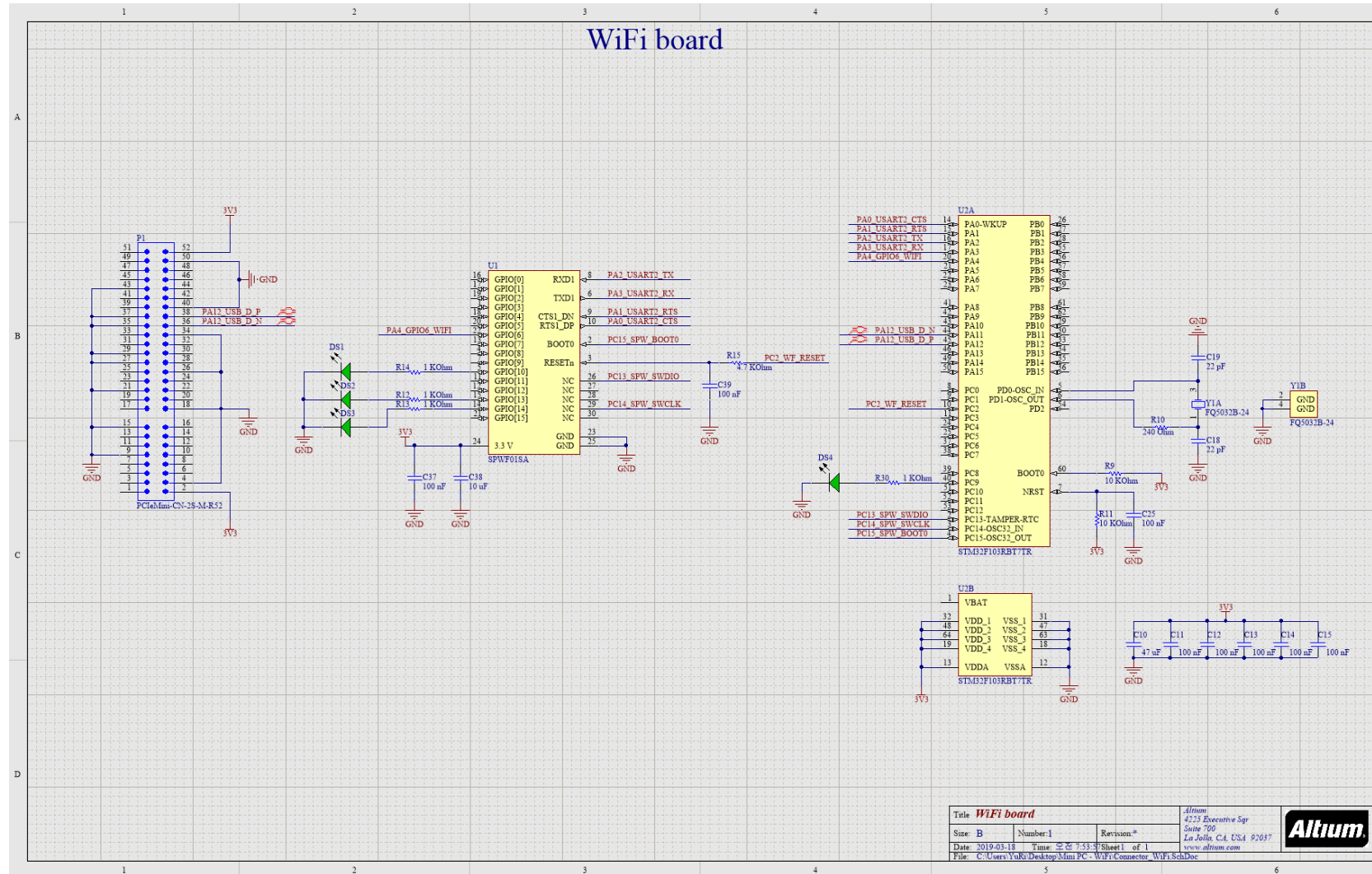
새로운 회로도 생성 시 기본 매개변수 목록

특수문자	설명	특수문자	설명
=Address1	주소1	=DocumentNumber	문서번호
=Address2	주소2	=DrawnBy	Drafter's Name
=Address3	주소3	=Engineer	엔지니어
=Address4	주소4	=ImagePath	이미지경로
=ApprovedBy	승인자명	=Modified Date	최근 수정일
=Author	작성자명	=Organization	조직
=Checked By	검수자명	=Revision	개정
=CompanyName	회사명	=Rule	규칙 명령을 추가해서 사용한 경우, 규칙 설명
=CurrentDate	시스템 날짜		
=CurrentTime	시스템 시간	=SheetNumber	시트번호
=Date	날짜(업데이트X)	=SheetTotal	총 시트수
=DocumentFullPathAndName	문서경로 및 이름	=Time	시간(업데이트X)
=DocumentName	문서이름	=Title	회로도 제목

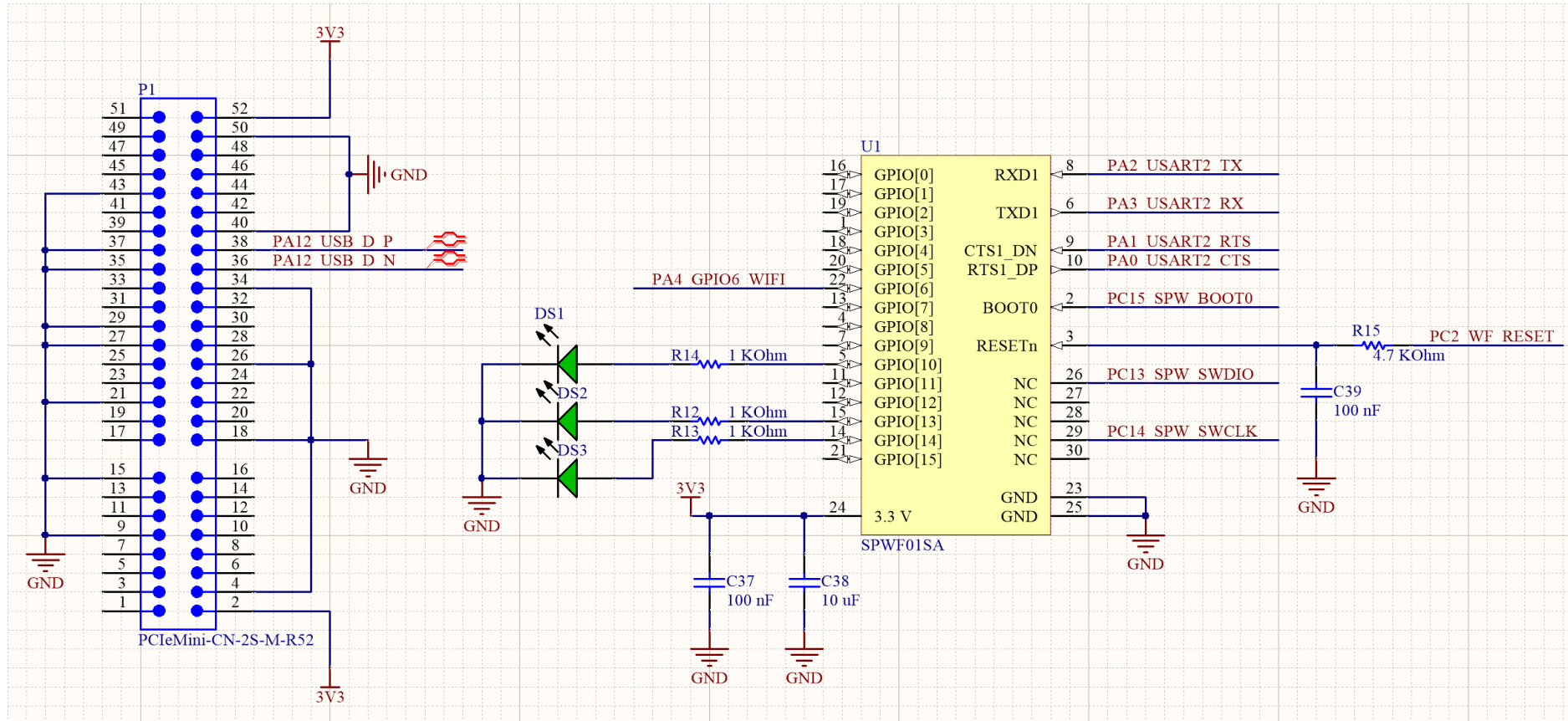
회로설계

1. Schematic GUI
2. 회로도 예제
3. 프로젝트 만들기
4. 템플릿 적용
5. 부품 검색, 배치
6. 배선 (Wire/Bus)

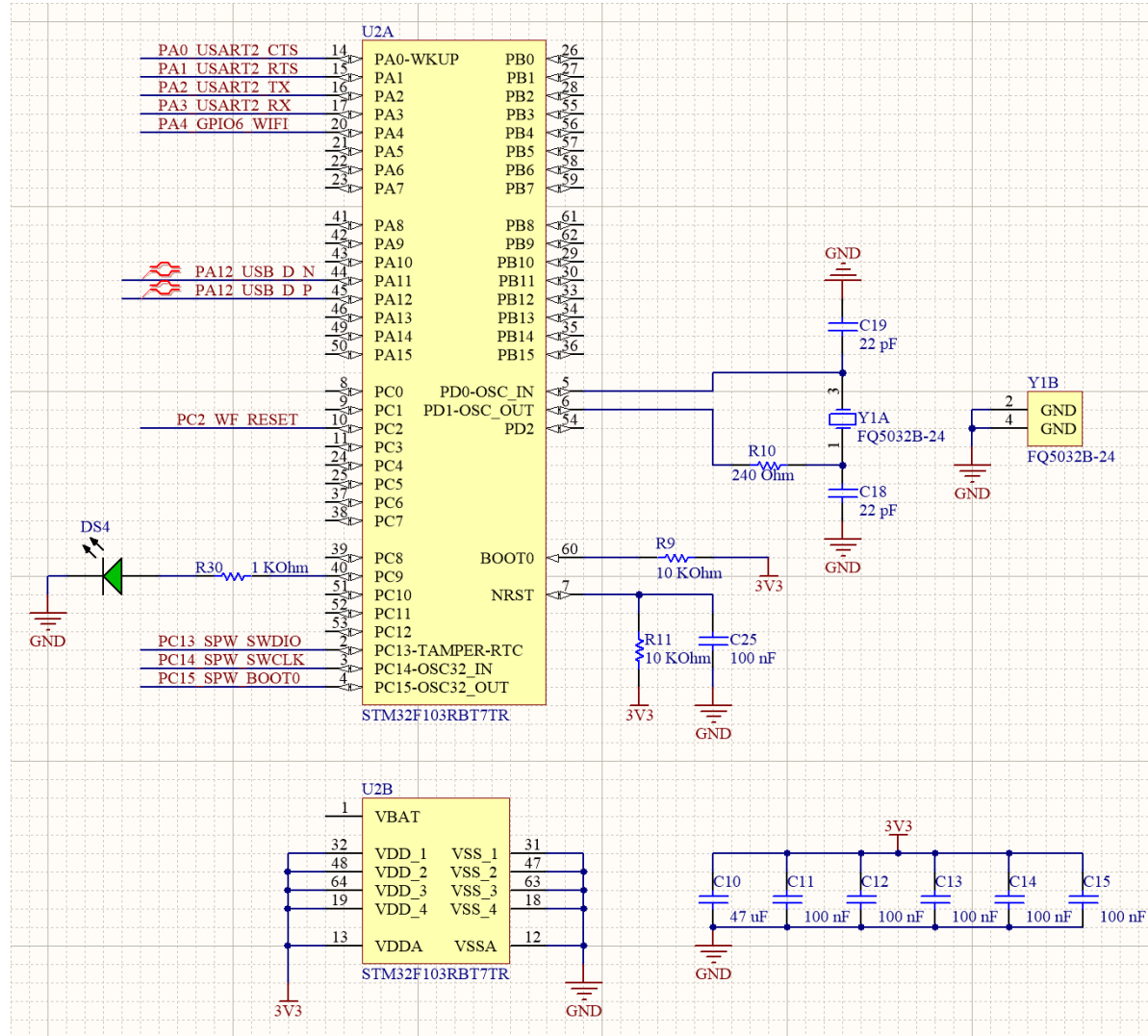
7. 지시문 입력
8. Footprint 등록
9. 설계 참조 번호 설정
10. 프로젝트 옵션 설정
11. 프로젝트 컴파일
12. 기타



회로도 2/3



회로도 3/3



부품목록

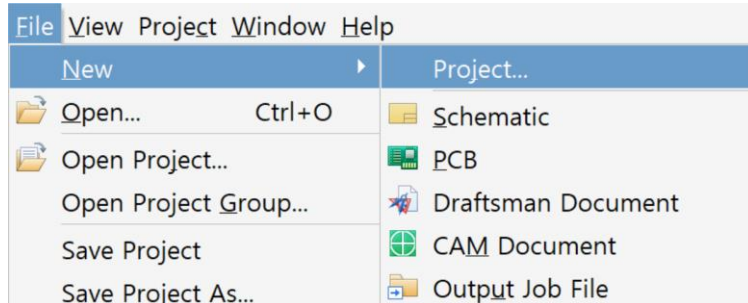
Designator	Comment	Description
C10	C3216X5R1A476M160AB	Chip Capacitor, 47 uF, +/- 20%, 10 V, -55 to 85 degC, 1206 (3216 Metric), RoHS, Tape and Reel
C11	GRM033R60J104KE19D	Chip Capacitor, 100 nF, +/- 10%, 6.3 V, -55 to 85 degC, 0201 (0603 Metric), RoHS, Tape and Reel
C12	GRM033R60J104KE19D	Chip Capacitor, 100 nF, +/- 10%, 6.3 V, -55 to 85 degC, 0201 (0603 Metric), RoHS, Tape and Reel
C13	GRM033R60J104KE19D	Chip Capacitor, 100 nF, +/- 10%, 6.3 V, -55 to 85 degC, 0201 (0603 Metric), RoHS, Tape and Reel
C14	GRM033R60J104KE19D	Chip Capacitor, 100 nF, +/- 10%, 6.3 V, -55 to 85 degC, 0201 (0603 Metric), RoHS, Tape and Reel
C15	GRM033R60J104KE19D	Chip Capacitor, 100 nF, +/- 10%, 6.3 V, -55 to 85 degC, 0201 (0603 Metric), RoHS, Tape and Reel
C18	C1005C0G1H220J050BA	Chip Capacitor, 22 pF, +/- 5%, 50 V, -55 to 125 degC, 0402 (1005 Metric), RoHS, Tape and Reel
C19	C1005C0G1H220J050BA	Chip Capacitor, 22 pF, +/- 5%, 50 V, -55 to 125 degC, 0402 (1005 Metric), RoHS, Tape and Reel
C25	GRM033R60J104KE19D	Chip Capacitor, 100 nF, +/- 10%, 6.3 V, -55 to 85 degC, 0201 (0603 Metric), RoHS, Tape and Reel
C37	GRM033R60J104KE19D	Chip Capacitor, 100 nF, +/- 10%, 6.3 V, -55 to 85 degC, 0201 (0603 Metric), RoHS, Tape and Reel
C38	C2012X5R1C106K085AC	Chip Capacitor, 10 uF, +/- 10%, 16 V, -55 to 85 degC, 0805 (2012 Metric), RoHS, Tape and Reel
C39	GRM033R60J104KE19D	Chip Capacitor, 100 nF, +/- 10%, 6.3 V, -55 to 85 degC, 0201 (0603 Metric), RoHS, Tape and Reel
DS1	150060VS75000	WL-SMCW SMD Chip LED Top View Monocolor Waterclear, 30 mA, 2 V, -40 to 85 degC, 2-Pin SMD, RoHS, Tape and Reel
DS2	150060VS75000	WL-SMCW SMD Chip LED Top View Monocolor Waterclear, 30 mA, 2 V, -40 to 85 degC, 2-Pin SMD, RoHS, Tape and Reel
DS3	150060VS75000	WL-SMCW SMD Chip LED Top View Monocolor Waterclear, 30 mA, 2 V, -40 to 85 degC, 2-Pin SMD, RoHS, Tape and Reel
DS4	150060VS75000	WL-SMCW SMD Chip LED Top View Monocolor Waterclear, 30 mA, 2 V, -40 to 85 degC, 2-Pin SMD, RoHS, Tape and Reel
R10	ERJ-2GEJ241x	Chip Resistor, 240 Ohm, +/- 5%, 100 mW, -55 to 155 degC, 0402 (1005 Metric), RoHS, Tape and Reel
R11	ERJ-2RKF1002X	Chip Resistor, 10 KOhm, +/- 1%, 100 mW, -55 to 155 degC, 0402 (1005 Metric), RoHS, Tape and Reel
R12	ERJ-2RKF1001X	Chip Resistor, 1 KOhm, +/- 1%, 100 mW, -55 to 155 degC, 0402 (1005 Metric), RoHS, Tape and Reel
R13	ERJ-2RKF1001X	Chip Resistor, 1 KOhm, +/- 1%, 100 mW, -55 to 155 degC, 0402 (1005 Metric), RoHS, Tape and Reel
R14	ERJ-2RKF1001X	Chip Resistor, 1 KOhm, +/- 1%, 100 mW, -55 to 155 degC, 0402 (1005 Metric), RoHS, Tape and Reel
R15	ERJ-2RKF4701X	Chip Resistor, 4.7 KOhm, +/- 1%, 0.1 W, -55 to 155 degC, 0402 (1005 Metric), RoHS, Tape and Reel
R30	ERJ-2RKF1001X	Chip Resistor, 1 KOhm, +/- 1%, 100 mW, -55 to 155 degC, 0402 (1005 Metric), RoHS, Tape and Reel
R9	ERJ-2RKF1002X	Chip Resistor, 10 KOhm, +/- 1%, 100 mW, -55 to 155 degC, 0402 (1005 Metric), RoHS, Tape and Reel
U1	SPWF01SA	Serial to WiFi Server IEEE802.11b/g/n Intelligent Module, 3.3 V, - 40 to 85 degC, 30-Pin SMD, RoHS, Tray
U2	STM32F103RBT7TR	ARM Cortex-M3 32-bit MCU, 128 KB Flash, 20 KB Internal RAM, 51 I/Os, 64-pin LQFP, -40 to 105 degC, Tape and Reel
Y1	FQ5032B-24	Crystal Oscillator, SMD, 24MHz, Stab=30ppm 20.0pF

회로설계

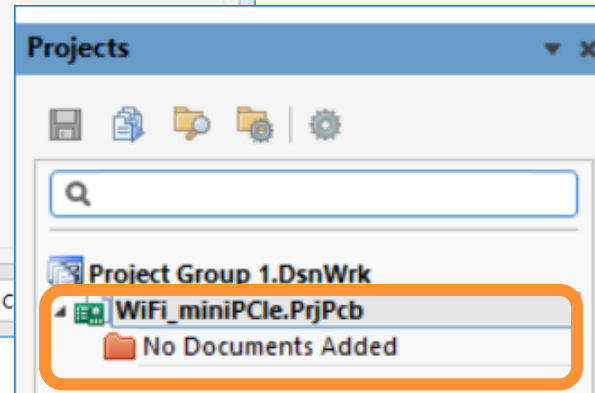
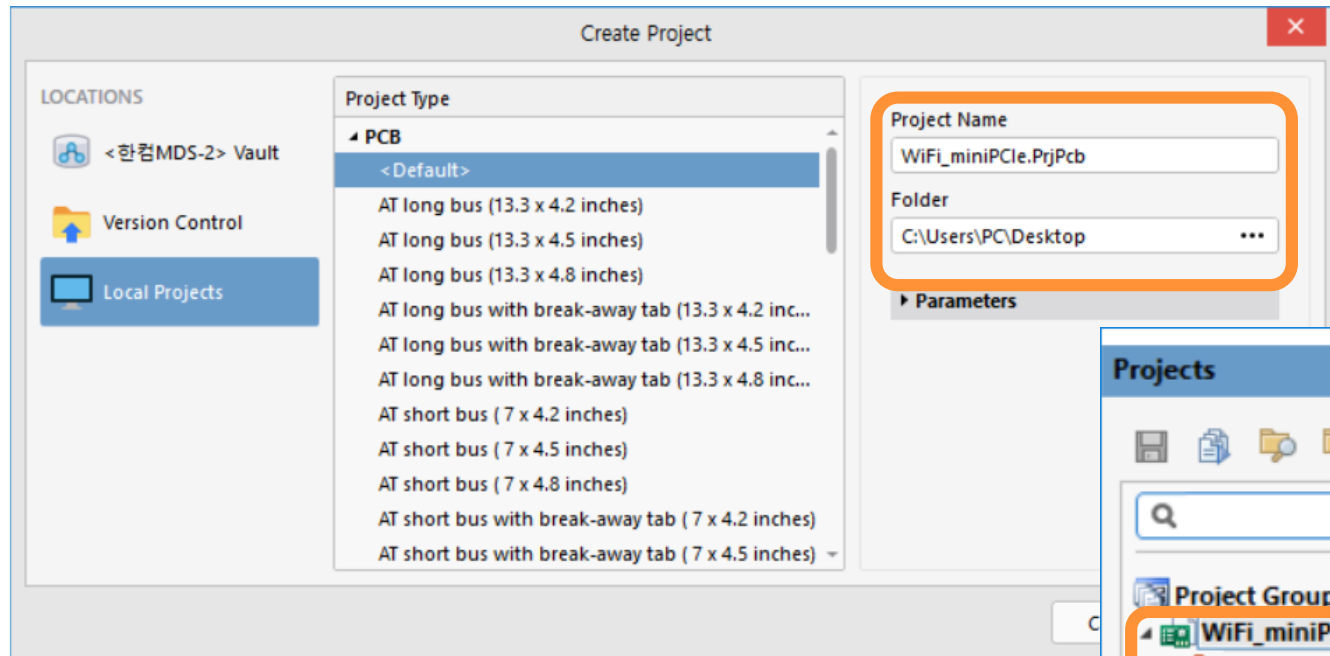
1. Schematic GUI
2. 회로도 예제
3. 프로젝트 만들기
4. 템플릿 적용
5. 부품 검색, 배치
6. 배선 (Wire/Bus)

7. 지시문 입력
8. Footprint 등록
9. 설계 참조 번호 설정
10. 프로젝트 옵션 설정
11. 프로젝트 컴파일
12. 기타

프로젝트 파일 만들기

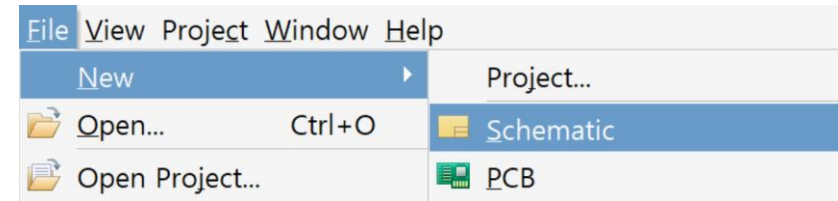
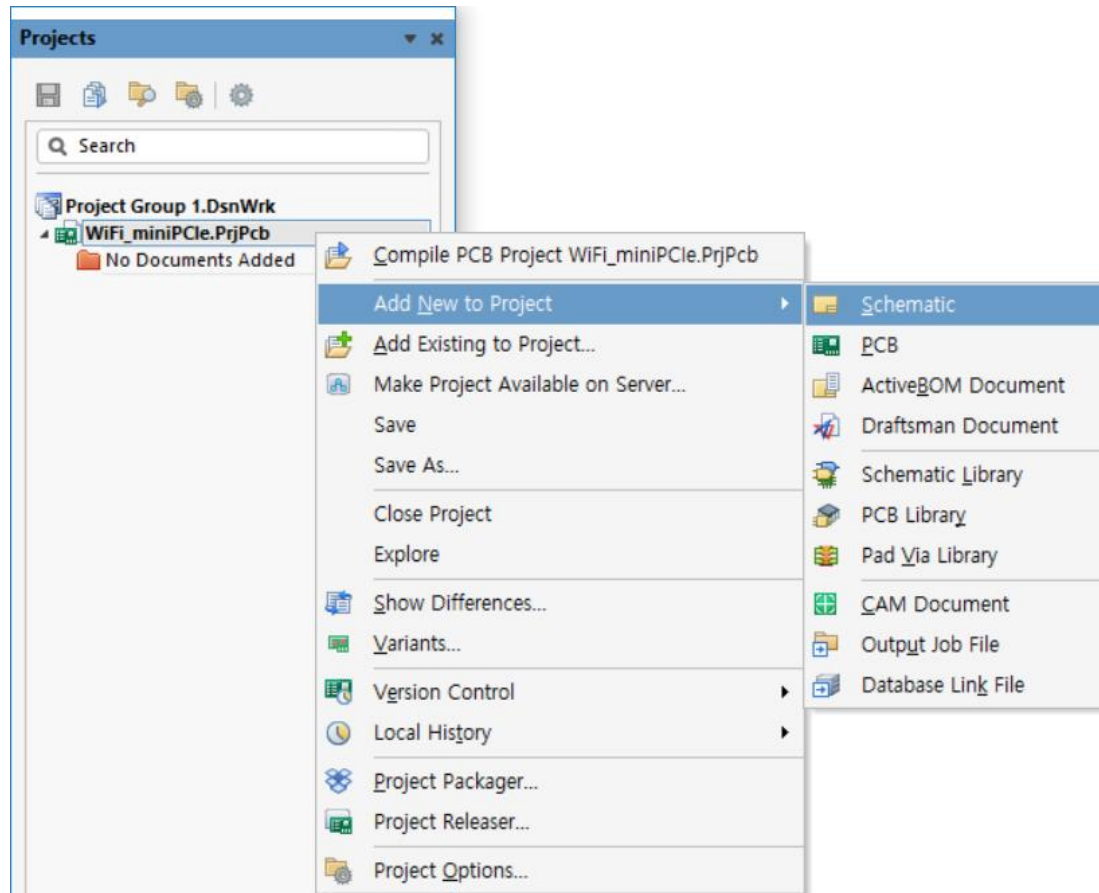


- File » New » Project... 선택
 - Local Projects » Project Type : PCB <Default> 선택
 - Project Name : 프로젝트명
 - Folder : 프로젝트 저장경로
 - 설정한 경로에 프로젝트명과 동일한 이름의 폴더가 자동 생성되고, 그 폴더 안에 프로젝트 생성된다.



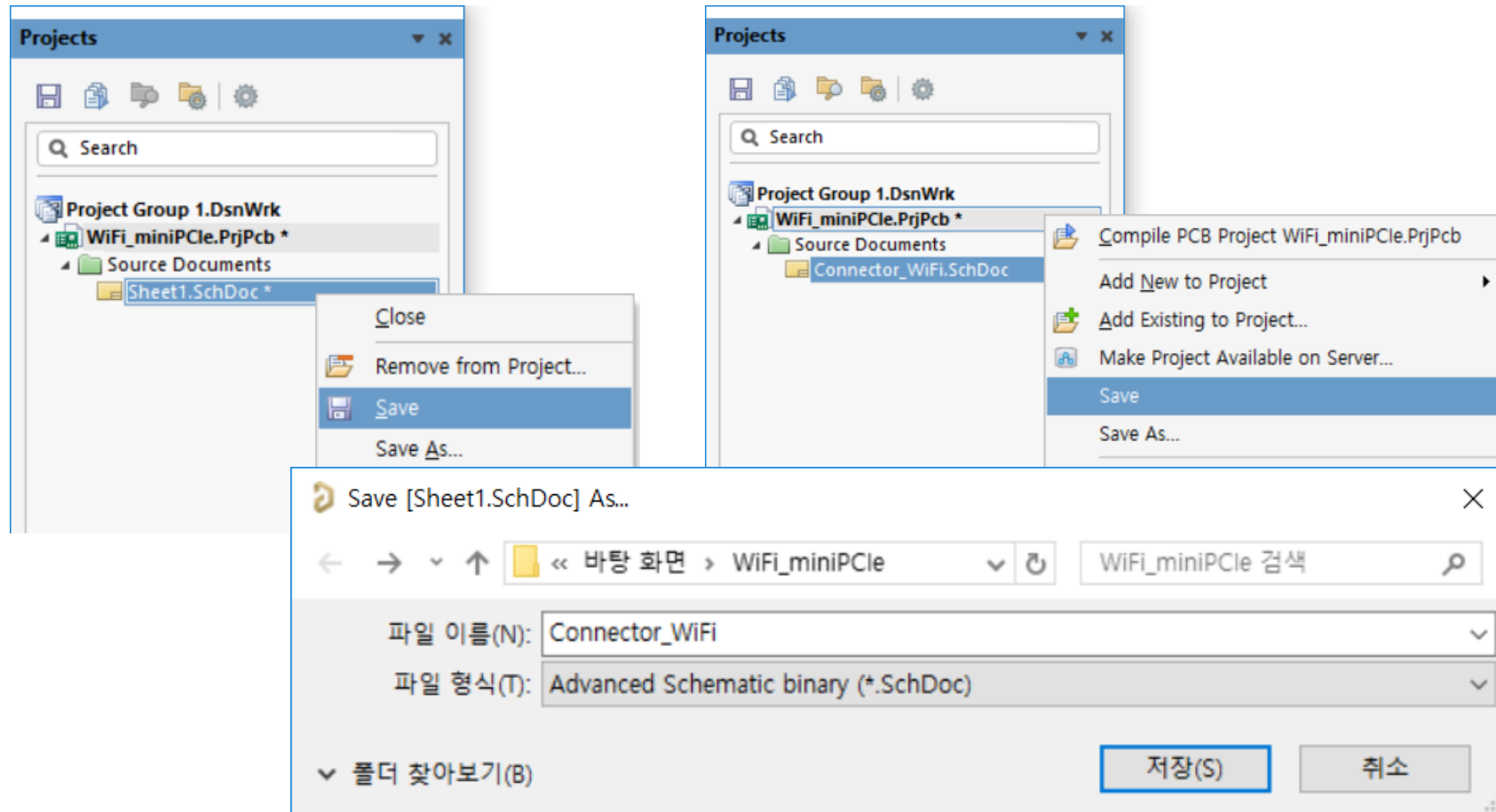
회로도 파일 만들기

- File » New » Schematic을 실행해서 Schematic을 파일을 추가한다.



작업파일 저장

- File » Save [Ctrl+S] 저장
 - 문서 변경사항 발생시 파일명 뒤에 *표시가 나타나고, 문서 저장 시 *표시가 사라진다.



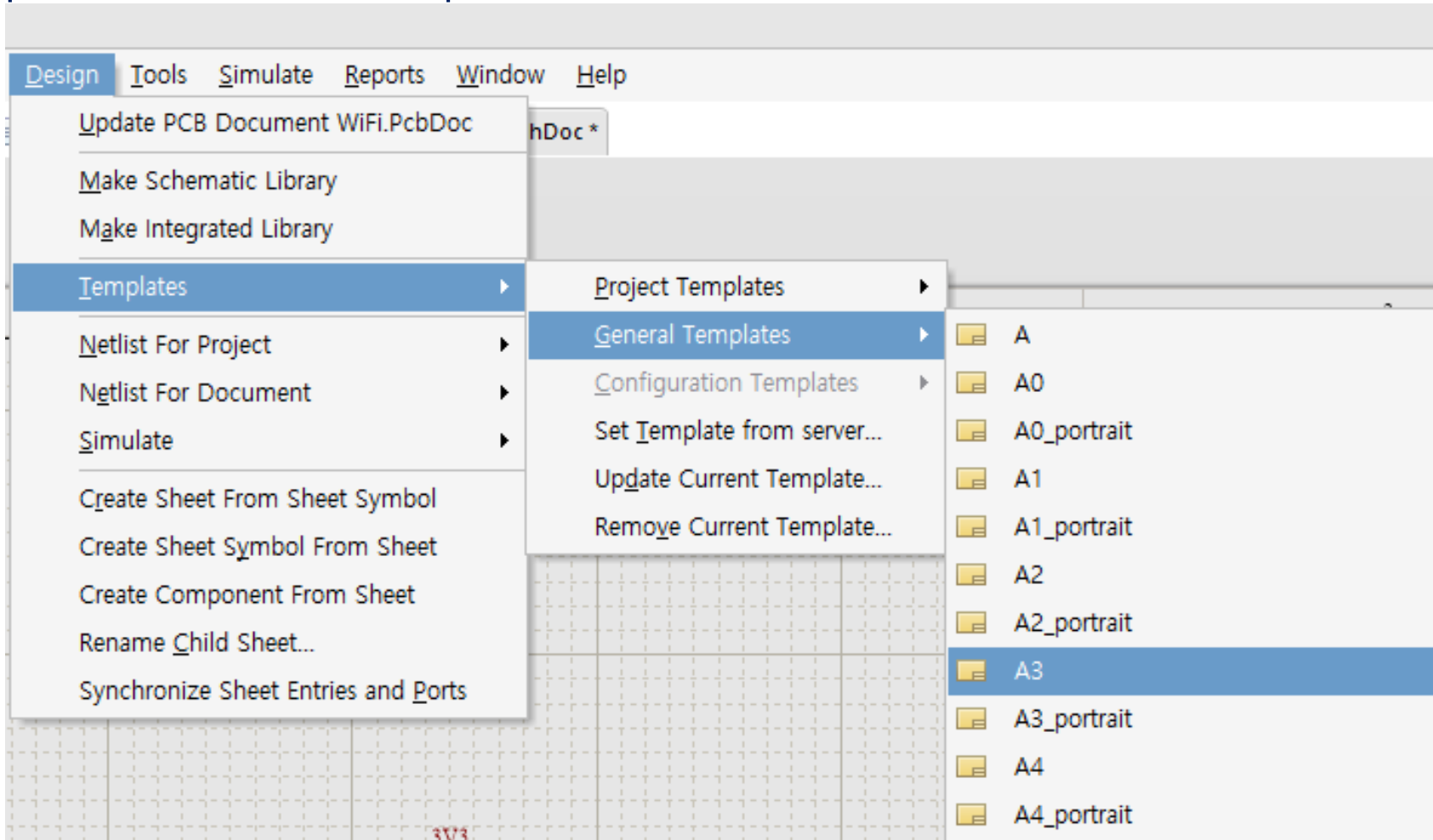
회로설계

1. Schematic GUI
2. 회로도 예제
3. 프로젝트 만들기
4. 템플릿 적용
5. 부품 검색, 배치
6. 배선 (Wire/Bus)

7. 지시문 입력
8. Footprint 등록
9. 설계 참조 번호 설정
10. 프로젝트 옵션 설정
11. 프로젝트 컴파일
12. 기타

템플릿 적용

- Design » Templates » General Templates » A3 (또는 A4 선택, Portrait는 세로가 긴 용지 형태)



회로설계

1. Schematic GUI
2. 회로도 예제
3. 프로젝트 만들기
4. 템플릿 적용
5. 부품 검색, 배치
6. 배선 (Wire/Bus)

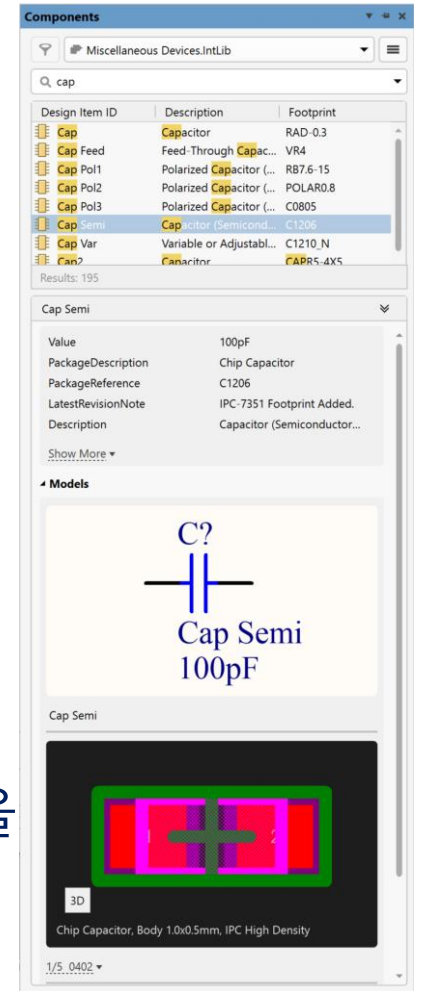
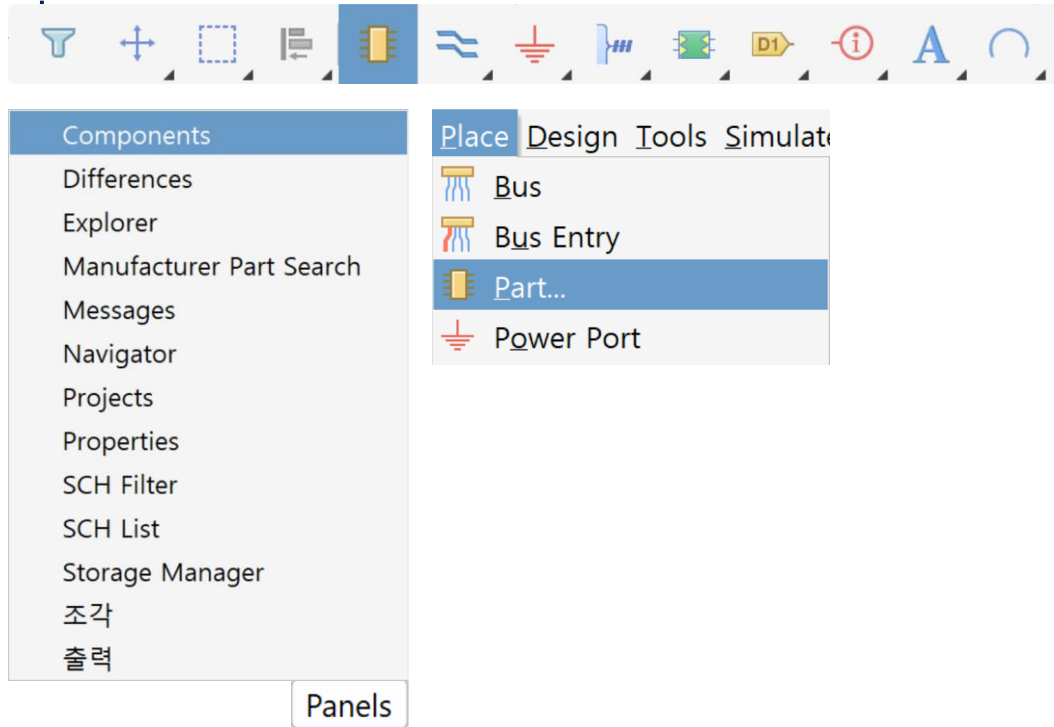
7. 지시문 입력
8. Footprint 등록
9. 설계 참조 번호 설정
10. 프로젝트 옵션 설정
11. 프로젝트 컴파일
12. 기타

부품 검색, 배치

1. 부품 검색
2. 부품 배치

부품 검색

- 부품 검색을 위해 컴포넌트 패널은 오른쪽 하단의 Panels » Components 또는 Place » Part... 실행한



- 검색할 부품에 따라, 라이브러리파일을 선택하고 검색패널에 찾고자 하는 부품을
 - R, L, C 등의 소자는 Miscellaneous Devices.IntLib
 - 커넥터는 Miscellaneous Connect.IntLib

부품 검색 : Components 패널

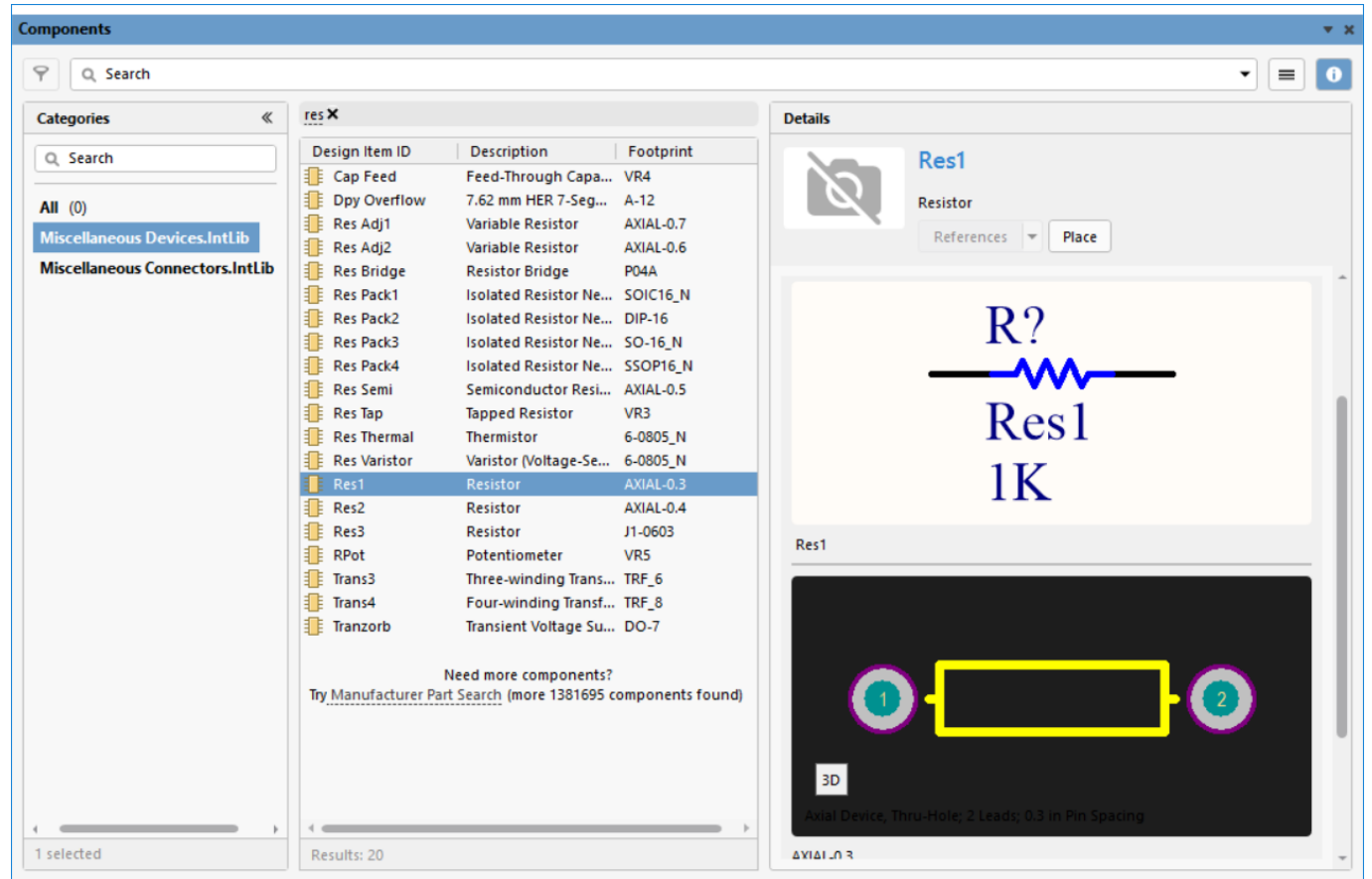
The screenshot displays the Altium Designer Components panel with five search results. Each result includes a table of component details, a schematic symbol, and a 3D model.

Component	Value	PackageDescription	PackageReference	LatestRevisionNote	Description
Header 2	Header, 2-Pin	Header, 2-Pin	Miscellaneous Connecto...	Altium Limited	2
Res3	1K	Chip Resistor	J1-0603	IPC-7351 Footprint Added.	Resistor
Cap Semi	100pF	Chip Capacitor	C1206	IPC-7351 Footprint Added.	Capacitor (Semiconduct...
Inductor	10mH	Chip Inductor	0402-A	IPC-7351 Footprint Added.	Inductor
LED2	SM LED; 2 Flat Leads	3.2X1.6X1.1	Feb-2002	Re-released for DXP Plat...	Typical RED, GREEN, YEL...

Below the table, each component is shown with its schematic symbol and a 3D model. The symbols are: Header 2 (P?), Res3 (R?), Cap Semi (C?), Inductor (L?), and LED2 (D?). The 3D models are: Connector: Header, 2 Position (HDR1X2), Chip Resistor, Body 5.0x2.5mm, IPC High Density (1/4 12Z-2010), Chip Capacitor, Body 1.0x0.5mm, IPC High Density (1/5 0402-A), Chip Inductor, Body 1.0x0.5mm, IPC High Density (1/6 0402-A), and SMT LED; 2 Flat Leads (3.2X1.6X1.1).

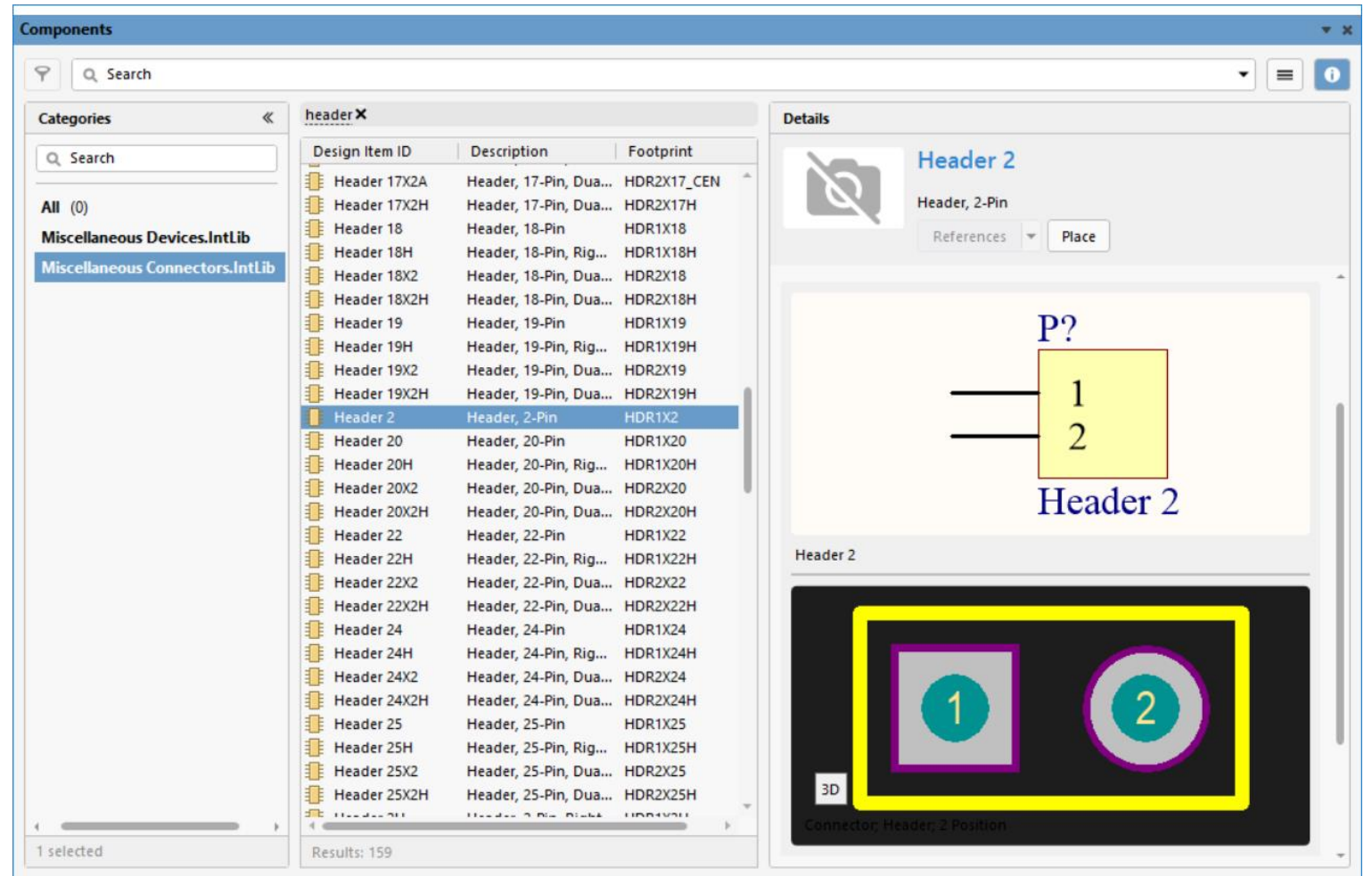
Miscellaneous Device.IntLib (주요검색부품)

- 저항(Res)
- 인덕터(Inductor)
- 커패시터(Cap)
- 다이오드(Diode)
- LED(Led)
- 트랜스포머(Trans)
- 트랜지스터(Transistor)
- 컨버터 (ADC, DAC)
- 배터리(Battery)
- 7세그먼트(Dpy)
- 퓨즈(Fuse)
- JFET
- MOSFET
- 마이크(Mic)
- 모터(Motor)

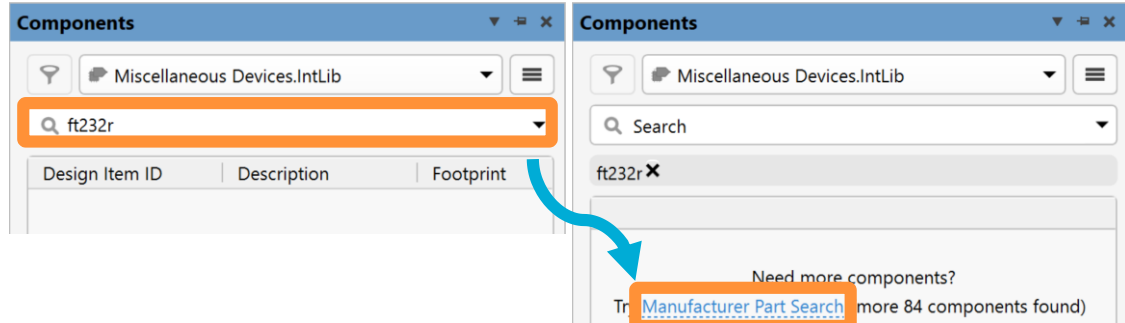


Miscellaneous Connectors.IntLib(주요검색부품)

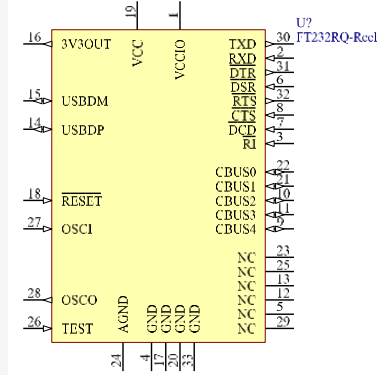
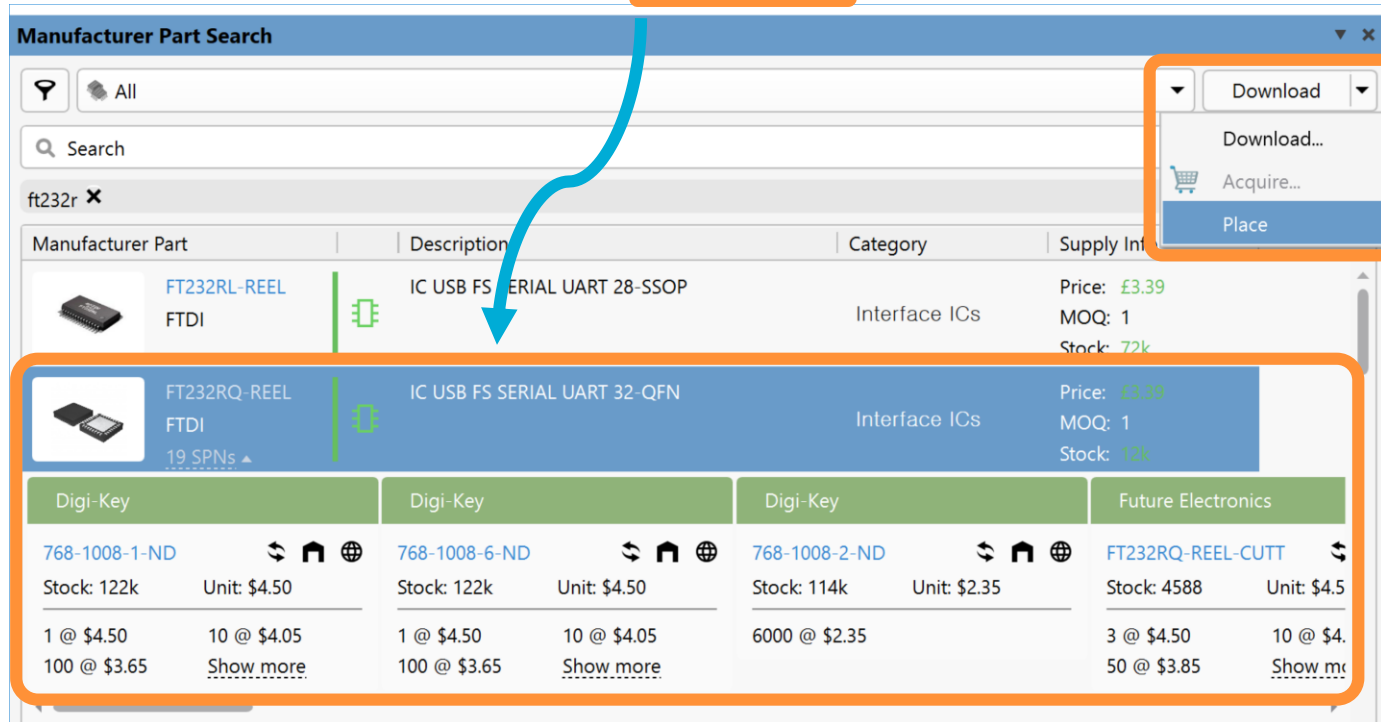
- 커넥터(Connector)
- 헤더(Header)
- 소켓(PS2-6PIN)



부품 검색 : Manufacturer Part Search



- Components 패널에서 ft232r 부품 검색 → 검색한 부품이 없는 경우 Manufacturer Part Search를 통해 부품 검색
- Octopart와 CAD 모델 사용 시, Place 사용 가능



USB Connectors (1734366-2 / TE Connectivity)

- Manufacture Part Search

Manufacturer Part Search

Search

USB

Manufacturer Part

Manufacturer Part	Description	Category
67503-1020 Molex	(Select All) 503-1020 PT, SMT	USB Connectors
48204-0001 Molex	CEPTACLE, VERT	USB Connectors
1734366-1 TE Connectivity	CONN USB RCPT VERT A TYPE BLACK	USB Connectors

15 SPNs

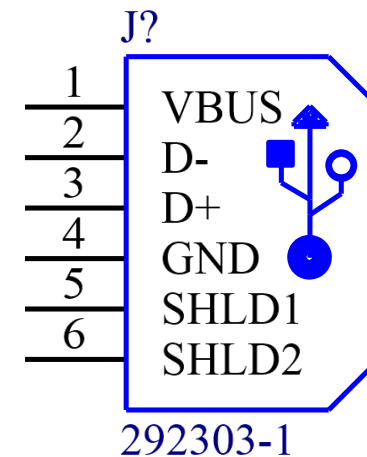
Newark Newark RSComponents

Part Number	Stock	Unit Price	Quantity	Price
97X7044	Stock: 0	Unit: -	No prices available	
18M6973	Stock: 6162	Unit: \$0.811	1 @ \$0.811	
			10 @ \$0.801	
			25 @ \$0.791	
7187224P	Stock: 12k	Unit: 10.90 HKD	25 @ 10.90 HKD	
			200 @ 9.84 HKD	
			75 @ 10.38 HKD	
			400 @ 9.37 HKD	

Models In ('Yes') And [Category] In ('USB Connectors')

Results: 71275

Tray 6162 \$0.811 (each)



rs485 (SN65HVD3082EDGKR / Texas Instruments)

Manufacturer Part Search

Search: rs485

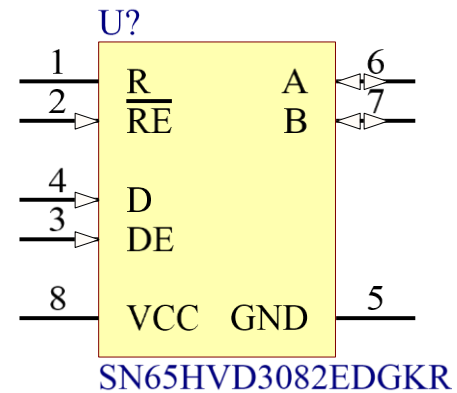
Manufacturer Part: SN65HVD3082EDGKR
Texas Instruments
10 SPNs

Description: IC RS485 TRANSCEIVER LP 8VSSOP
Category: RS-232 / RS-4...

Digi-Key	Digi-Key	Digi-Key
296-27992-1-ND Stock: 7550 Unit: \$2.61 1 @ \$2.61 100 @ \$1.88 Show more	296-27992-6-ND Stock: 7550 Unit: \$2.61 1 @ \$2.61 100 @ \$1.88 Show more	296-27992-2-ND Stock: 7500 Unit: \$1.16 2500 @ \$1.16 5000 @ \$1.12

Results: 8918

Tape and Reel 1219 £1.86 (each)

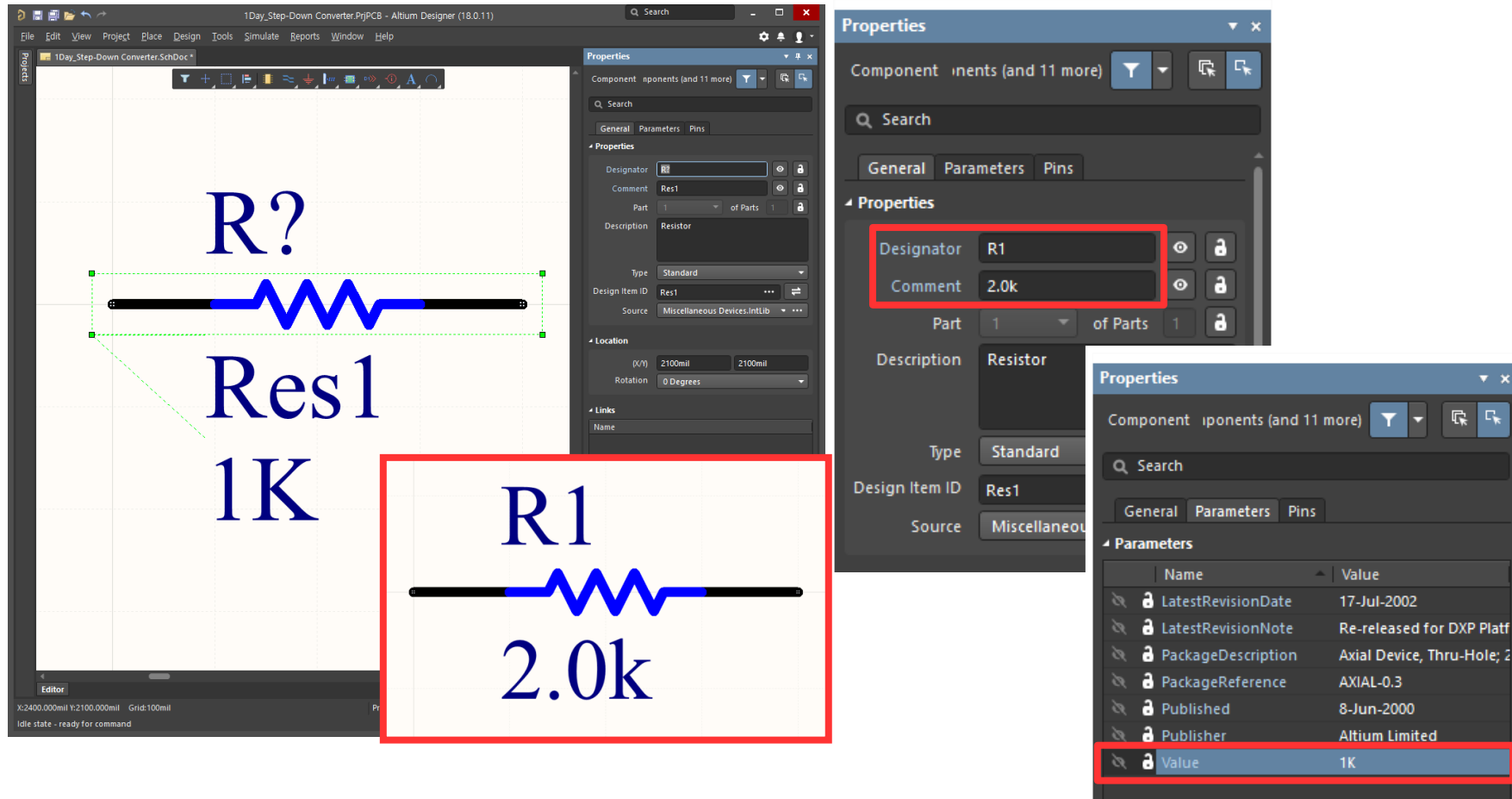


부품 검색, 배치

1. 부품 검색
2. 부품 배치

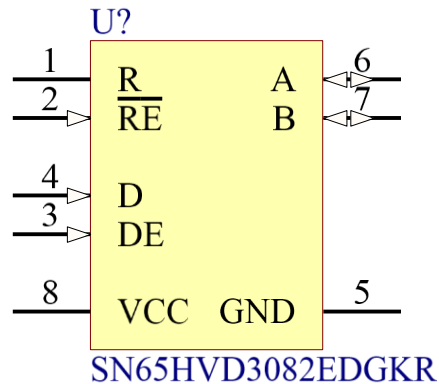
부품 속성

- 부품 배치 후, 부품을 더블 클릭하면 Properties(속성)창을 볼 수 있다. 설계참조번호(Designator)에는 R1을, 주석값(Comment)은 2.0k를 입력한다. 그리고, Parameters 옵션에서 Value값 보기를 비활성 시킨다.





회로심볼 핀번호/핀이름/핀위치 변경

- Component 선택 후 Properties 패널 - Pins섹션 선택
-  Pin 잠금 해제 → 부품 핀 위치 변경 →  Pin 잠금 설정

















Properties





Component Components (and 11 more) 

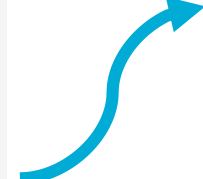
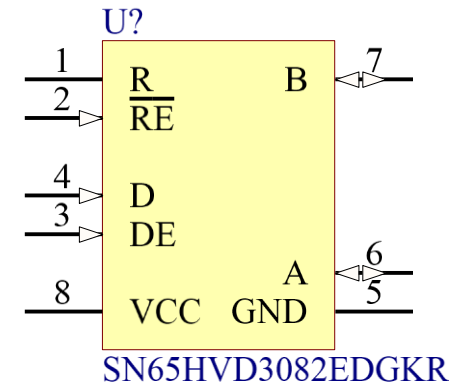
 Search

General Parameters Pins

Pins

Pins	Name
 - Pin 1	 R
 - Pin 2	 R\E\
 - Pin 3	 DE
 - Pin 4	 D
 - Pin 5	 GND
 - Pin 6	 A
 - Pin 7	 B

  Add  



회로설계

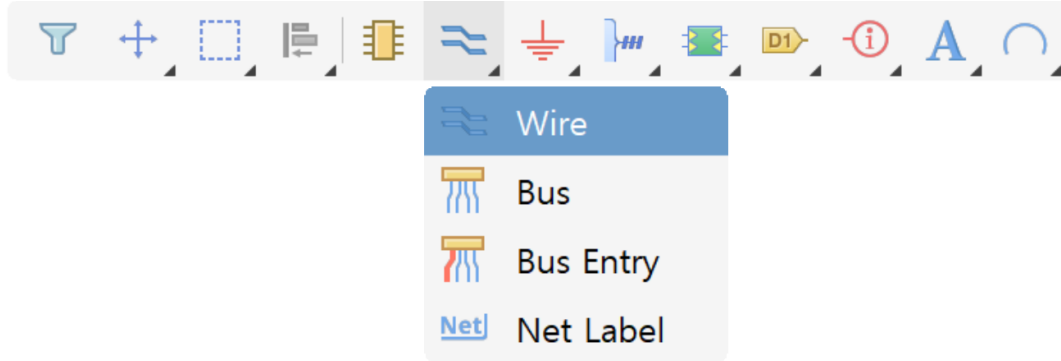
1. Schematic GUI
2. 회로도 예제
3. 프로젝트 만들기
4. 템플릿 적용
5. 부품 검색, 배치
6. 배선 (Wire/Bus)

7. 지시문 입력
8. Footprint 등록
9. 설계 참조 번호 설정
10. 프로젝트 옵션 설정
11. 프로젝트 컴파일
12. 기타

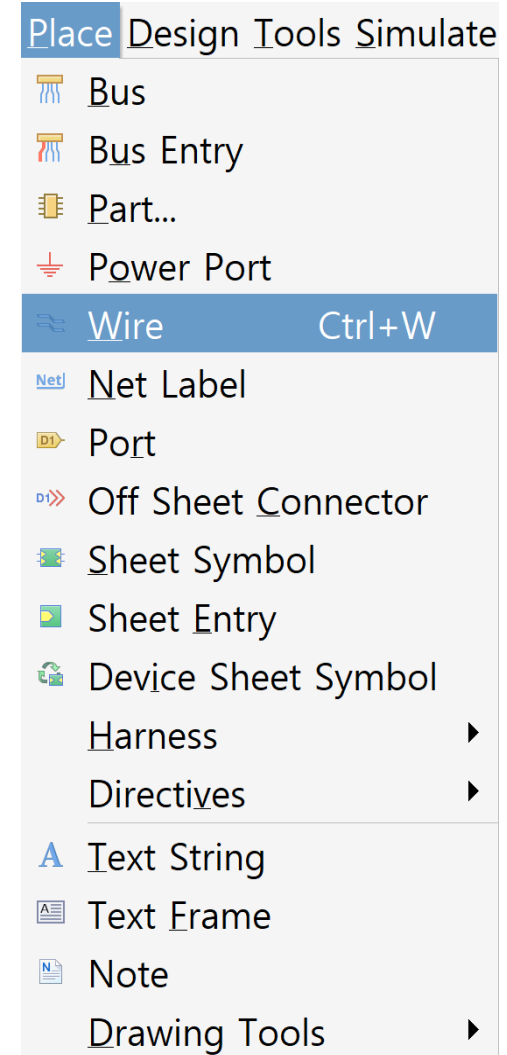
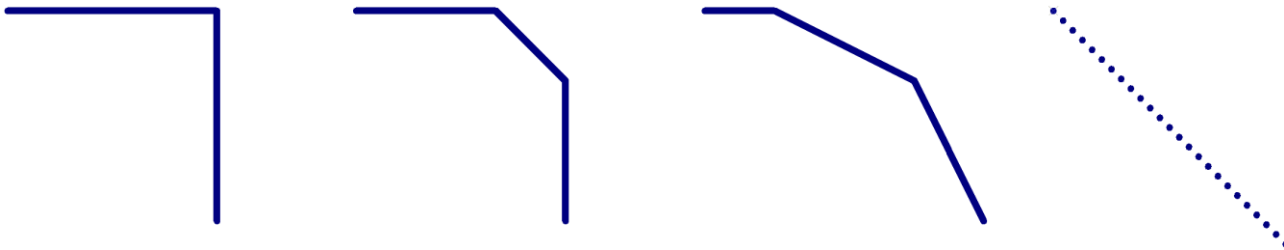
배선

1. 배선 (배선/네트라벨/포트/전원심볼/오프시트커넥터)
2. 버스
3. 하네스



Wires [PW]

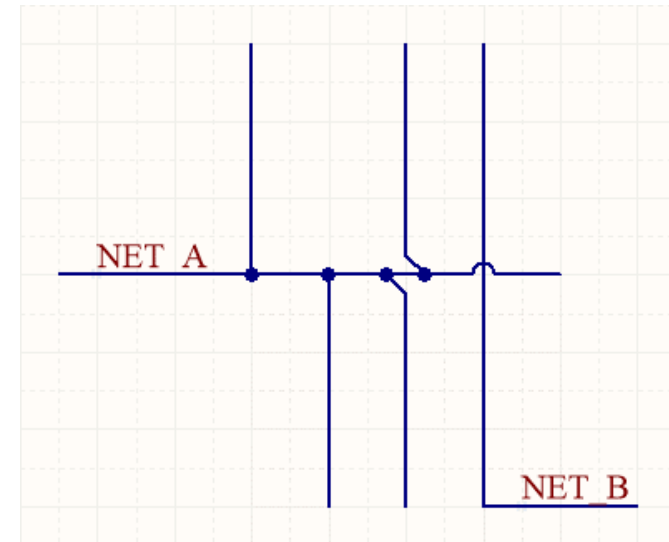
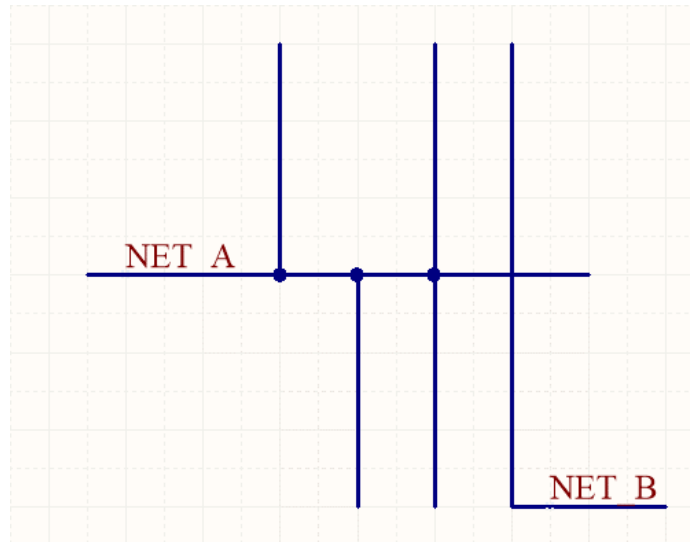
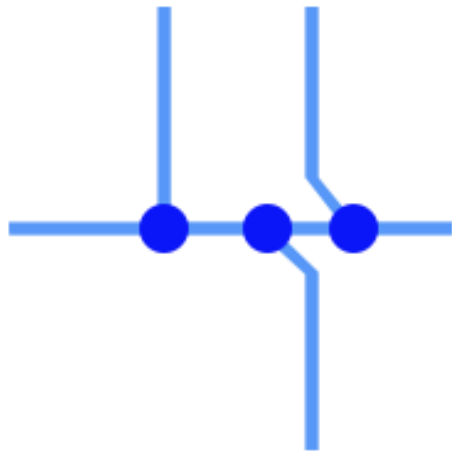


- Place » Wire [Ctrl+W]
- 배선 각도 전환 [Shift + Space]
- 90° 배선 / 45° 배선 / 모든 각도 / 자동 배선 모드



배선 연결점 만들기

- AD18부터 배선연결점 오토 생성만 지원한다.
 - T분기 배선은 배선 교차지점에  오토정선 생성
 - +분기 경우에는 + 배선이 지나가는지 연결되는지 자동으로 알 수 없다. 그러므로, 먼저 T분기 모양 생성 후, 나머지 배선을 연결해서  오토정선을 생성한다.

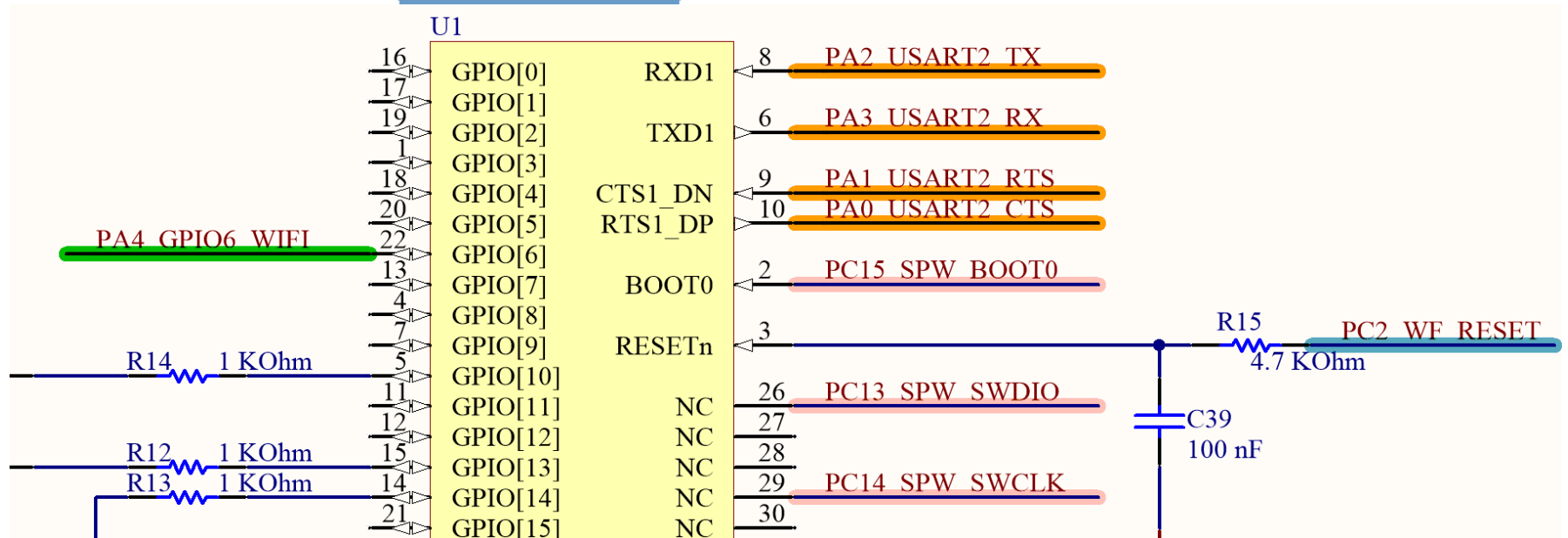
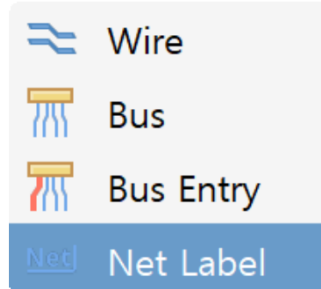


Net Label [PN]

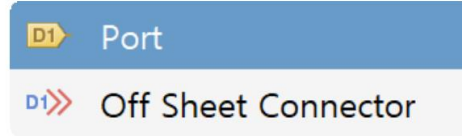
- 네트라벨은 배선에 네트명을 지정하고, 같은 시트내에서 물리적으로 떨어진 연결을 동일한 네트명으로 연결하여 회로를 간소하게 표현한다.



- Place » Net Label
 - 배선 위에 배치

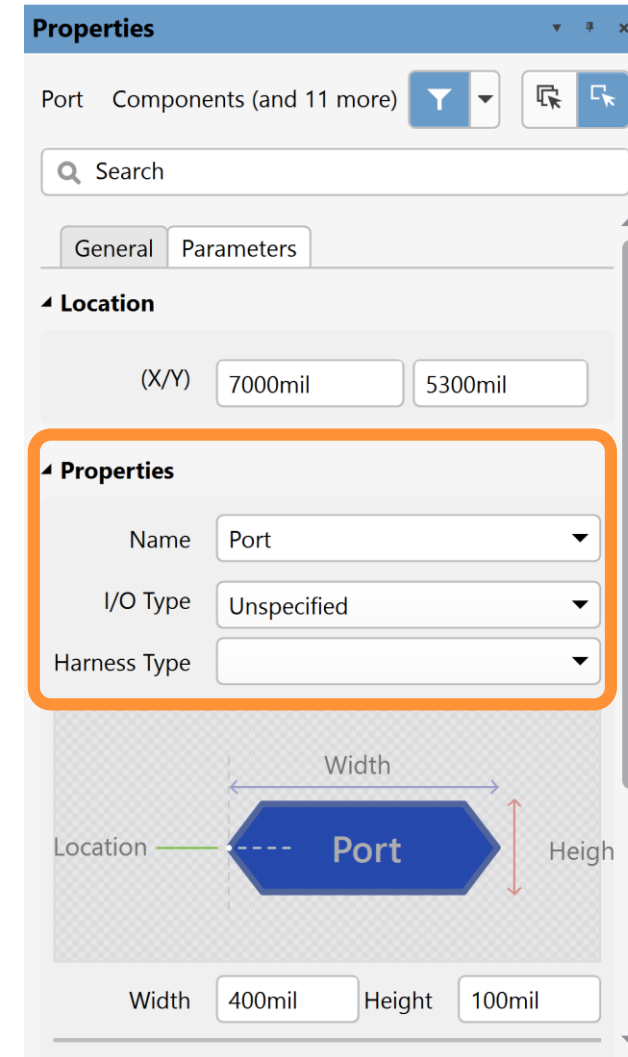
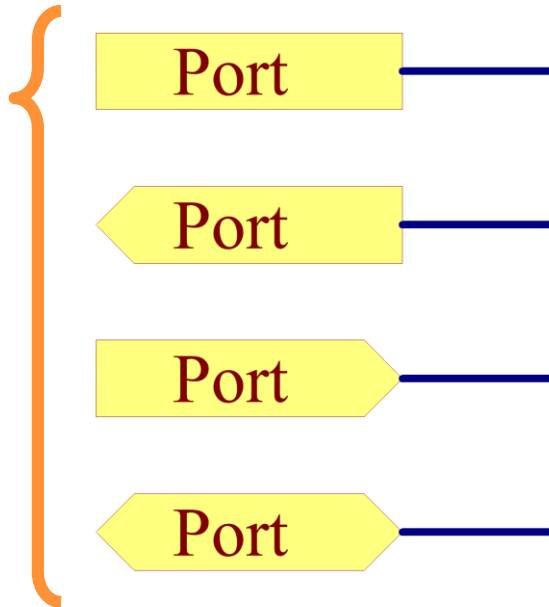


Ports [PR]

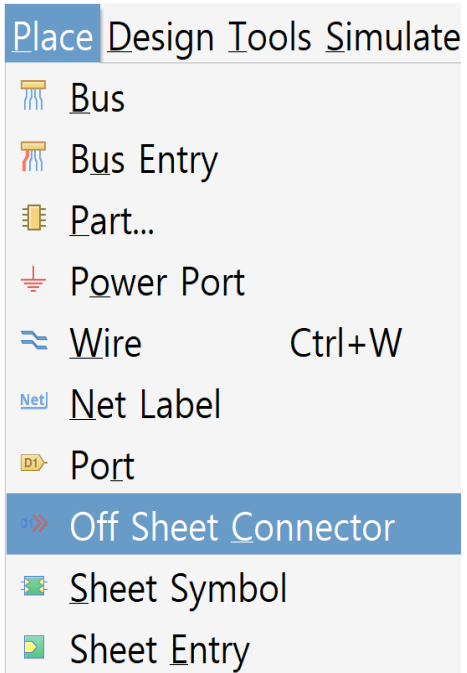


• Properties 패널 – General » Properties 섹션

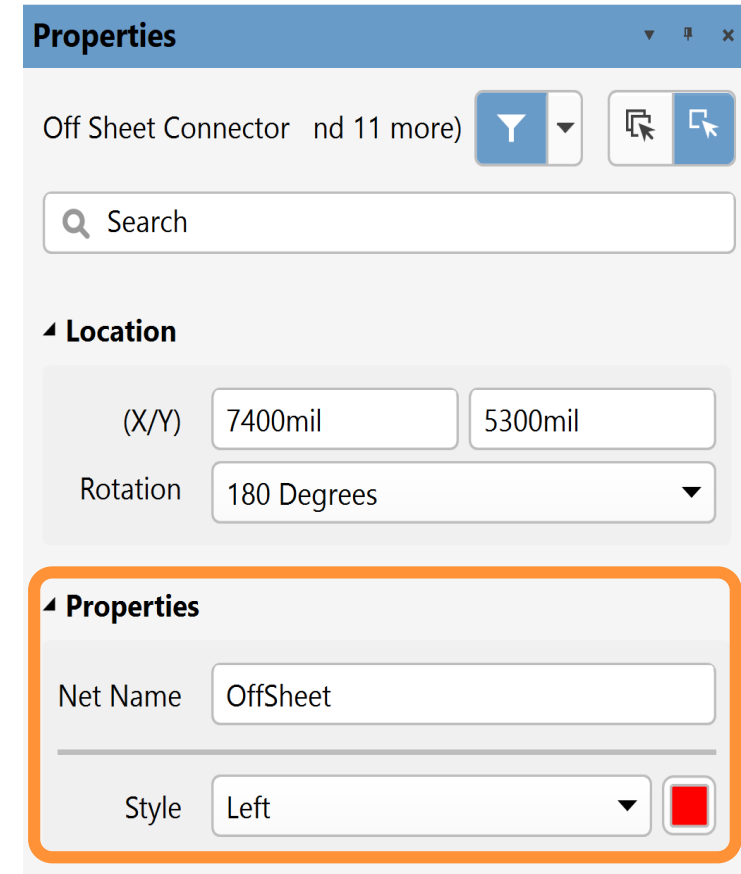
- Name : 포트명 입력
- I/O Type : 입출력 방향 설정
 - Unspecified
 - Output
 - Input
 - Bidirectional



Off Sheet Connectors [PC]



- Place » Off Sheet Connector
- Properties패널 » Properties 섹션
 - Net Name : 네트명
 - Style : Left / Right

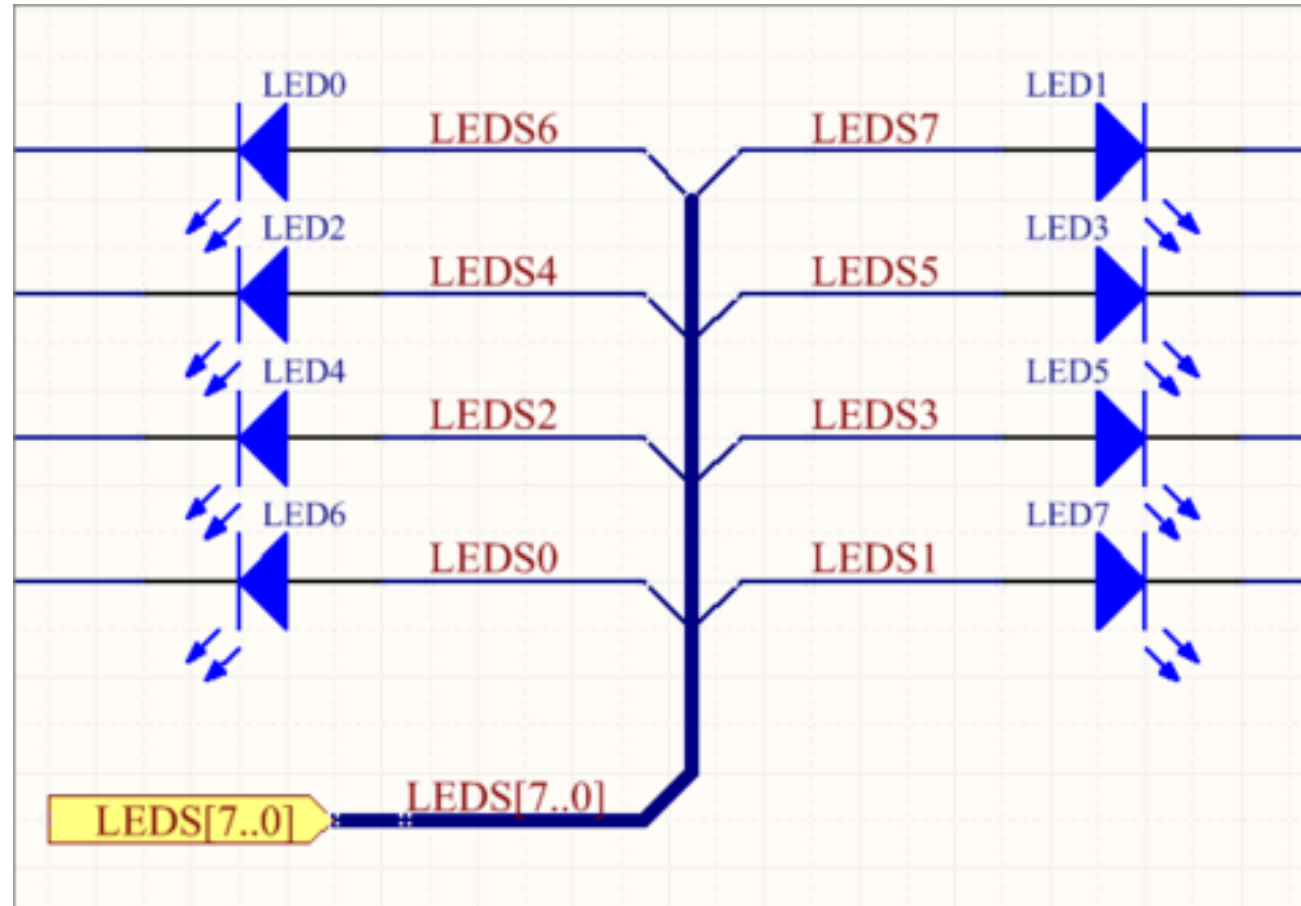


배선

1. 배선 (배선/네트라벨/포트/전원심볼/오프시트커넥터)
2. 버스
3. 하네스

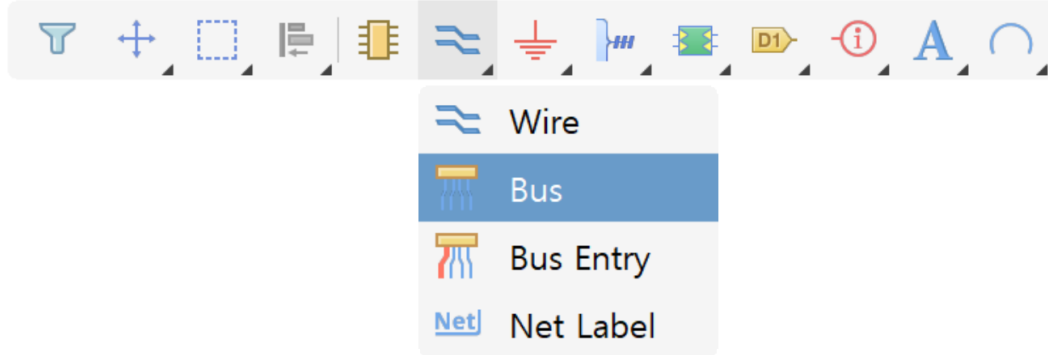
버스 배선

- 버스는 여러 개의 네트를 결합하는데 사용하며, 어드레스 라인 또는 데이터 라인 연결 시 반복되는 동일한 작업을 간략하게 만들며 회로도를 보기 쉽게 만들어 주는 목적이다.

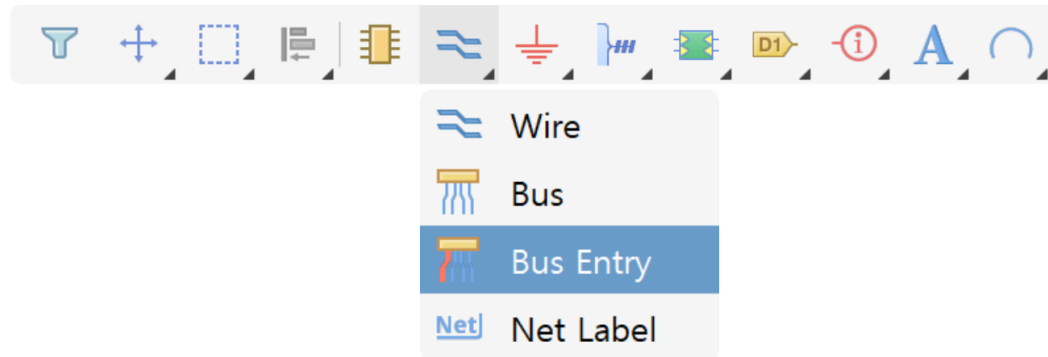


버스 배선

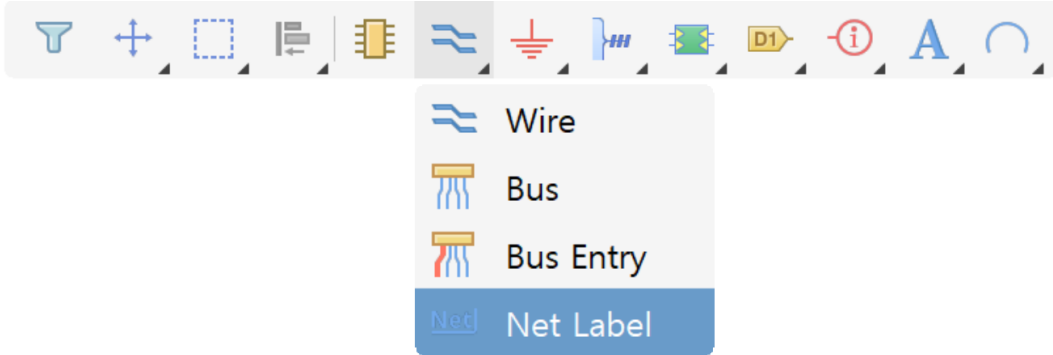
- Place » Bus



- Place » Bus Entry



버스 배선



- 각각의 네트는 네트라벨로 식별되며, 네트명은 <이름><식별번호1>, <이름><식별번호2>로 구성한다.
 - (예, Address0, Address1, ..., Address n)
- 개별 네트가 결합하는 버스의 네트라벨은 <이름>[<시작 식별번호>..<종료 식별번호>]형식을 사용한다.
 - (예 : Address[7..0], LED[1..8])

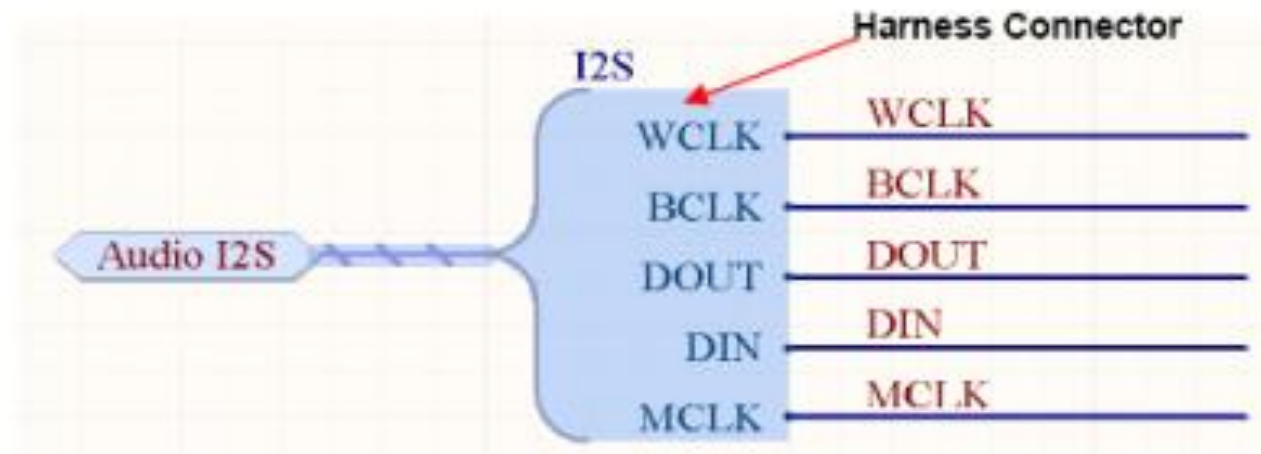
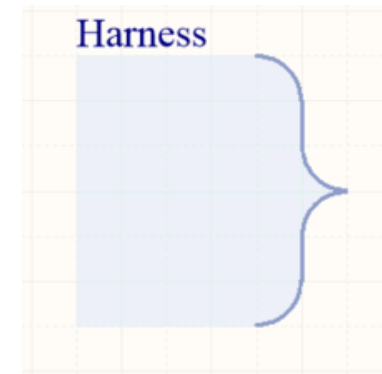
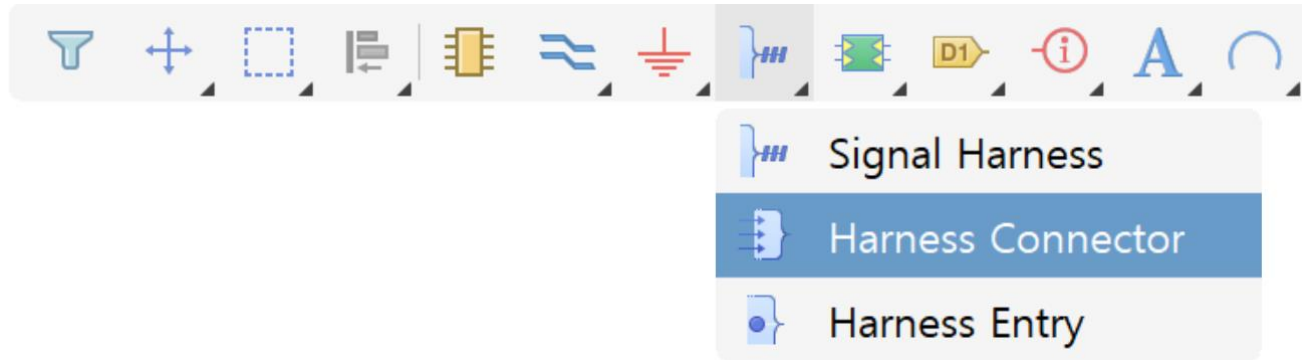
-
- 버스 네트라벨은 영문 사용을 권장한다. 만약, 버스 이름을 D2[0..7]로 지정하면, 컴파일시 네트명이 D20, D21..D27로 확장되어 네트명 충돌이 발생할 수 있다.

배선

1. 배선 (배선/네트라벨/포트/전원심볼/오프시트커넥터)
2. 버스
3. 하네스

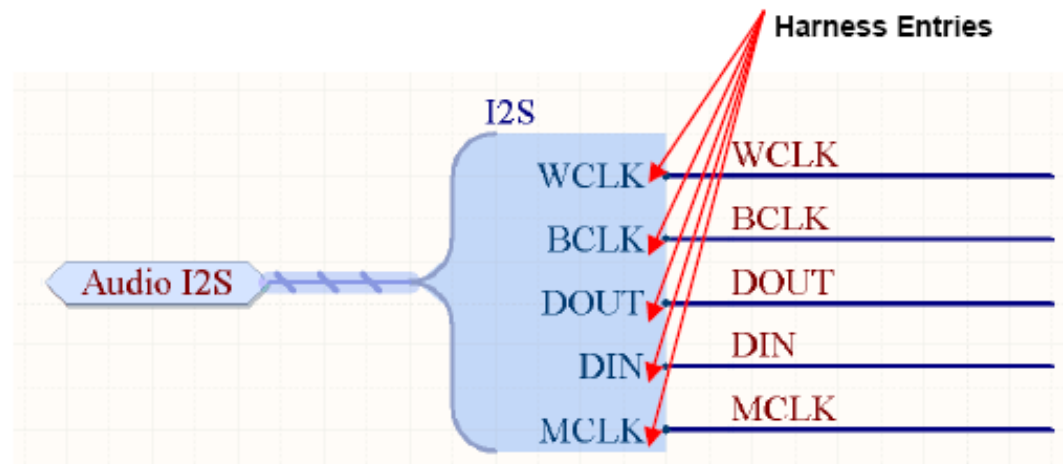
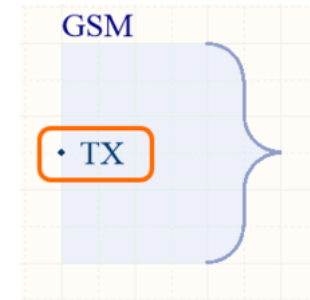
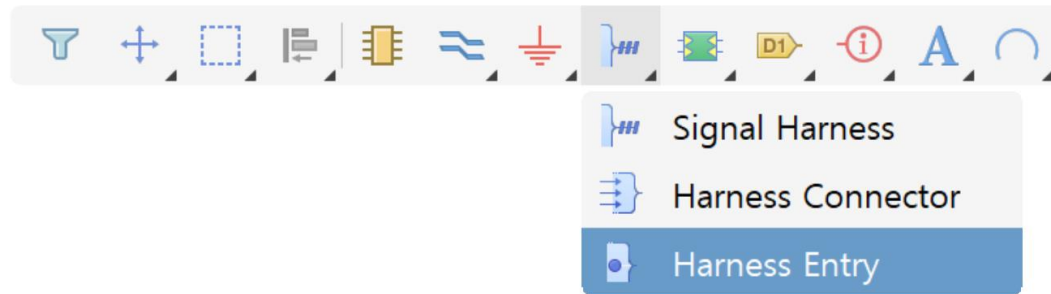
하네스 커넥터

- 하네스 커넥터 (Harness Connector)
 - 다양한 신호를 그룹화하여 버스 및 배선을 포함한 하네스 신호를 형성하는 컨테이너.
- **Place » Harness » Harness Connector**



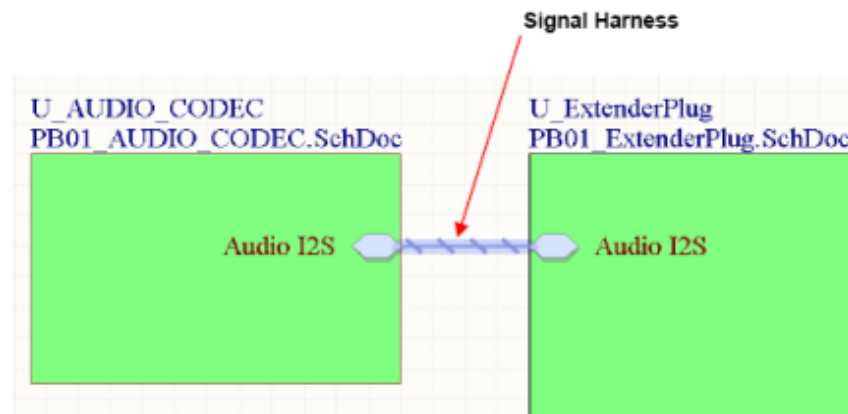
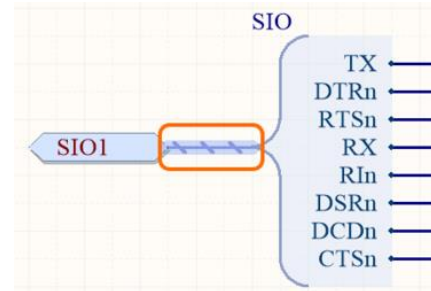
하네스 분기

- 하네스 분기 (Harness Entry)
 - 배선, 버스, 하네스 신호를 통해 신호가 결합되어 더 높은 수준의 신호 하네스를 형성하는 연결 지점
- Place » Harness » Harness Entry



하네스 신호

- 하네스 신호 (Signal Harness)
 - 버스, 배선 및 기타 신호 장치를 포함한 다양한 신호를 논리적으로 그룹화하여 연결
 - 하네스 신호는 PCB 프로젝트의 하위 회로 사이의 상위 레벨 추상 연결 생성 및 사용 가능
 - 복잡한 설계를 단순화 하여, 설계 가독성 및 설계 재사용성을 높임
- Place » Harness » Signal Harness



회로설계

1. Schematic GUI
2. 회로도 예제
3. 프로젝트 만들기
4. 템플릿 적용
5. 부품 검색, 배치
6. 배선 (Wire/Bus)

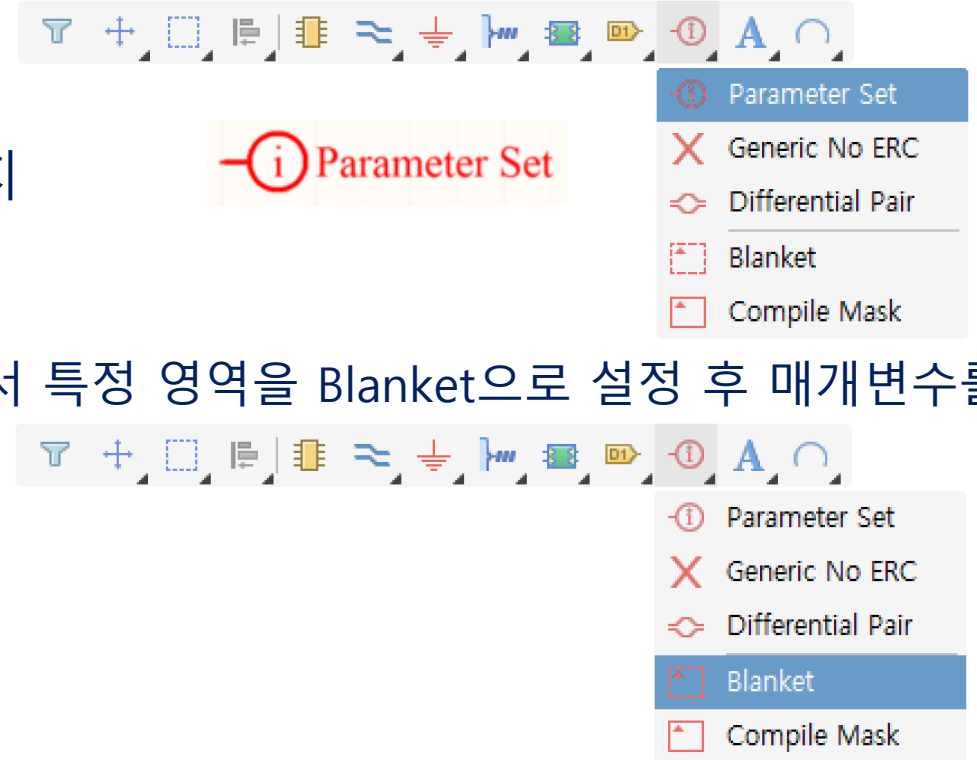
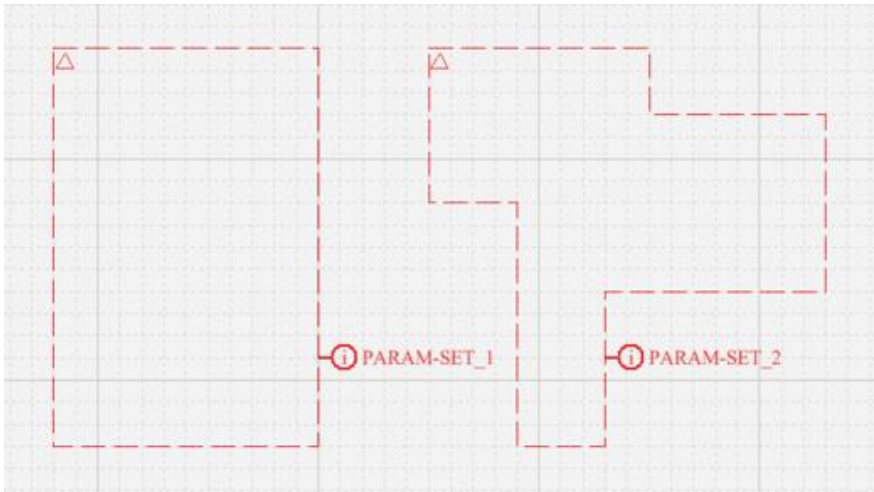
7. 지시문 입력
8. Footprint 등록
9. 설계 참조 번호 설정
10. 프로젝트 옵션 설정
11. 프로젝트 컴파일
12. 기타

지시문 입력

1. 매개 변수 설정 / Blanket
2. 디퍼런셜 페어 매개 변수 설정
3. 컴파일 마스크

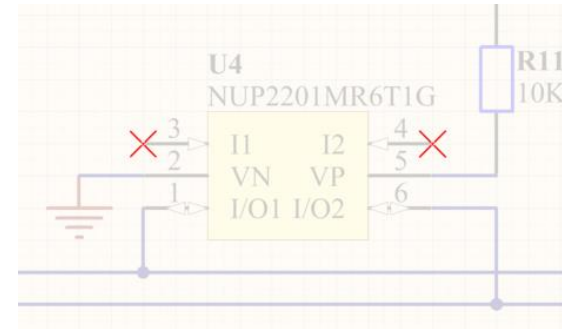
매개 변수 설정 / Blanket

- 매개 변수 설정 (Parameter Set)
 - 회로도 단계에서 설계규칙 및 넷 클래스를 설정시 사용
- Place » Directives » Parameter Set 실행 후, 배선 위에 배치
- Blanket
 - Parameter Set은 각각에 배선마다 연결해야 하지만, 회로도에서 특정 영역을 Blanket으로 설정 후 매개변수를 연결 할 수 있다.
- Place » Directives » Blanket 실행 후, 영역 설정.

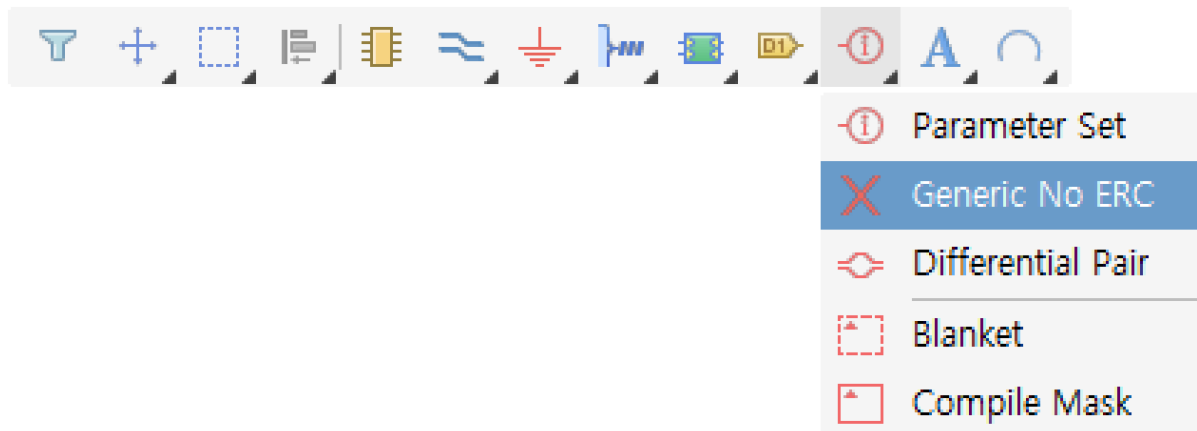


ERC 예외 지정

- ERC 예외 지정 (Generic No ERC) :
 - 프로젝트 컴파일시, 회로의 특정 지점에 의도적으로 오류 검사 검사를 제한하고, 나머지 회로에 대해 포괄적인 검사 수행시 사용.
 - 예) 사용하지 않는 핀 끝점에 No ERC 마크 삽입

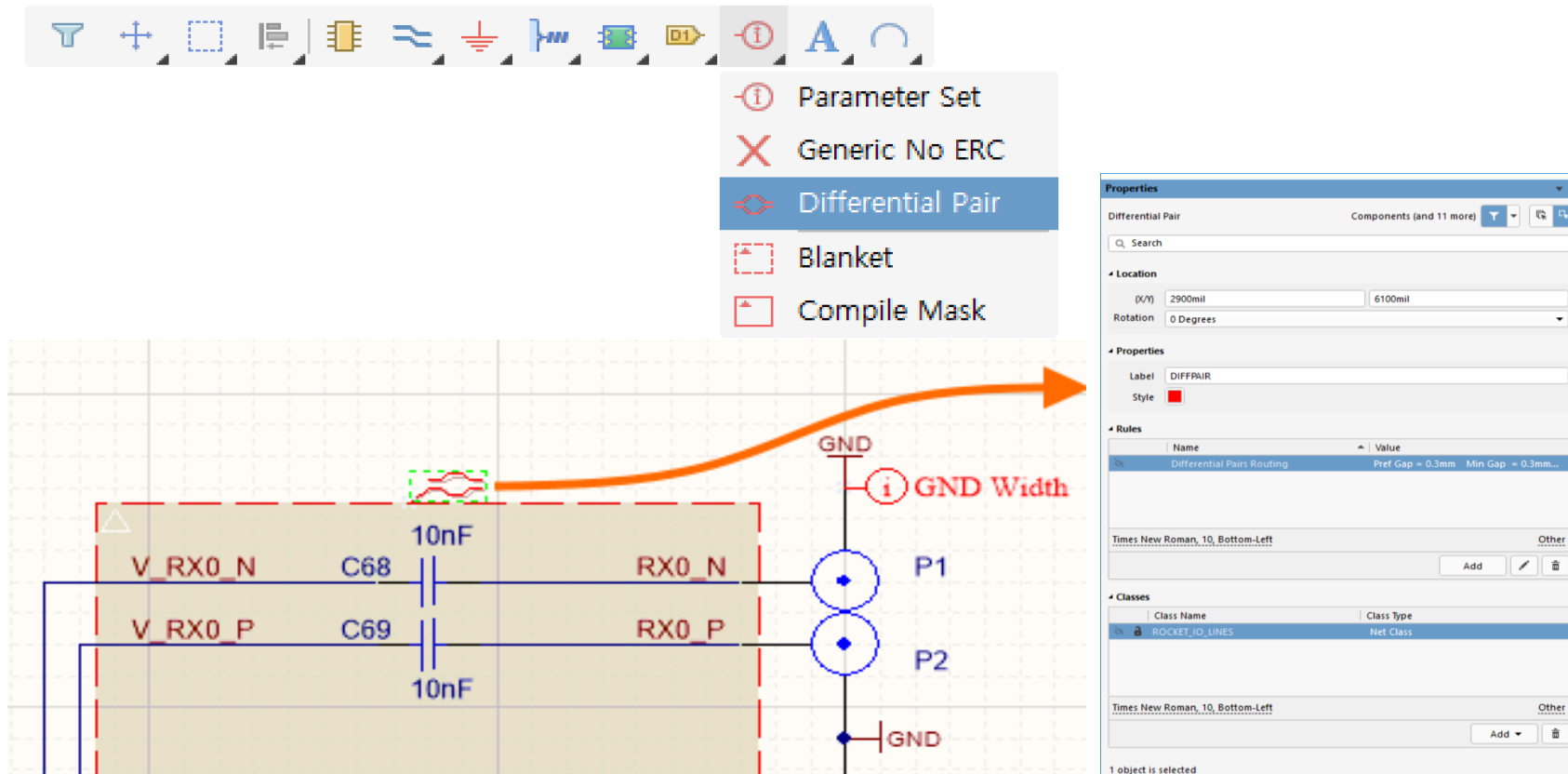


- Place » Directives » Generic No ERC



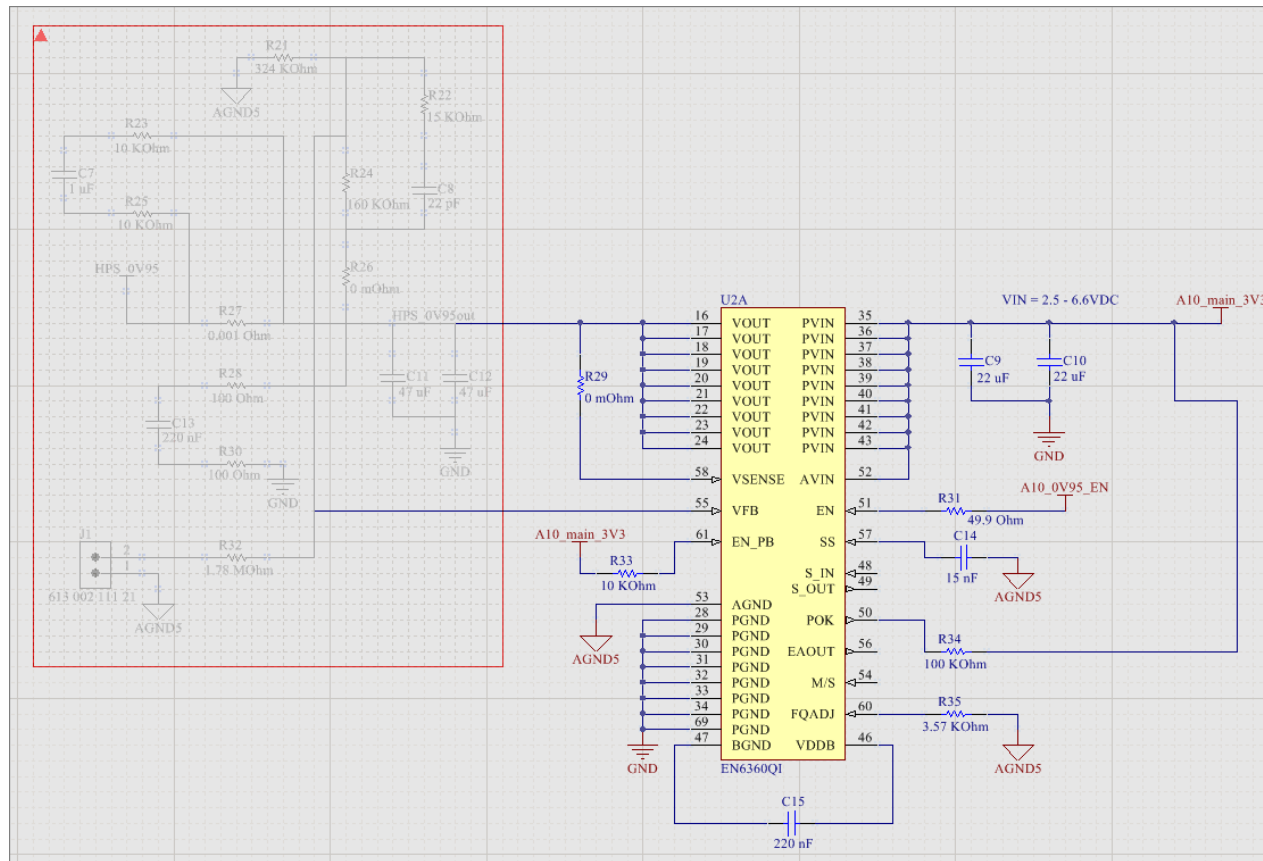
디퍼런셜페어 매개 변수 설정

- Place » Directives » Differential Pair
 - 해당 설정을 통해 Differential Pair 설정이 가능하며 Rule도 별도 지정 가능하다.



컴파일 마스크

- 컴파일 마스크는 회로도에서 컴파일을 하지 않을 영역을 지정한다.
- Place » Directives » Compile Mask



- Parameter Set
- Generic No ERC
- Differential Pair
- Blanket
- Compile Mask**

회로설계

1. Schematic GUI
2. 회로도 예제
3. 프로젝트 만들기
4. 템플릿 적용
5. 부품 검색, 배치
6. 배선 (Wire/Bus)

7. 지시문 입력

8. Footprint 등록

9. 설계 참조 번호 설정

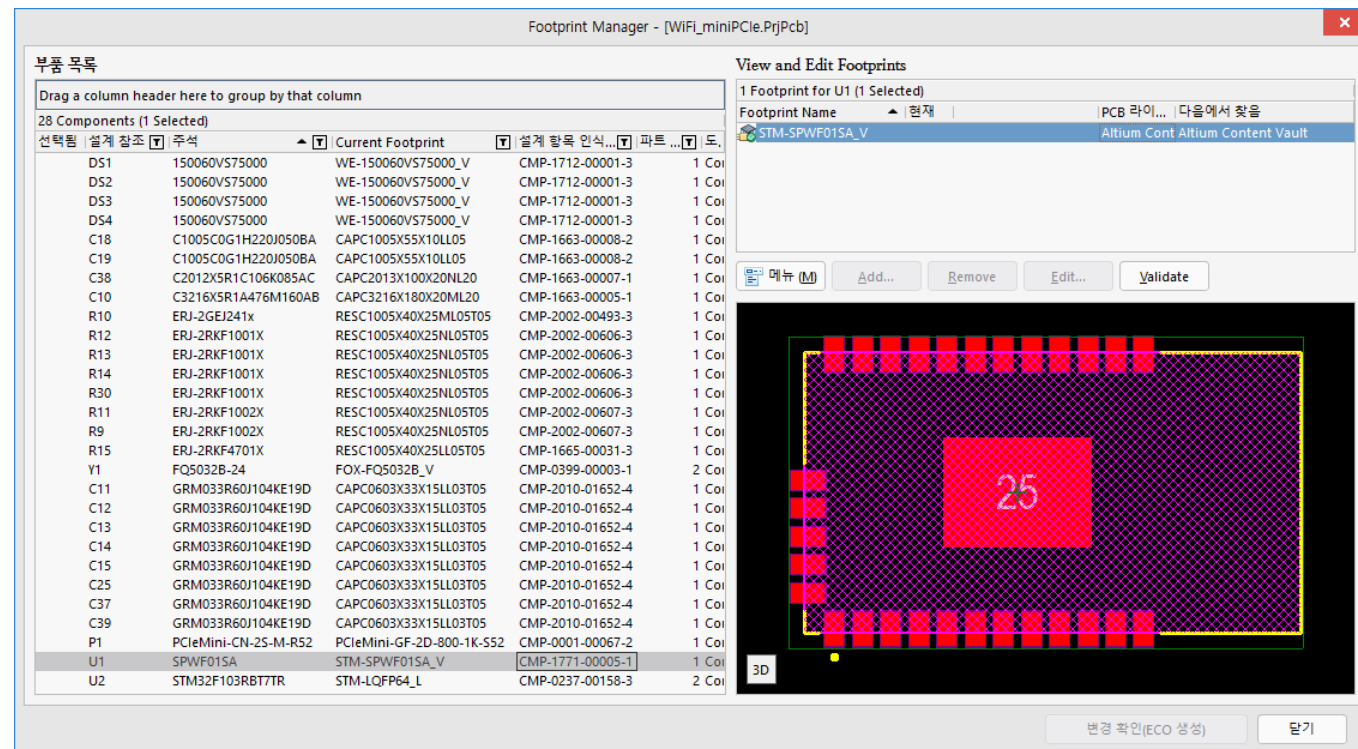
10. 프로젝트 옵션 설정

11. 프로젝트 컴파일

12. 기타

Footprint 등록

- Tools » Footprint Manager... 실행한다.
- 부품 목록에서 동일한 종류의 부품 선택 후, 오른쪽 창의 Add 버튼을 눌러서 Footprint를 추가한다.
- 모든 부품에 Footprint 설정하고, 오른쪽 하단의 변경확인(ECO 생성)버튼을 클릭한다.
- 그리고, 기술변경명령 창에서 검증->실행 버튼을 눌러서 Footprint 등록을 완료한다.

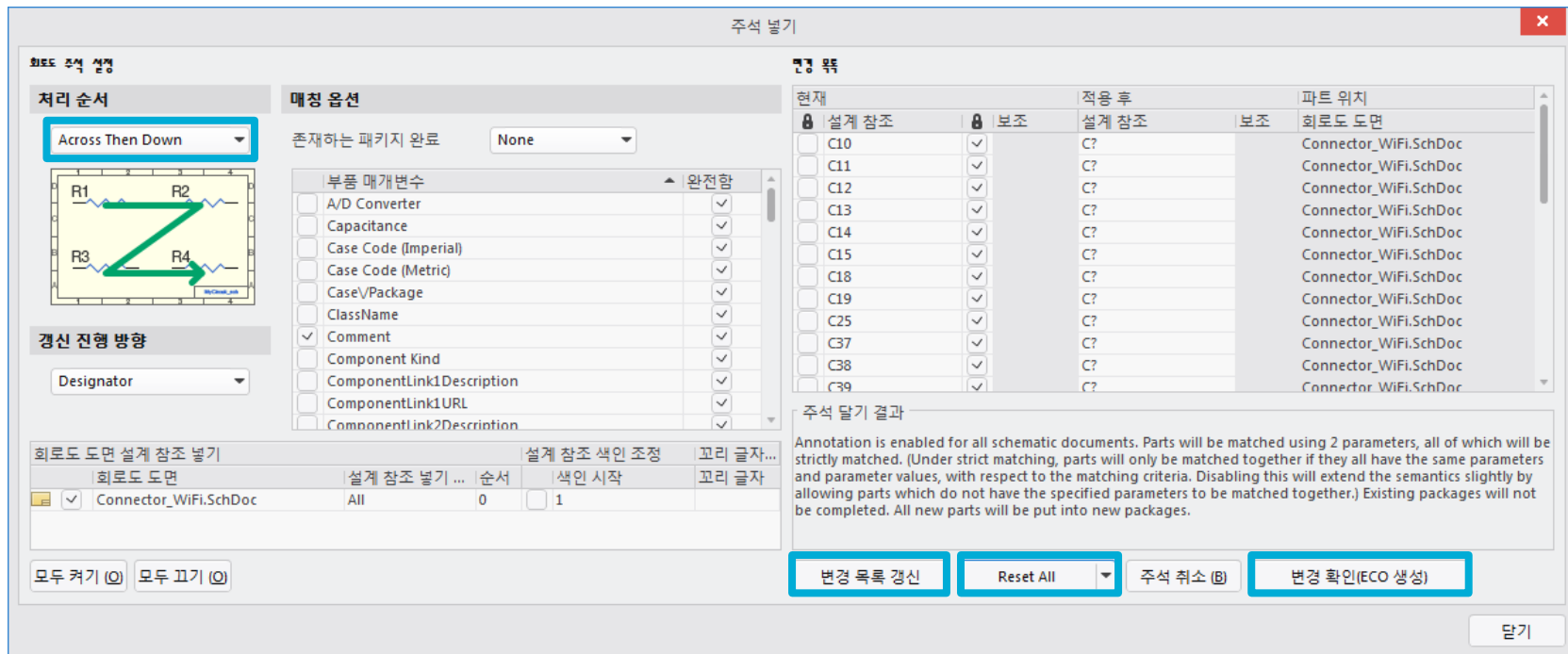


회로설계

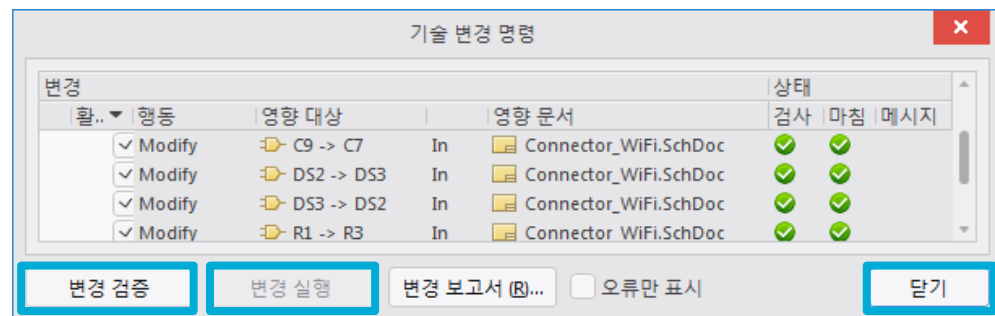
1. Schematic GUI
2. 회로도 예제
3. 프로젝트 만들기
4. 템플릿 적용
5. 부품 검색, 배치
6. 배선 (Wire/Bus)

7. 지시문 입력
8. Footprint 등록
- 9. 설계 참조 번호 설정**
10. 프로젝트 옵션 설정
11. 프로젝트 컴파일
12. 기타

회로도 설계 참조 번호 넣기



- Iool » Annotation » Annotate Schematics...
 - Reset All » 변경 목록 갱신 » 변경 확인(ECO 생성)
 - 변경 검증 » 변경 실행 » 닫기



회로설계

1. Schematic GUI
2. 회로도 예제
3. 프로젝트 만들기
4. 템플릿 적용
5. 부품 검색, 배치
6. 배선 (Wire/Bus)

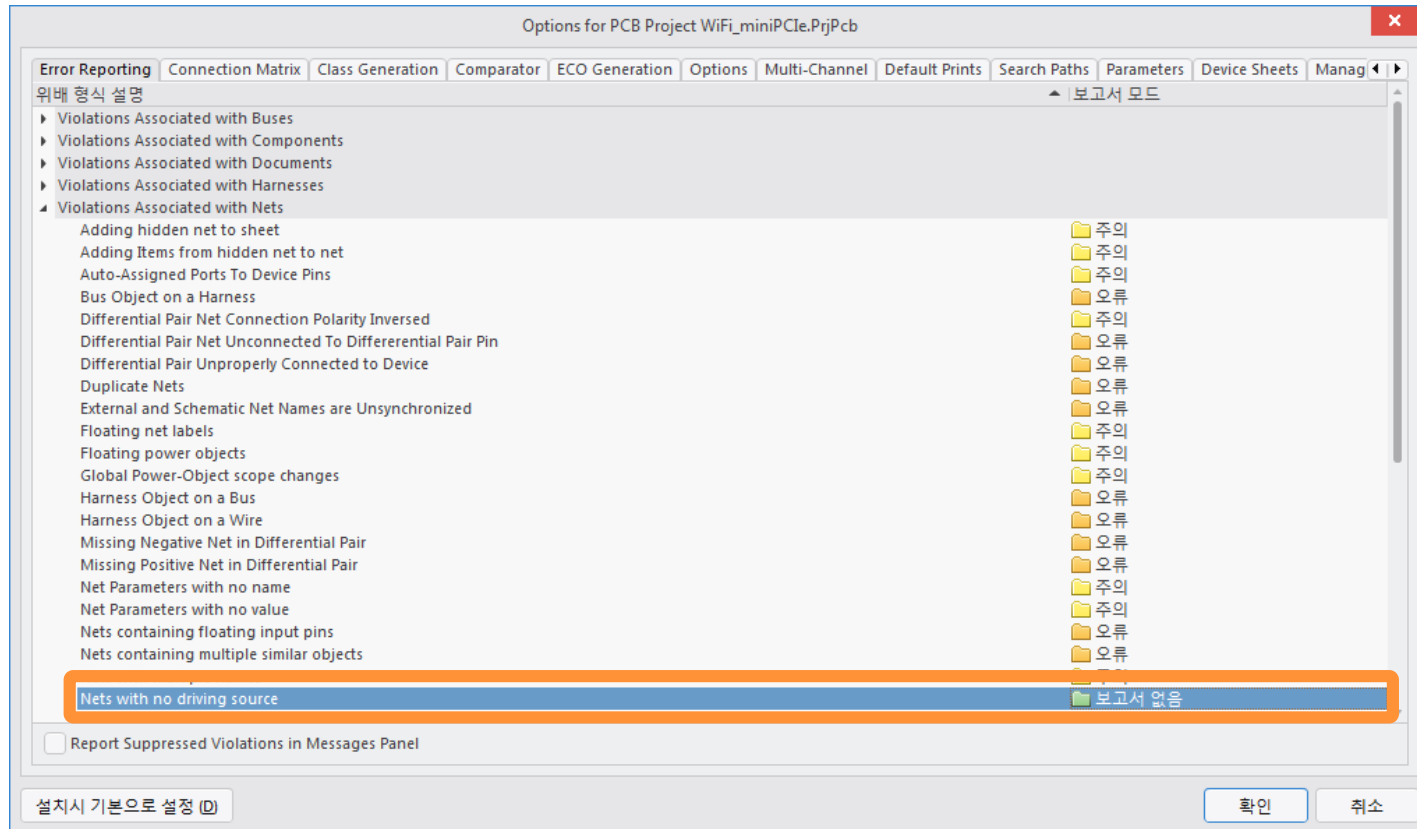
7. 지시문 입력
8. Footprint 등록
9. 설계 참조 번호 설정
- 10. 프로젝트 옵션 설정**
11. 프로젝트 컴파일
12. 기타

프로젝트 옵션 설정

1. Error Reporting
2. Connection Matrix
3. Comparator
4. Options

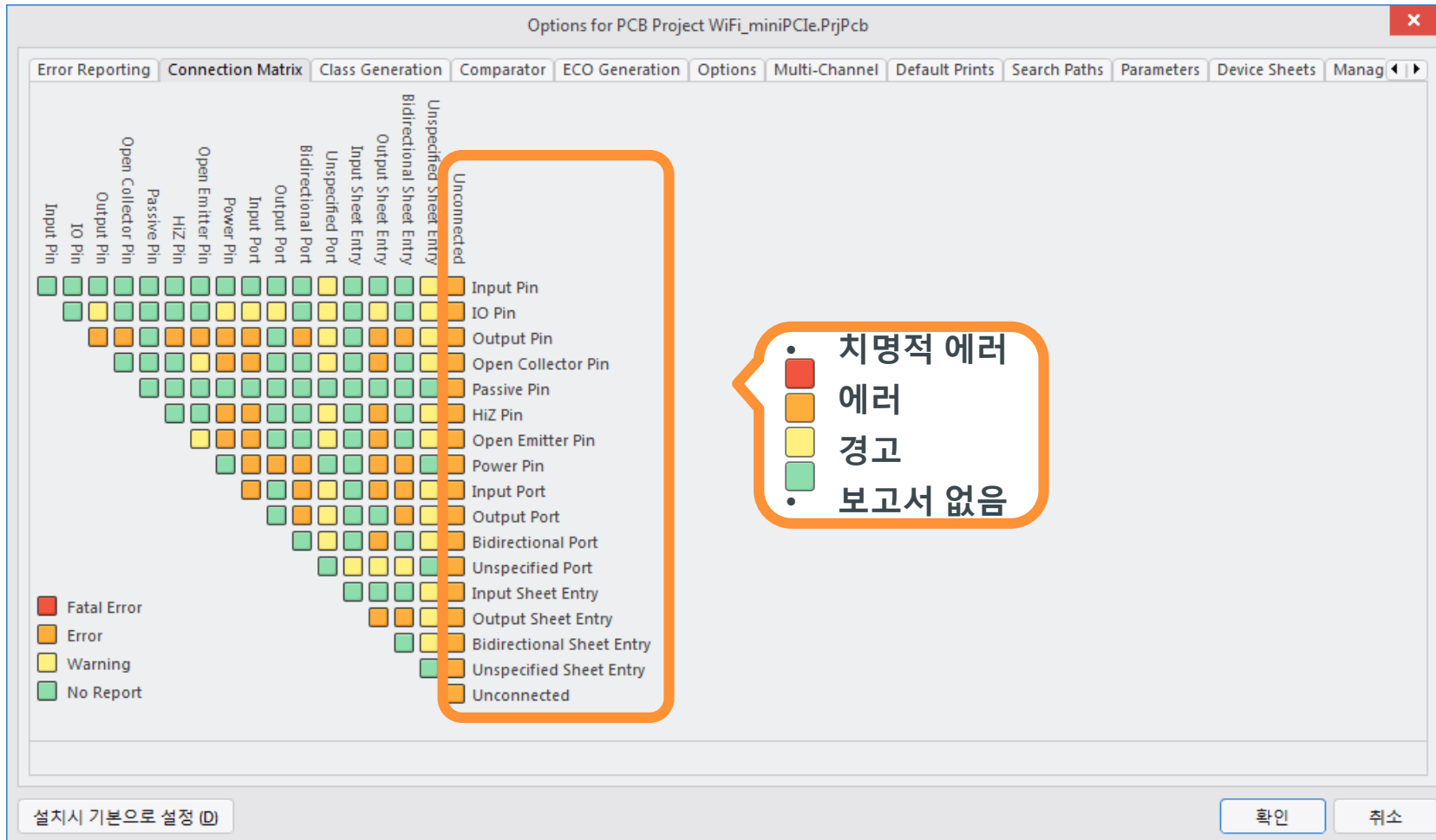
Project Option : Error Reporting

- 컴파일을 통해 각 항목별 Error/Warning/No Report를 설정한다.
- Violation Associated with Nets에서 Nets with no driving source를 No Report(보고서 없음)으로 사용할 것을 권장한다.





Project Option : Connection Matrix

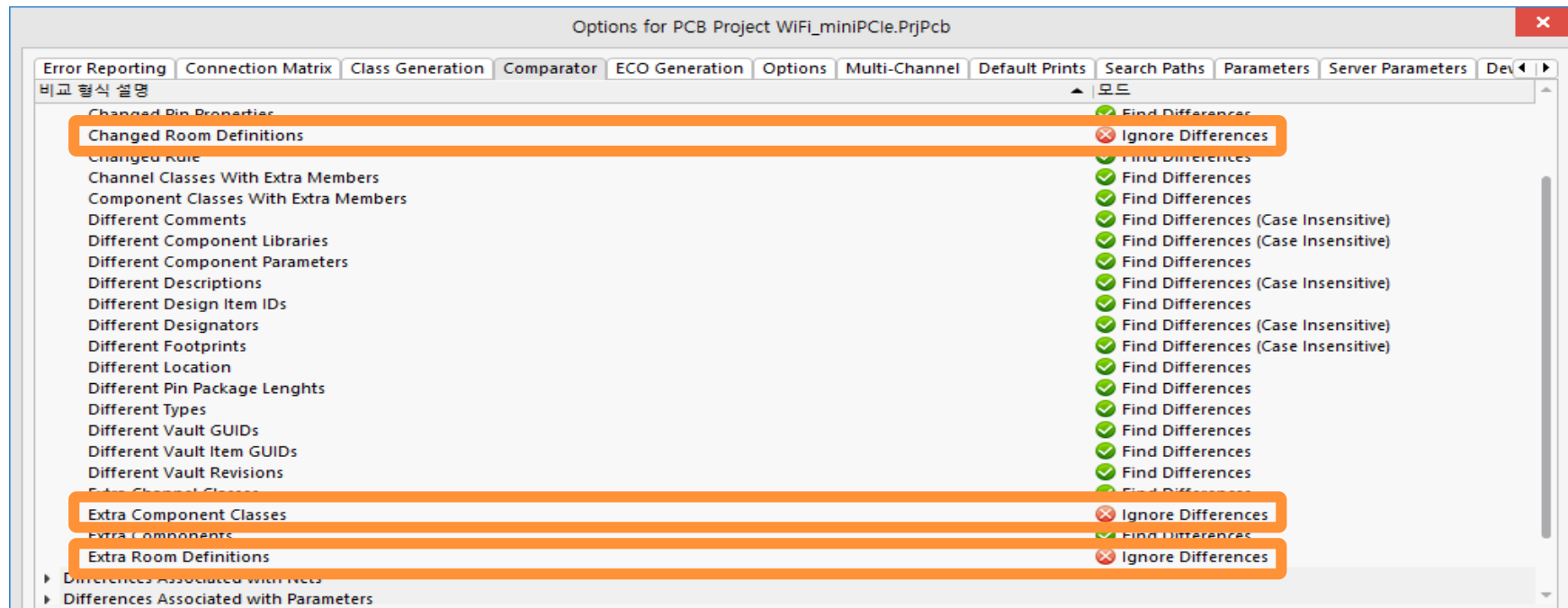
- 회로 전체의 연결 상태를 체크하여, 부품들과 wire들이 정상적으로 연결되었는지 체크한다



Project Option : Comparator

- 프로젝트 옵션의 Comparator는 회로에서 PCB로 업데이트시, 회로와 PCB를 비교하여 데이터가 차이점을 찾아서 업데이트할지, 아니면 차이점을 무시할지를 선택한다.

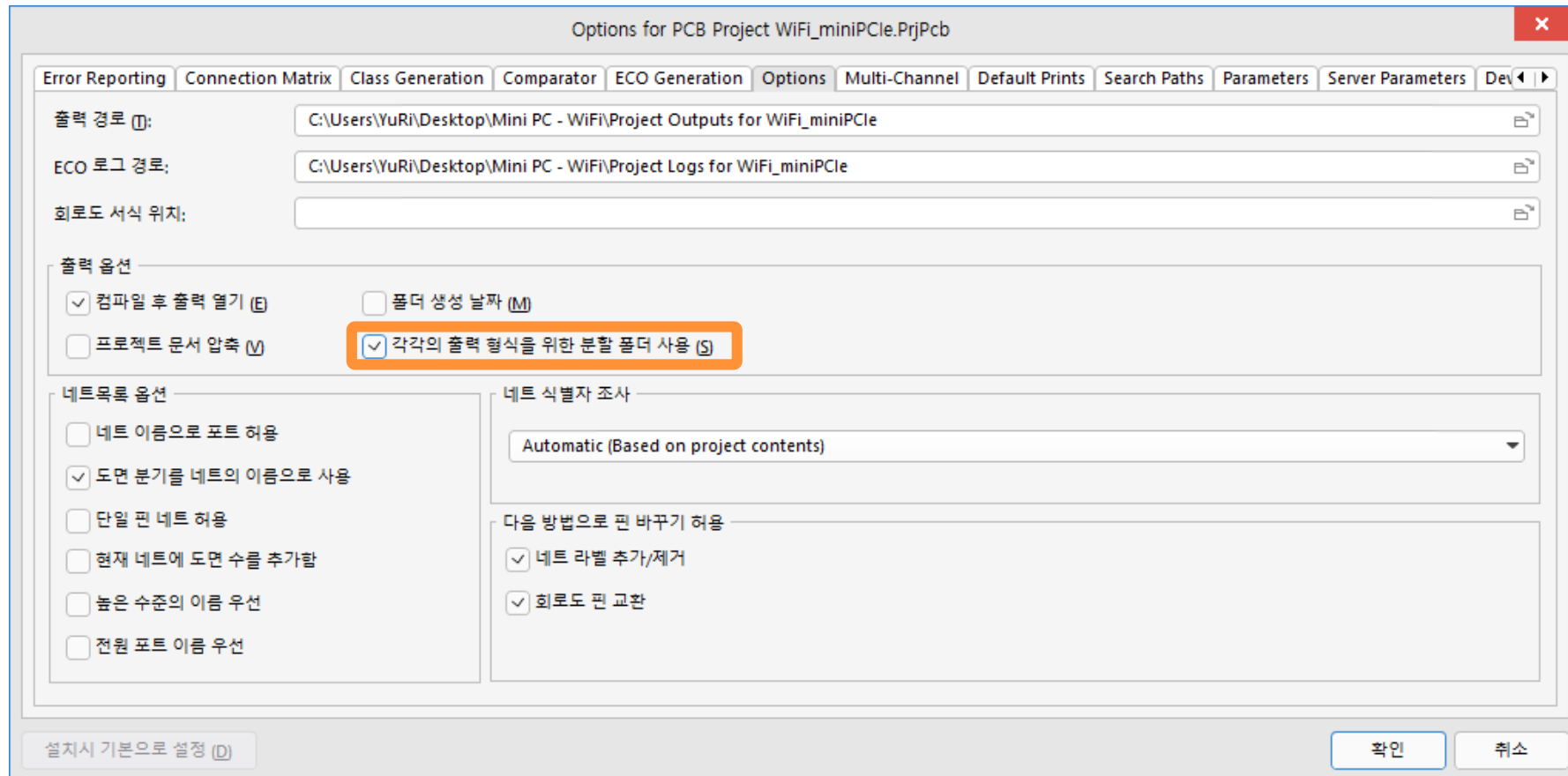
- Changed Room Definitions  Ignore Differences
- Extra Component Classes  : Ignore Differences
- Extra Room Definitions  : Ignore Differences



Project Option : Options

- 출력 옵션

- ☒ 각각의 출력 형식을 위한 분할 폴더 사용을 선택하면, Gerber, NC Drill, BOM 등 출력 형식별로 생성된 폴더에 데이터가 출력된다.



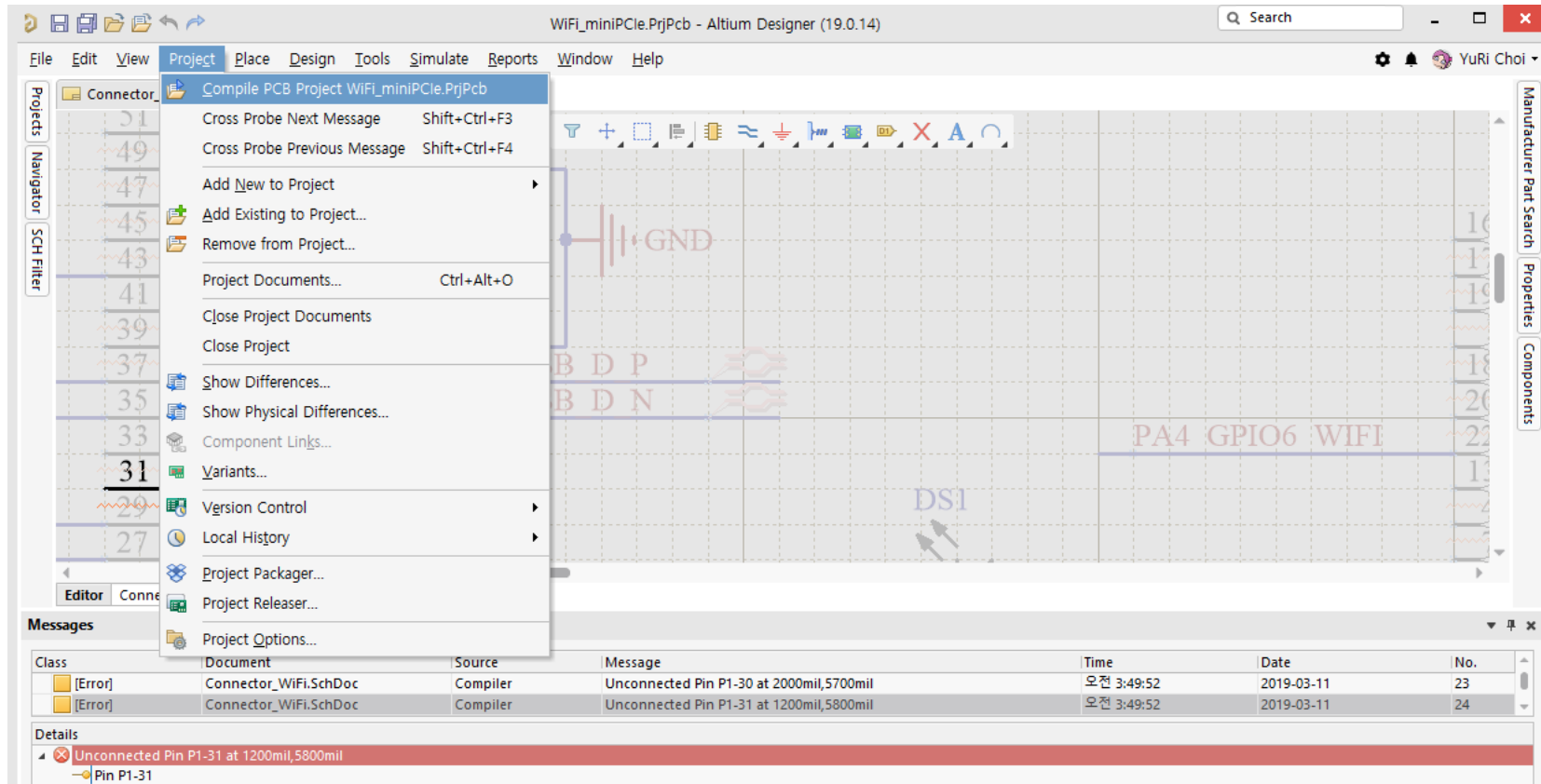
회로설계

1. Schematic GUI
2. 회로도 예제
3. 프로젝트 만들기
4. 템플릿 적용
5. 부품 검색, 배치
6. 배선 (Wire/Bus)

1. 지시문 입력
2. Footprint 등록
3. 설계 참조 번호 설정
4. 프로젝트 옵션 설정
5. 프로젝트 컴파일
6. 기타

프로젝트 컴파일

- Project » Compile PCB Project~.PrjPcb 를 실행해서 에러를 수정한다.
 - 마우스 오른쪽 클릭 Compile Document.. System Message
 - 에러가 발생되지 않으면, 메시지 창에는 ■ **Compile successful, no errors found** 메시지가 표시된다.



회로설계

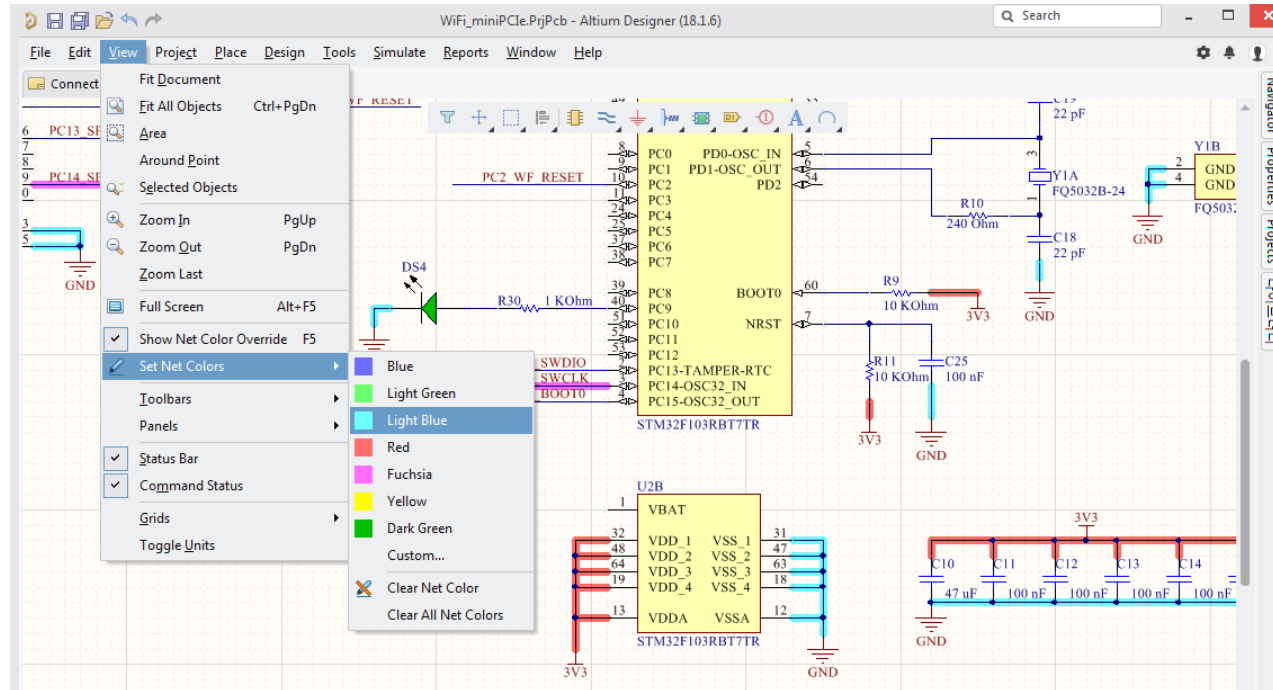
1. Schematic GUI
2. 회로도 예제
3. 프로젝트 만들기
4. 템플릿 적용
5. 부품 검색, 배치
6. 배선 (Wire/Bus)


7. 지시문 입력
8. Footprint 등록
9. 설계 참조 번호 설정
10. 프로젝트 옵션 설정
11. 프로젝트 컴파일
12. 기타

기타

1. 네트 색상 설정

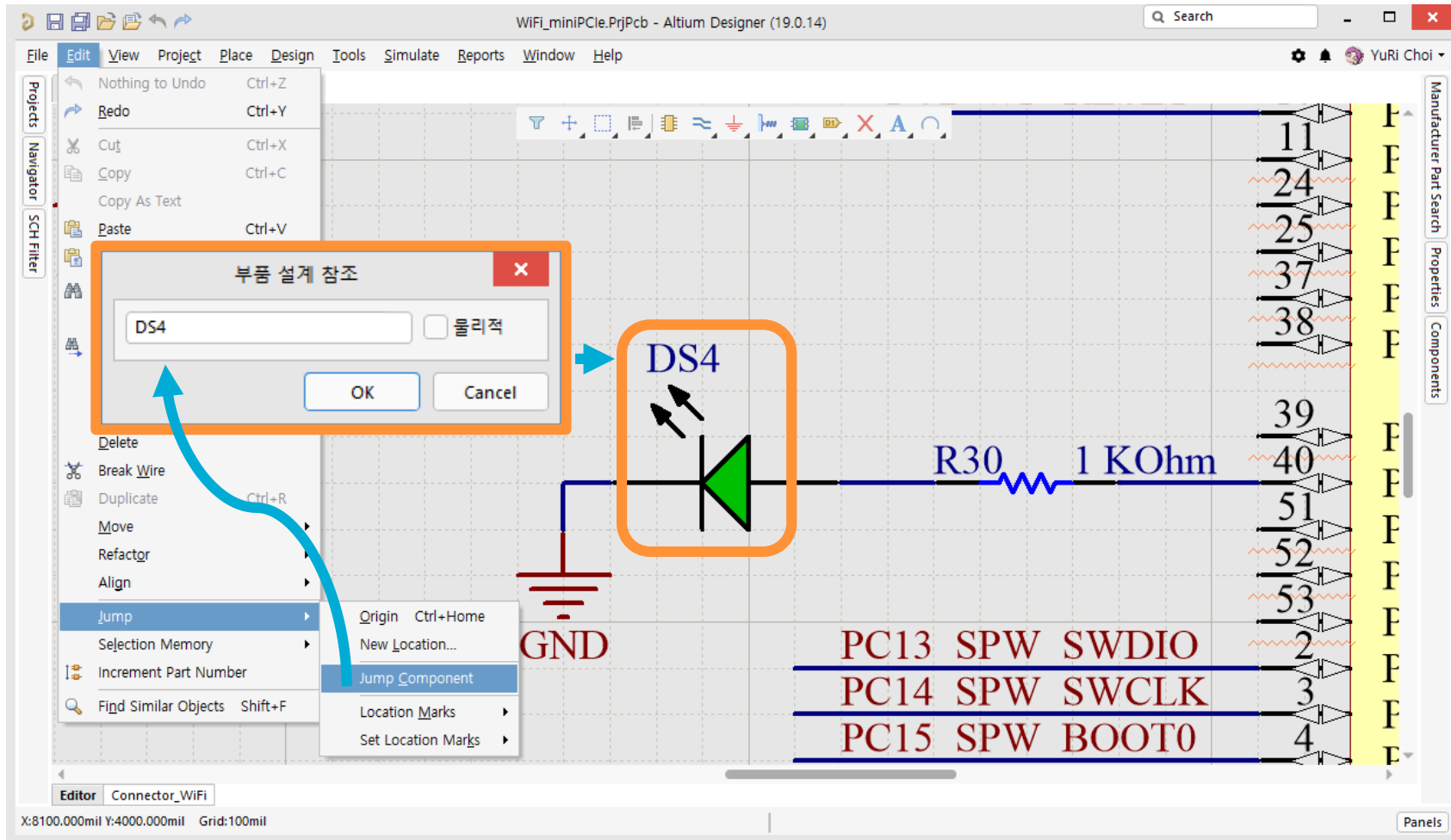
네트 색상 설정



- View » Set Net Colors » 색상 메뉴 선택 » 회로도에서 네트 색상을 설정하고 싶은 네트를 클릭한다
 -  Custom : 사용자 색 설정
 - Clear Net Color : 네트 색상 지우기
 - Clear All Net Colors : 모든 네트 색상 지우기
- [F5] : 네트 색상 보기 On/Off 모드 전환

부품 검색

- Edit » Jump » Jump Component [단축키 J C] → 검색할 부품 설계 참조 번호 입력



Altium Designer 19

I. 라이선스 인증 및 프로그램 UI

II. 환경설정

III. 회로설계

IV. PCB설계

V. 일괄데이터 생성

VI. 라이브러리 제작

PCB 설계

1. PCB Editor UI

2. 적층구조 설정

3. PCB 기판 모양 정의

4. 회로 » PCB 업데이트

5. 부품배치

6. Design Rule / 클래스 설정

7. 라우팅

8. 폴리곤 만들기

9. 비아스티칭/드릴링/패드보강

10. 로고 만들기

11. DRC 검사

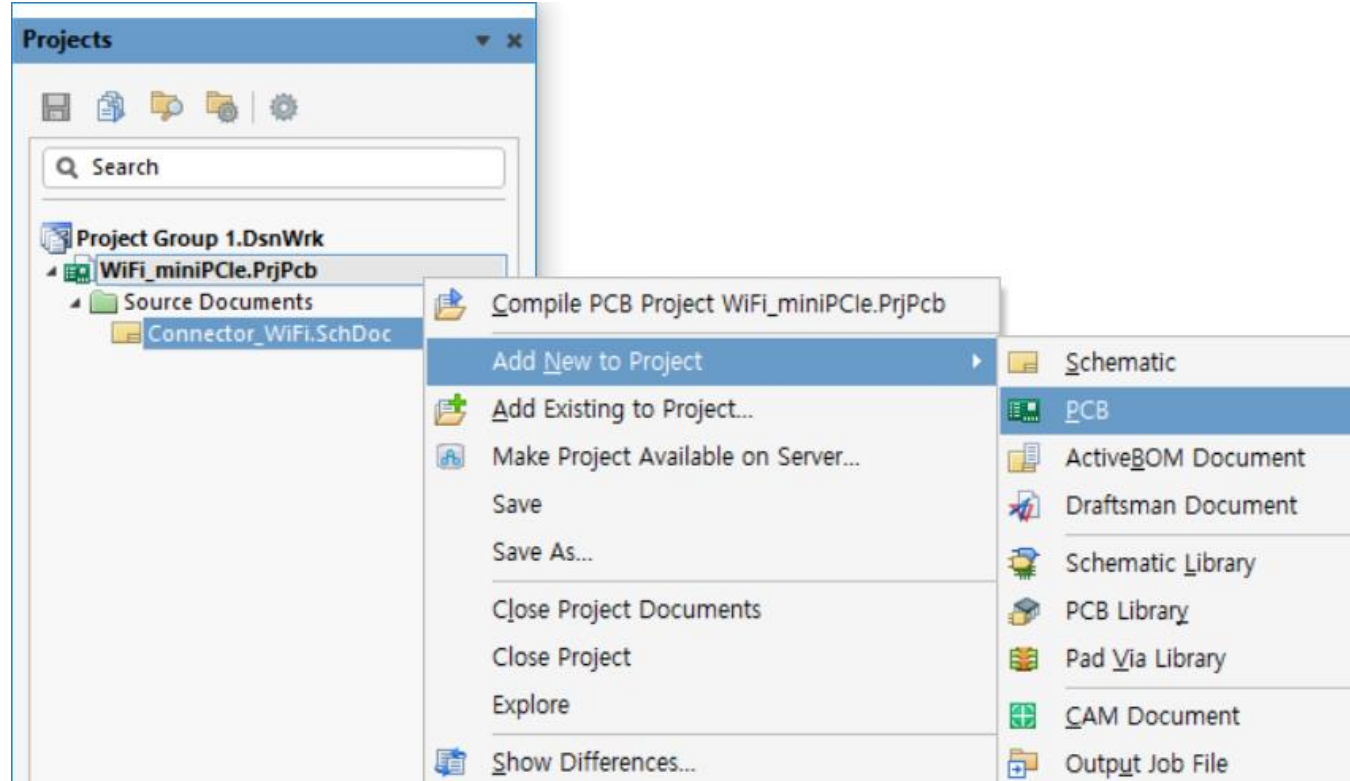
12. 기타

PCB Editor UI

1. PCB 문서 만들기
2. 그리드/단위 설정
3. 레이어 보기 설정
4. PCB 패널

PCB 프로젝트 만들기

- 새로운 PCB 파일 만들기
- 프로젝트 선택 후 마우스 오른쪽 클릭 » Add New to Project » PCB 실행한다.
- 프로젝트에 *.PCB파일이 생성되면, 파일 선택 → 마우스 오른쪽 클릭 → 다른 이름으로 저장한다.

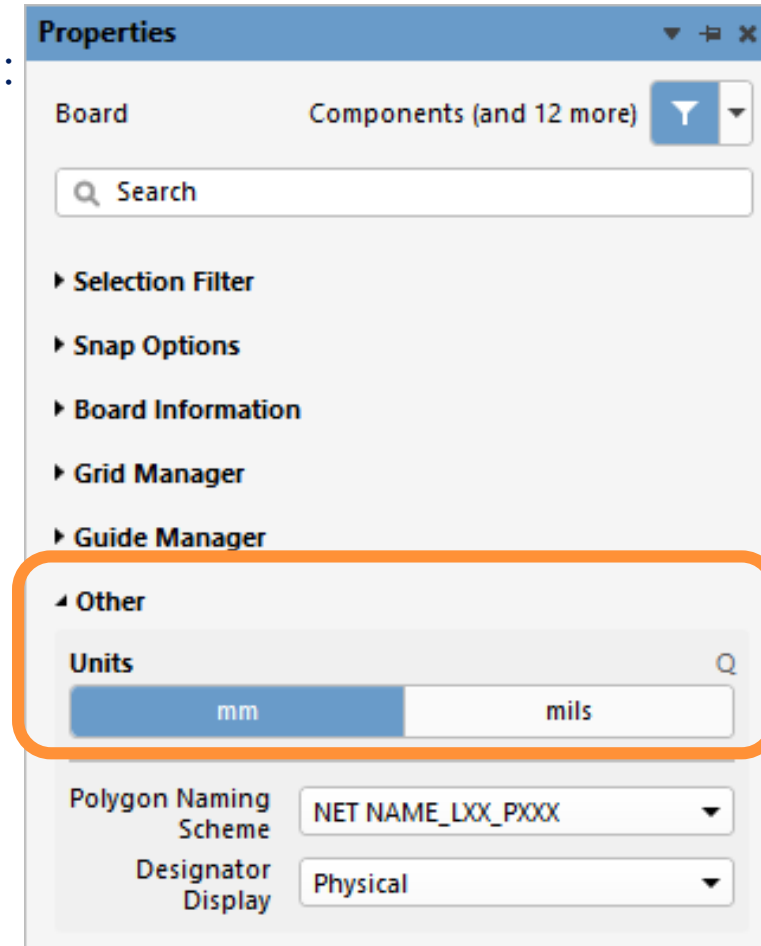


PCB Editor UI

1. PCB 문서 만들기
2. 그리드/단위 설정
3. 레이어 보기 설정
4. PCB 패널

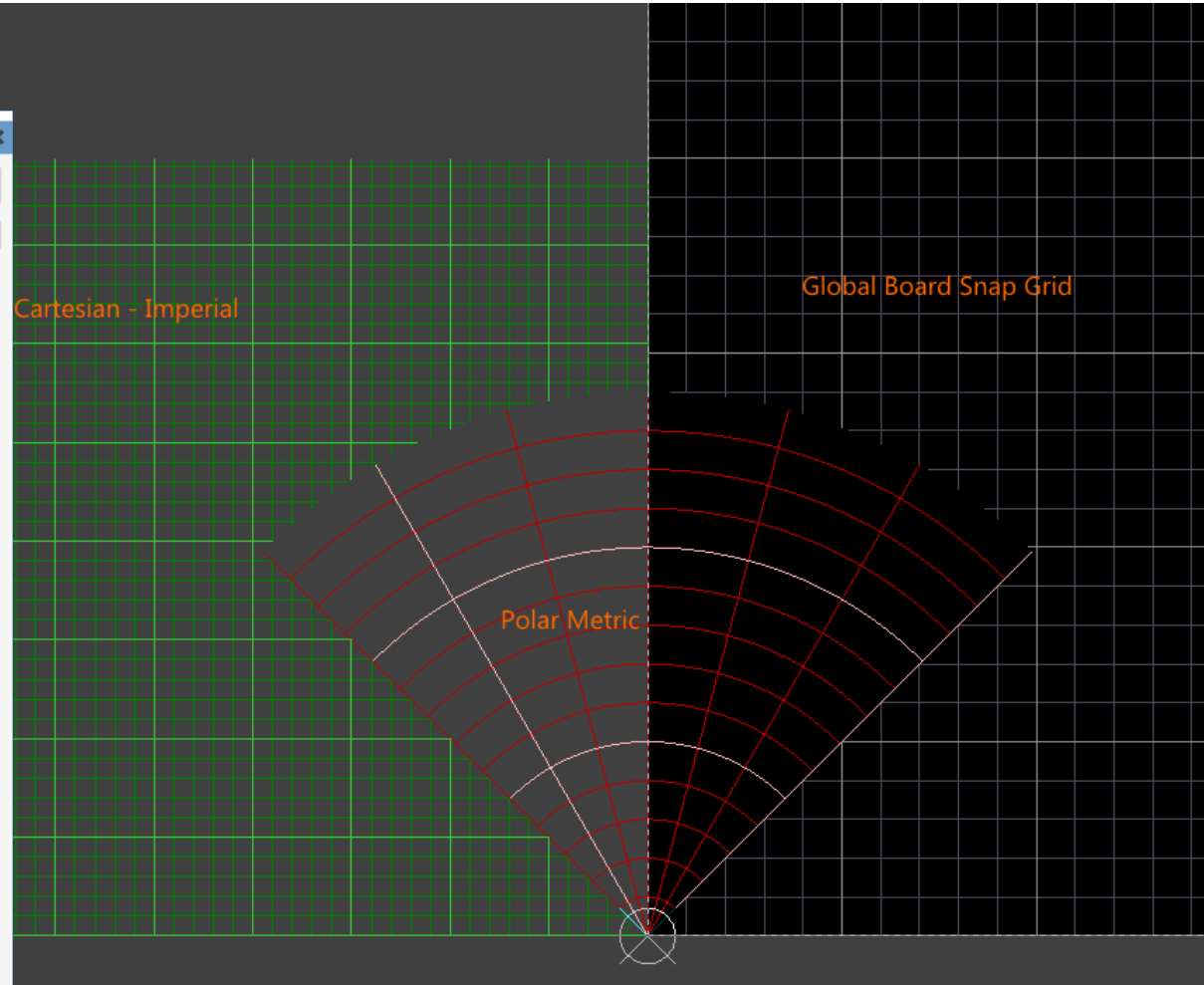
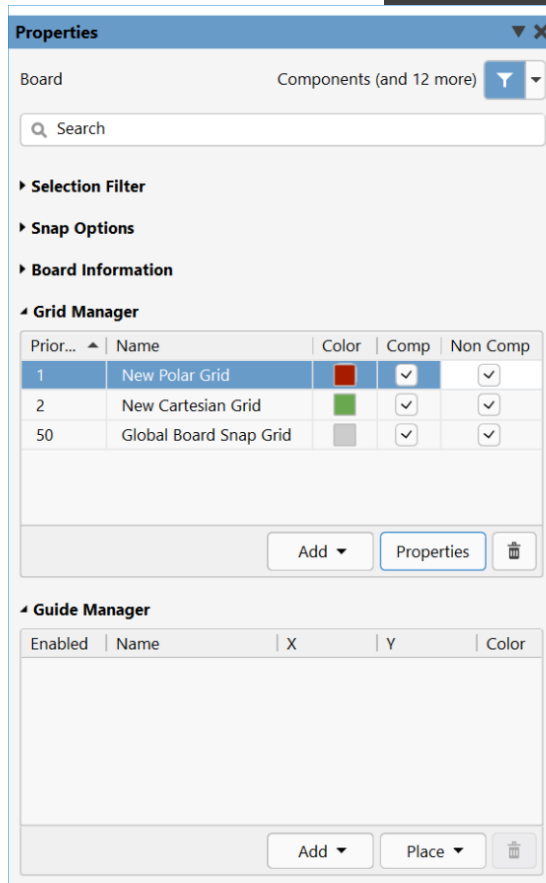
단위 설정하기

- PCB 문서의 Properties 패널에서 Units 섹션에서 단위를 mm와 mils로 설정할 수 있다.
 - PCB문서에서 mm<->mil 단위 전환 단축키 : Q
 - 속성값 입력 시 임시로 mm<->mil 단위 전환 단축키 :



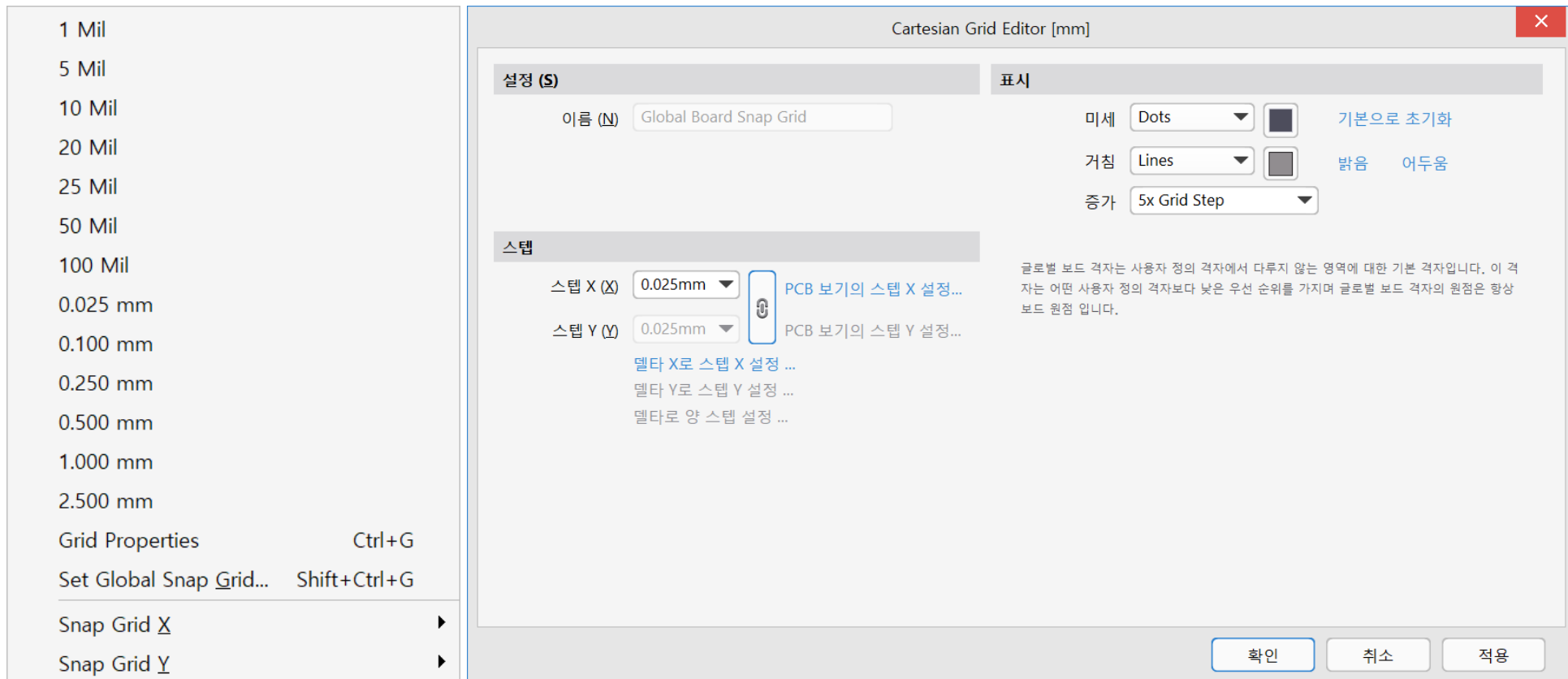
그리드 설정

- Properties » Grid Manager 섹션에서 임의의 그리드를 설정할 수 있다.
- Polar Grid
- Cartesian Grid



격자 설정하기

- PCB 패널에서 G키를 누르면 Grid(격자)를 변경할 수 있다.
- 격자관리자는 아래 메뉴에서 실행하거나, [단축키 Ctrl + G]를 누르면 격자관리자를 실행할 수 있다.

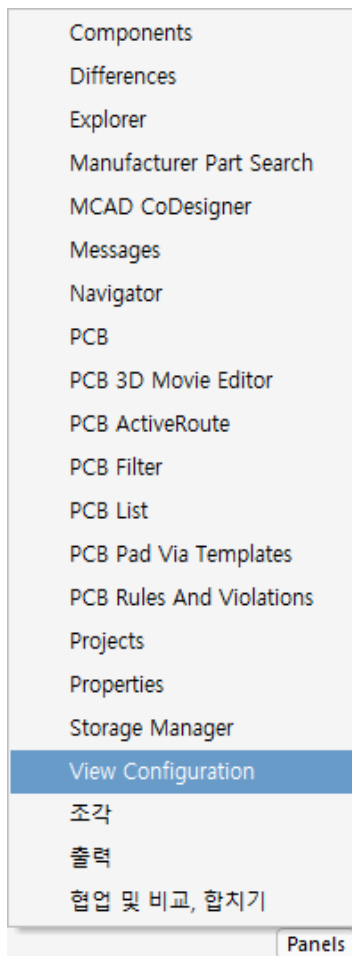


PCB Editor UI

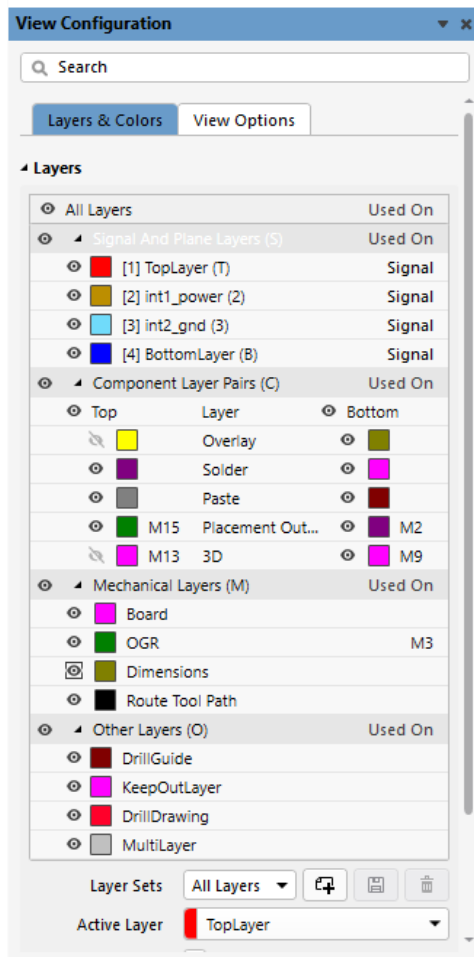
1. PCB 문서 만들기
2. 그리드/단위 설정
3. 레이어 보기 설정
4. PCB 패널

View Configuration

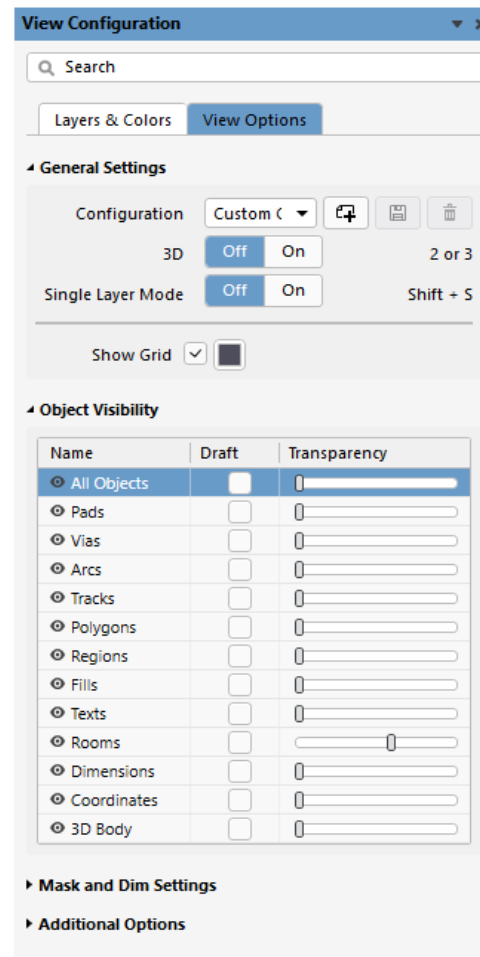
- Panels » View Configuration
[단축키 L]



- Layers & Colors



- View Options

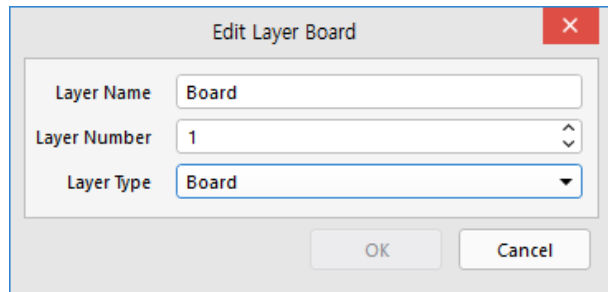


레이어 정보

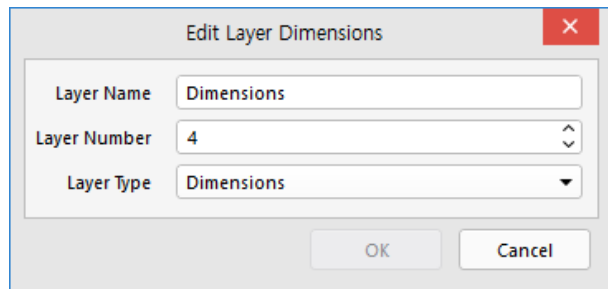
- Signal and Plane Layers → 각 층에 배치된 회로 정보로 패드와 패턴 정보를 포함하고 있다.
 - TopLayer / BottomLayer : 외층
 - Int1_power / Int2_gnd : 내층
- Component Layer Paris → 부품을 구성하는 레이어로, Top <-> Bottom 레이어가 연결되어 있다.
 - Top Overlay / Bottom Overlay : 부품의 외곽, 텍스트, 기타 보드 인식 정보이며, 전기적 속성은 없음.
 - Top Solder / Bottom Solder : 기판에 솔더레지스트를 도포하기 위해 필요한 정보.
 - Top Paste / Bottom Paste : SMD 부품을 자삽 처리할 경우, 패드위에 크림납을 도포하기 위해 필요한 메탈마스크를 제작하기 위한 정보.
 - Top Placement Outline / Bottom Placement Outline : Footprint 위에 실장되는 실제 부품 크기 정보
 - Top 3D / Bottom 3D : 부품 3D 몸체 정보
- Mechanical Layers
 - Board : 기판 보양
 - Dimensions : 치수 표기
 - Route Tool Path : 라우터 가공 패스 표기
- Other Layers
 - DrillGuide → 드릴이 생성되는 위치에 드릴 가이드 표기
 - KeepOutLayer → 금지영역 표기
 - DrillDrawing → 보드에 포함된 Drill의 개수, 크기를 나타내는 정보
 - MultiLayer → 시그널 레이어 전체 범주 표현

기구레이어 – Dimension 레이어 추가

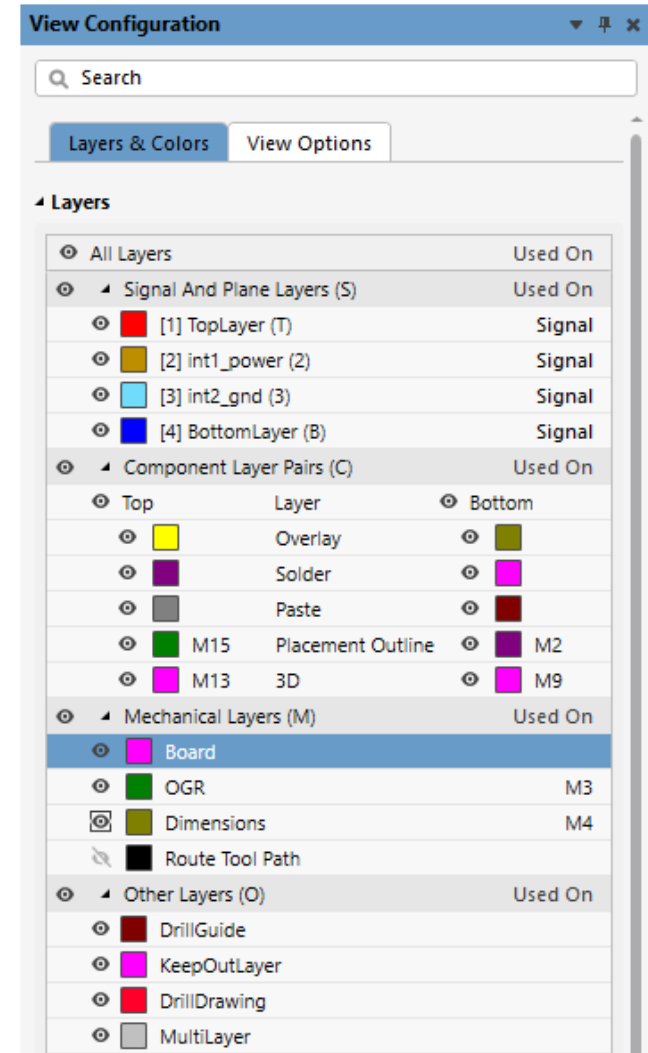
- 기구 레이어 추가
 - Mechanical Layers 선택 → 마우스 오른쪽 클릭 → Add Mechanical Layer 선택 기구 레이어를 추가 → Edit Layer 실행
 - 레이어 이름 / 번호 / 타입 설정
 - 1번 Board
 - 4번 Dimensions



Dialog box titled "Edit Layer Board". It contains three input fields: "Layer Name" with the value "Board", "Layer Number" with the value "1", and "Layer Type" with the value "Board" selected from a dropdown menu. At the bottom are "OK" and "Cancel" buttons.

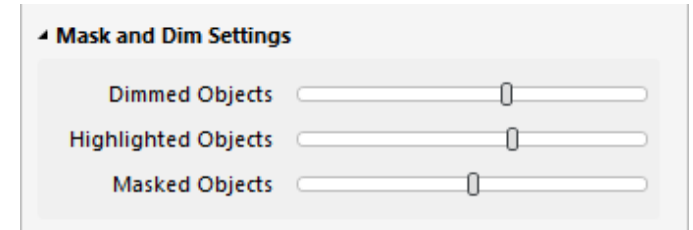
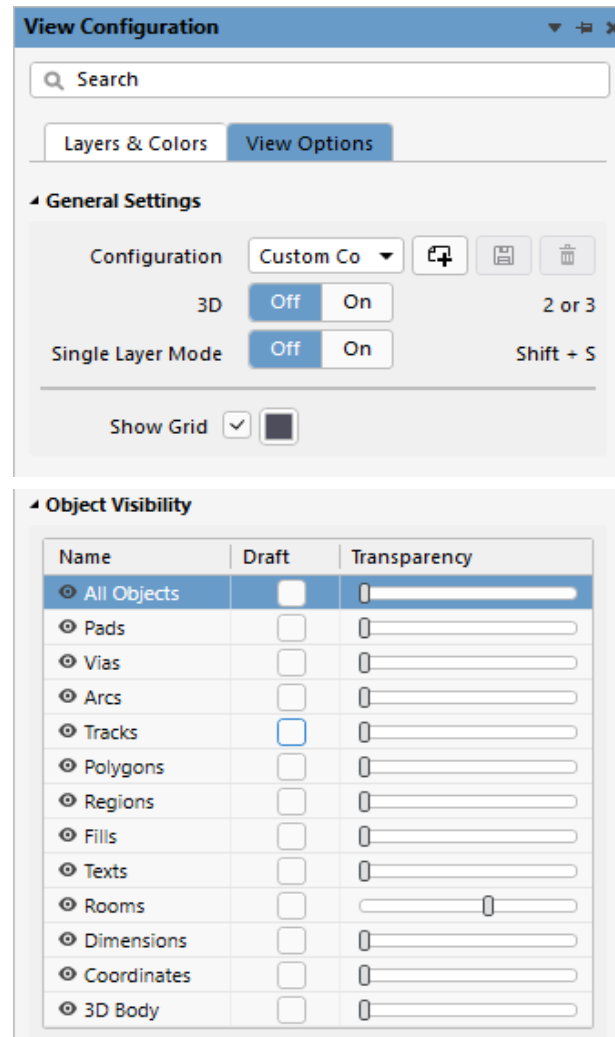


Dialog box titled "Edit Layer Dimensions". It contains three input fields: "Layer Name" with the value "Dimensions", "Layer Number" with the value "4", and "Layer Type" with the value "Dimensions" selected from a dropdown menu. At the bottom are "OK" and "Cancel" buttons.

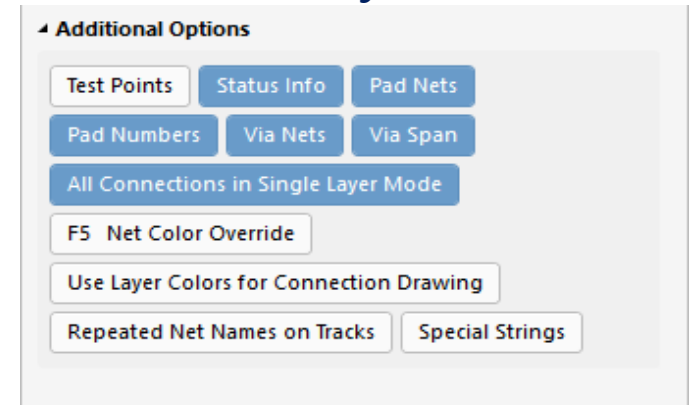


보기 설정

- Panels » View Configuration » View Option
- 일반 설정
 - 보기 환경 저장
 - 3D OFF/ON
 - 2D 보기 [단축키 2]
 - 3D 보기 [단축키 3]
 - Single Layer Mode
 - 하나의 레이어만 보기 [Shift + S]
 - Show Grid
- 객체 보기 설정
 - Draft
 - Transparency



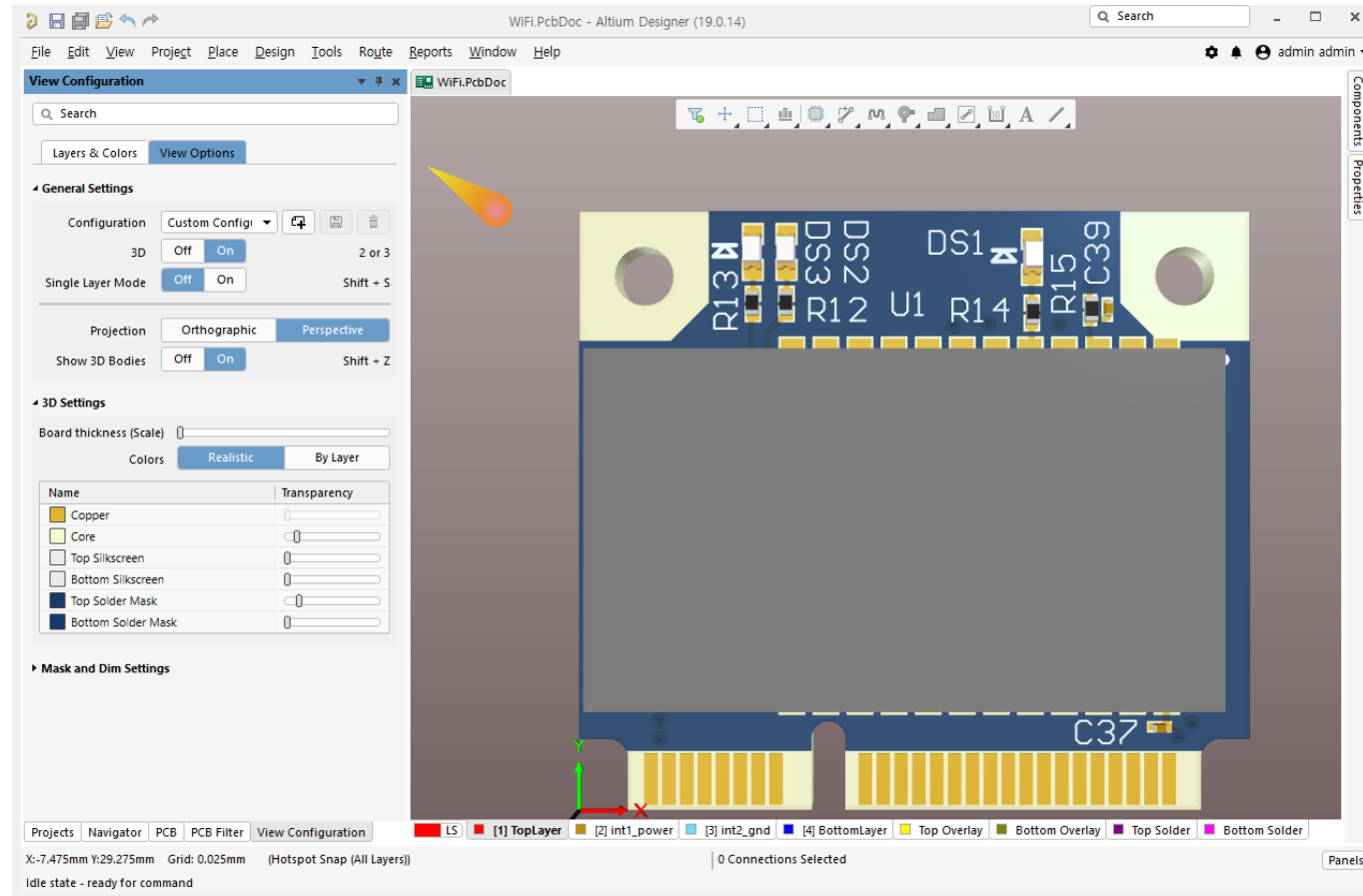
- Mask and Dim Setting
 - Dimmed Objects
 - Highlighted Objects
 - Masked Objects



- Additional Options

3D PCB 보기

- 2D 보기 (단축키 2) / 3D 보기 (단축키 3)
- 3D 보기 모드에서 보기 회전 : Shift + 마우스 오른쪽 버튼 클릭으로 회전



PCB 설계

1. PCB Editor UI
2. 적층구조 설정
3. PCB 기판 모양 정의
4. 회로 » PCB 업데이트
5. 부품배치
6. Design Rule / 클래스 설정
7. 라우팅
8. 폴리곤 만들기
9. 비아스티칭/드릴링/패드보강
10. 로고 만들기
11. DRC 검사
12. 기타

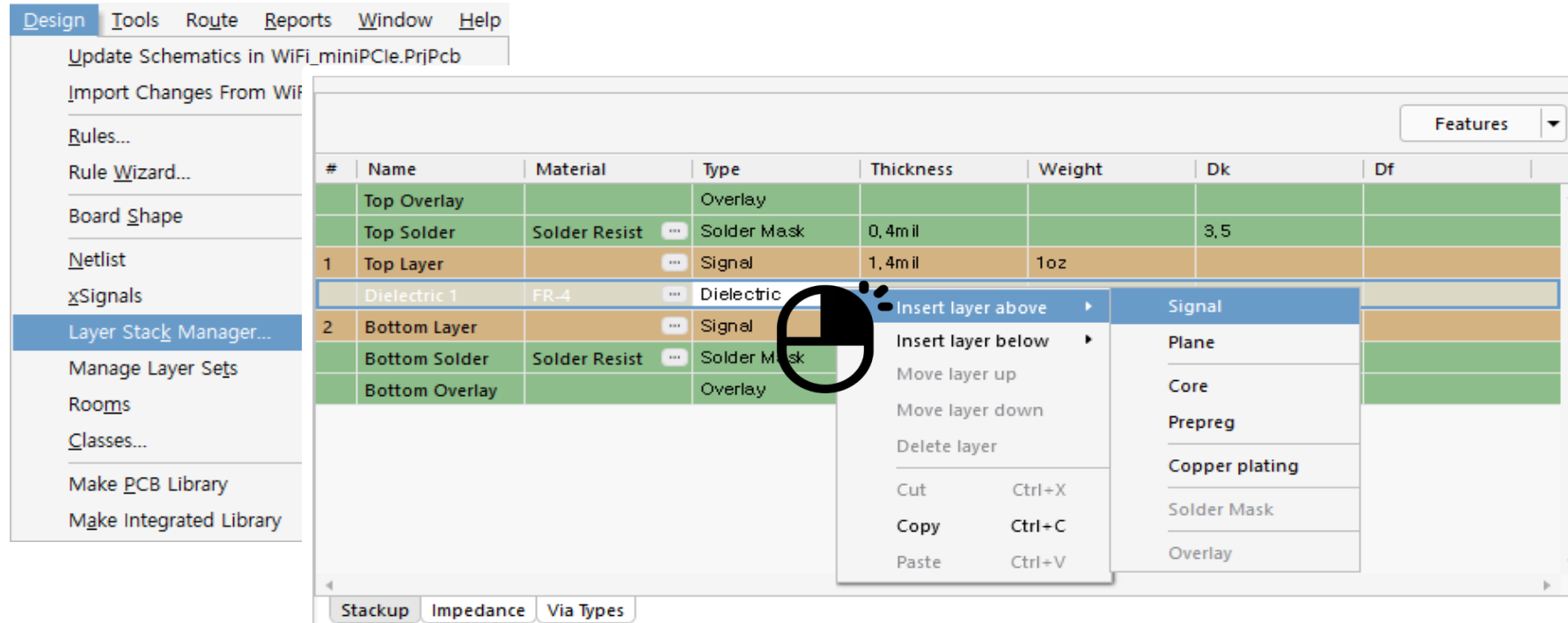
적층구조 설정

1. Layer Stack Manager

- 1) 적층설정
- 2) 비아설정
- 3) 임피던스설정

레이어 스택 관리자 : 적층설정

- 레이어 스택 관리자는 적층구조, 각층 별 임피던스, Via타입을 설정한다.
- Design » Layer Stack Manager [단축키 D » K]를 실행한다.
 - PCB적층 기본 구성은 **2층 (2 x Signal, 0 x Plane)**이다.
 - PCB적층 구조를 **4층 (4 x Signal, 0 x Plane)**으로 변경하기 위해 Signal Layer 사이에서 마우스 오른쪽 버튼을 눌러서 **Insert Layer above » Signal**을 선택한다.

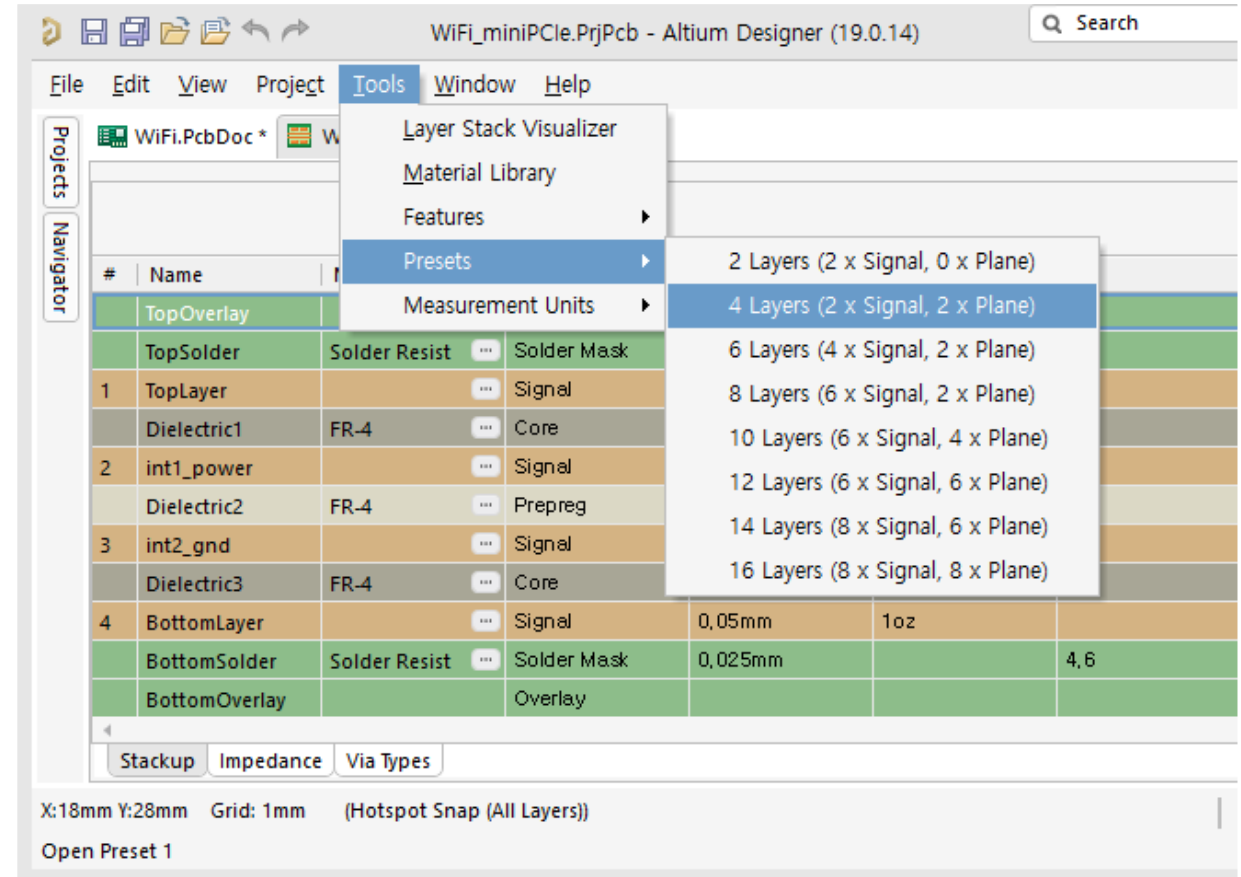


레이어 스택 관리자 : 적층설정

- Altium에서 기본적으로 제공하는 레이어 스택업 사용하기

- Tools » Presets »**

- 2 Layers (2 x Signal, 0 x Plane)
- 4 Layers (2 x Signal, 2 x Plane)
- 6 Layers (4 x Signal, 2 x Plane)
- 8 Layers (6 x Signal, 2 x Plane)
- 10 Layers (6 x Signal, 4 x Plane)
- 12 Layers (6 x Signal, 6 x Plane)
- 14 Layers (8 x Signal, 6 x Plane)
- 16 Layers (8 x Signal, 8 x Plane)



레이어 스택 관리자 : 임피던스 설정

- 레이어 층 별로 임피던스 설정이 가능하다.

The screenshot displays the Layer Stack Manager in Altium Designer, configured for a 5-layer PCB (S50). The main table lists the layers and their properties:

#	Name	Material	Type	Weight	Thickness	Dk
	TopOverlay		Overlay			
	TopSolder	Solder Resist	Solder Mask		0,025mm	4,6
1	TopLayer		Signal	1oz	0,05mm	
	Dielectric1	FR-4	Core		0,36mm	4,6
2	int1_power		Signal	1oz	0,035mm	
	Dielectric2	FR-4	Prepreg		0,36mm	4,6
3	int2_gnd		Signal	1oz	0,035mm	
	Dielectric3	FR-4	Core		0,36mm	4,6
4	BottomLayer		Signal	1oz	0,05mm	
	BottomSolder	Solder Resist	Solder Mask		0,025mm	4,6
	BottomOverlay		Overlay			

Below the main table, a detailed table shows the impedance profile for each layer, including Top Ref, Bottom Ref, Width, Etch, Z, Z Dev..., and Tp.

	Top Ref	Bottom Ref	Width	Etch	Z	Z Dev...	Tp
2 - int1_po...			0,58245mm	Inf	50,02...	0,040...	6,282...
1 - TopLayer	3 - int2_gnd		0,25068mm	Inf	50,01...	0,024...	7,154...
2 - int1_po...	4 - Bottom...		0,25068mm	Inf	50,01...	0,024...	7,154...
3 - int2_gnd			0,58245mm	Inf	50,02...	0,040...	6,282...

The right-hand Properties panel shows the Impedance Profile settings:

- Impedance Profile:** Description (empty), Type (Single), Target Impedance (50), Target Tolerance (10%).
- Transmission Line:** A diagram showing a cross-section of a microstrip line with parameters: CEr, C, W2, T, H, Er, W1. Below the diagram, it states "Simulated with SIMBEOR® software".
- Etch Factor:** Inf
- Trace Width:** 0.58245mm (fx)
- Calculated Impedance:** 50.0204
- Impedance Deviation:** 0.04081%
- Propagation Delay:** 6.2822ns/m
- Inductance p.u.l.:** 314.2385nH/m
- Capacitance p.u.l.:** 125.5929pF/m

레이어 스택 관리자 : 비아 타입 설정

- Drill Pairs : 드릴 쌍 관리자로 Through Hole Via, Blind Via, Buried Via 및 Drill Pair 설정

- Via Type

- First Layer : 드릴 시작 레이어
- Last Layer : 드릴 종료 레이어
- ☐ uVia
- ☐ Mirror

#	Name	Type	Thickness	#	Thru 1:4	Blind 1:2 4:3	Buried 2:3
	TopOverlay	Overlay					
	TopSolder	Solder Mask	0.025mm				
1	TopLayer	Signal	0.05mm	1			
	Dielectric1	Core	0.36mm				
2	int1_power	Signal	0.035mm	2			
	Dielectric2	Prepreg	0.36mm				
3	int2_gnd	Signal	0.035mm	3			
	Dielectric3	Core	0.36mm				
4	BottomLayer	Signal	0.05mm	4			
	BottomSolder	Solder Mask	0.025mm				
	BottomOverlay	Overlay					

Properties

Layer Stack Manager

Search

Via Type

Name: Blind 1:2 | 4:3

First layer: 1 - TopLayer

Last layer: 2 - int1_power

☐ uVia

☒ Mirror

Board

Stack Symmetry: ☒

Library Compliance: ☐

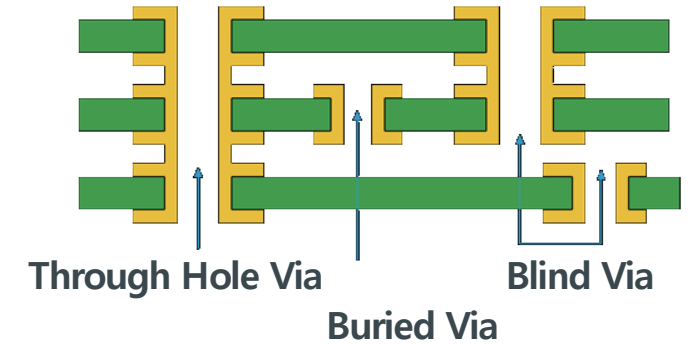
Layers: 4

Dielectrics: 3

Conductive Thickness: 0.17mm

Dielectric Thickness: 1.08mm

Total Thickness: 1.3mm



PCB 설계

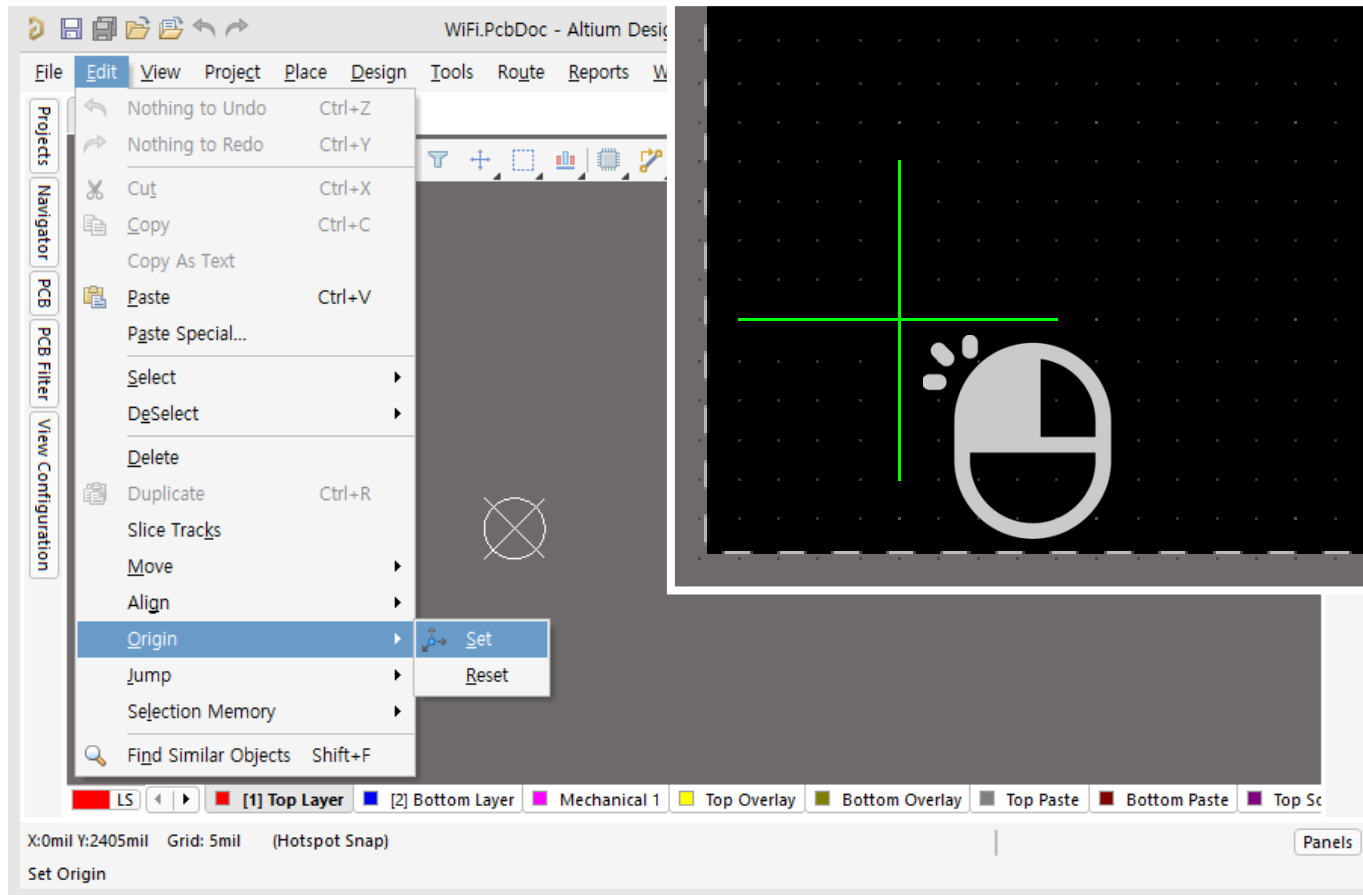
1. PCB Editor UI
2. 적층구조 설정
- 3. PCB 기판 모양 정의**
4. 회로 » PCB 업데이트
5. 부품배치
6. Design Rule / 클래스 설정
7. 라우팅
8. 폴리곤 만들기
9. 비아스티칭/드릴링/패드보강
10. 로고 만들기
11. DRC 검사
12. 기타

PCB 기판 모양 정의

1. 기준점(0,0) 설정
2. 기판 외곽 설정 — 방법 1) 직접 그리기 (1/2)
3. 기판 외곽 설정 — 방법 2) DXF/DWG 파일 가져오기

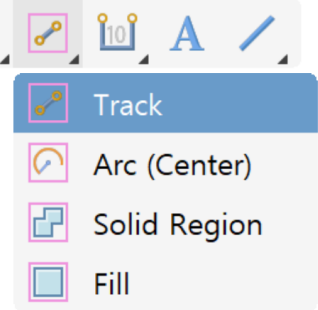
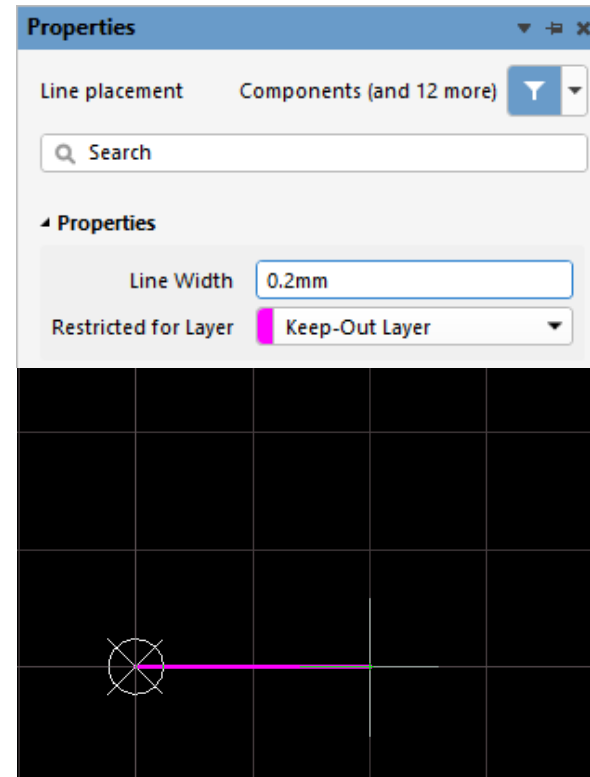
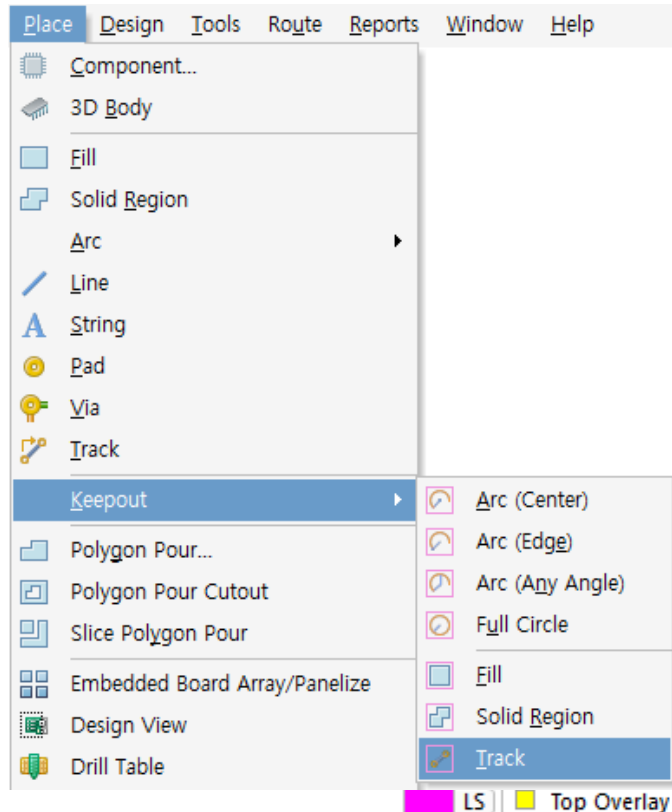
기준점(0,0) 설정

- Edit » Origin » Set [단축키 E » O » S] 메뉴 실행
- 기준점 (0,0) 으로 설정하고 싶은 위치에 마우스 왼쪽 버튼 클릭



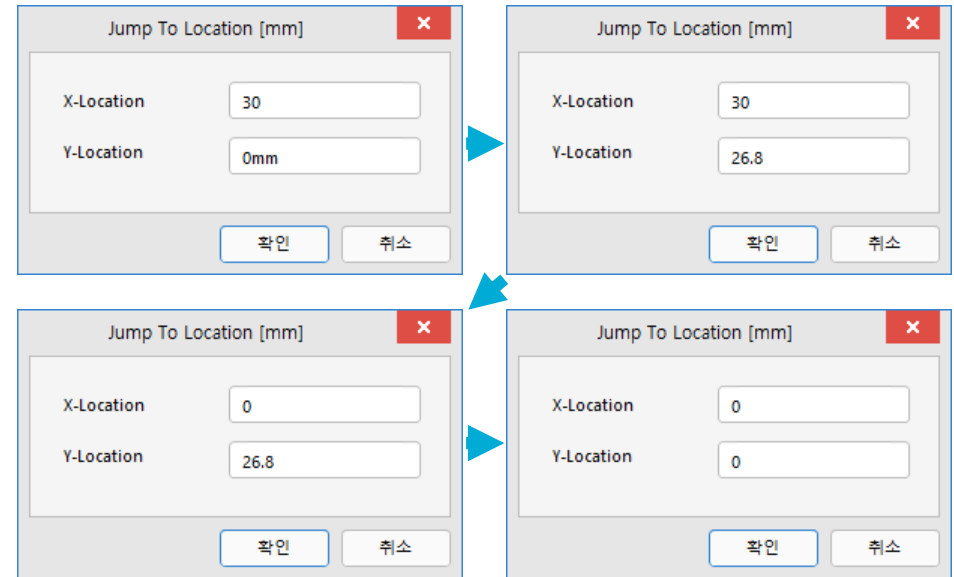
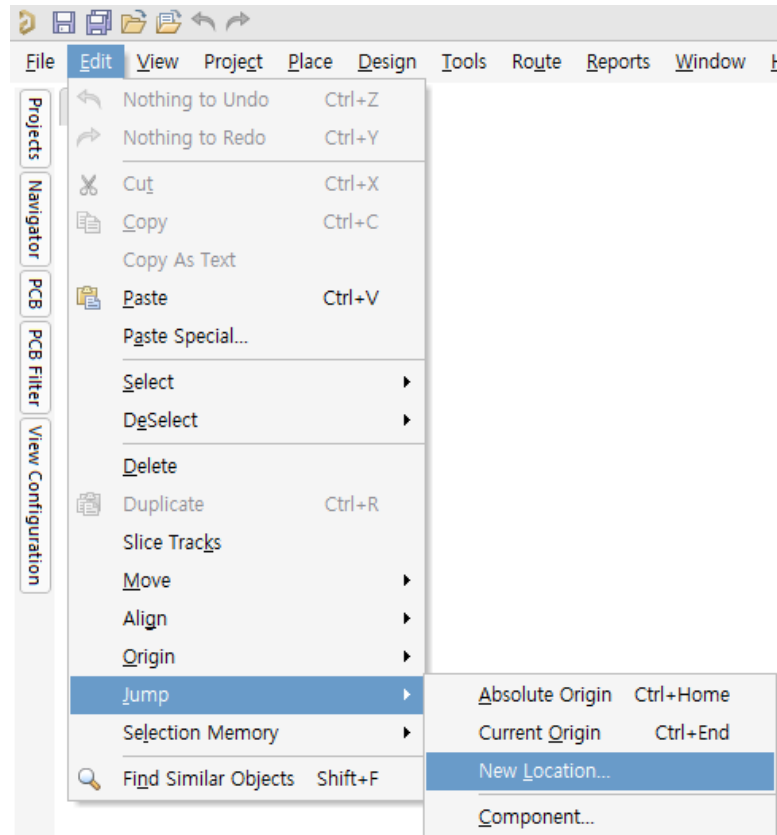
기판 외곽 설정 – 방법 1) 직접 그리기 (1/2)

- 기판외곽선은 Keep-Out Layer에 생성한다.
 - Place » Keepout » Track을 선택후 [tab] 키를 눌러서 Property로 이동한다.
 - Properties의 Line Width값 설정 후, Restricted for Layer를 "Keep-Out Layer"로 선택한다.
 - Keepout Track 설정을 마친 후, 그리드에 맞춰 마우스 커서를 이동해서 기판 외곽선을 만든다.



기판 외곽 설정 – 방법 1) 직접 그리기 (2/2)

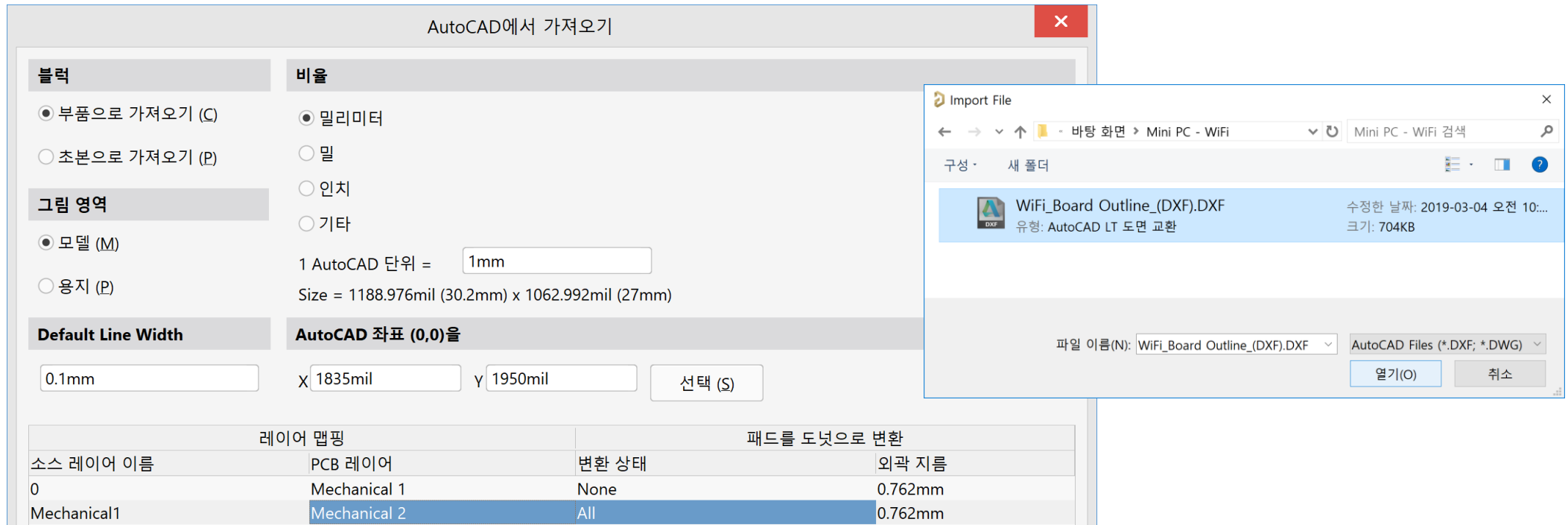
- Edit » Jump » New Location 또는 [단축키 J » L] 을 이용하면 마우스 커서를 위치시키고 싶은 좌표 (X,Y)값으로 이동시킬 수 있다. 좌표값 입력 후 Enter 버튼을 두 번 입력해서, 선 위치를 고정시킨다. (이 기능은 마우스 커서를 원하는 좌표로 위치만 시키므로, 절대 마우스를 사용하지 말고 모든 값은 키보드로 입력한다.)



- (0,0) » (30,26.8) » (0,26.8) » (0,0)

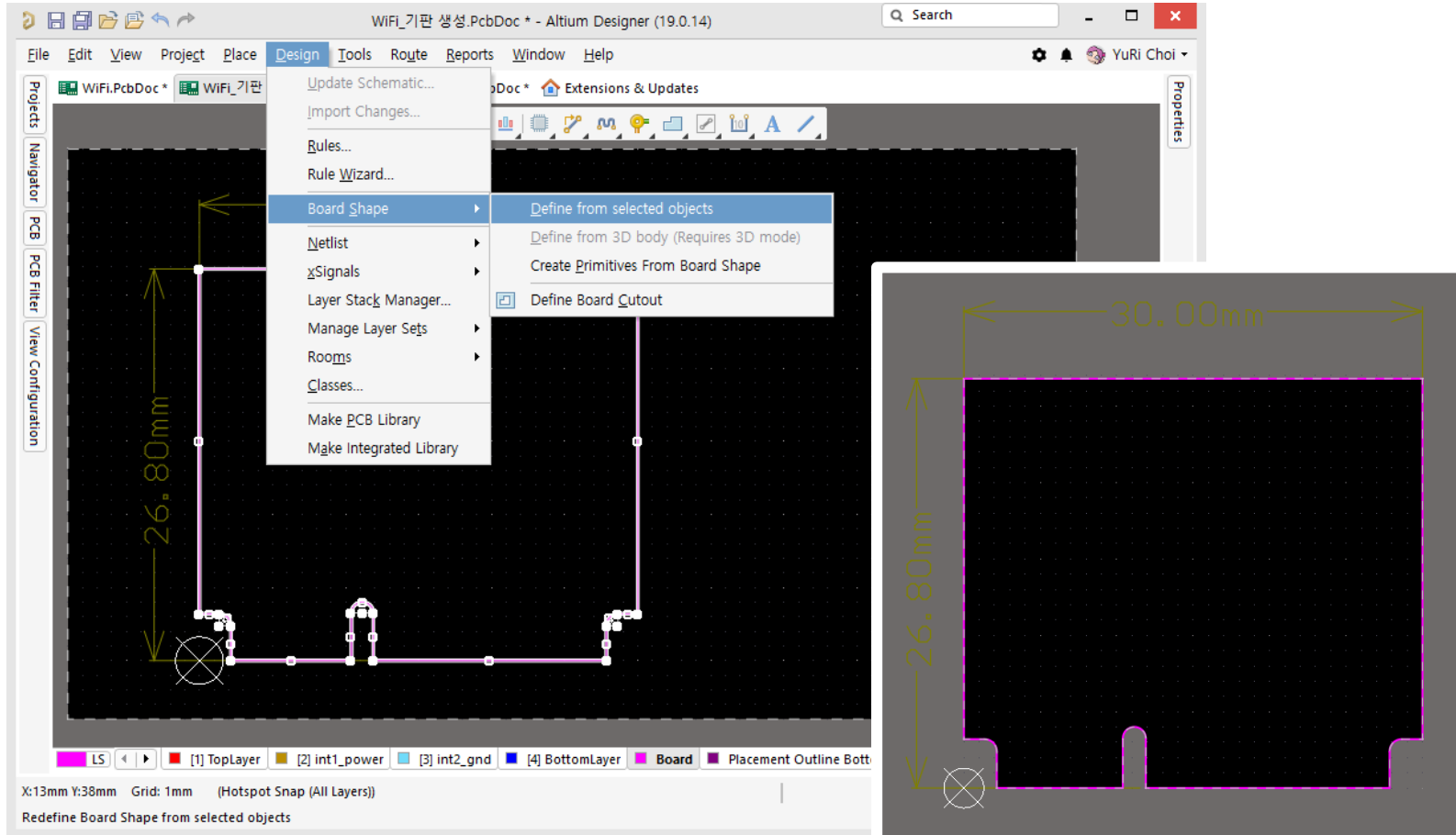
기판 외곽 설정 – 방법 2) DXF/DWG 파일 가져오기

- File » Import » DXF/DWG 실행 → 가져올 DXF/DWG 파일 선택 → 가져오기 설정
 - 비율 : **밀리미터** / 밀 / 인치 / 기타 (1 AutoCAD 단위)
 - Default Line Width : 선 두께 설정
 - AutoCAD 좌표 (0,0) : AutoCAD의 (0,0) 위치를 Altium의 지정된 좌표로 이동시키기
 - 레이어 맵핑 : 소스 레이어 이름(Auto CAD) <-> PCB 레이어 (Altium Designer 레이어)

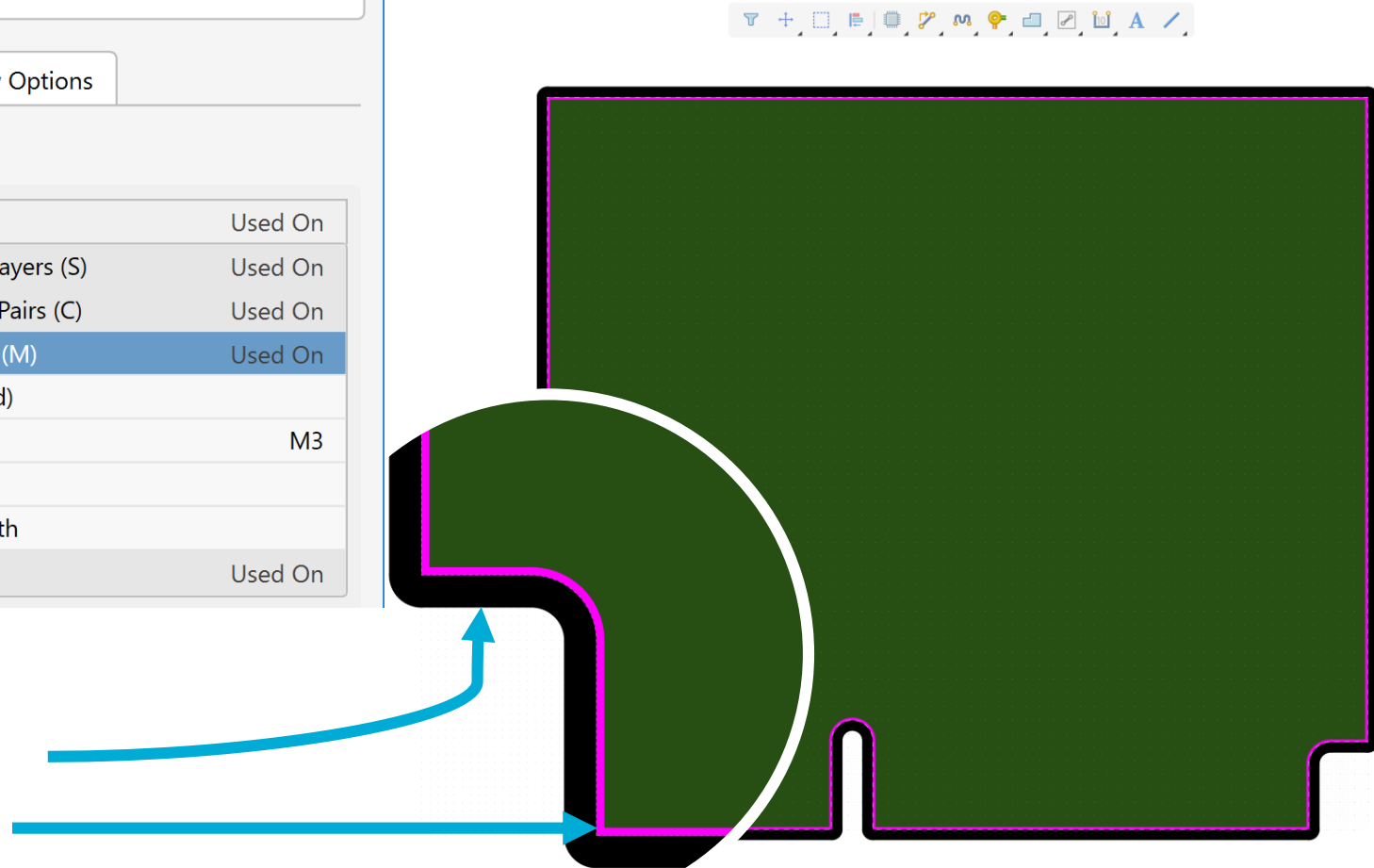
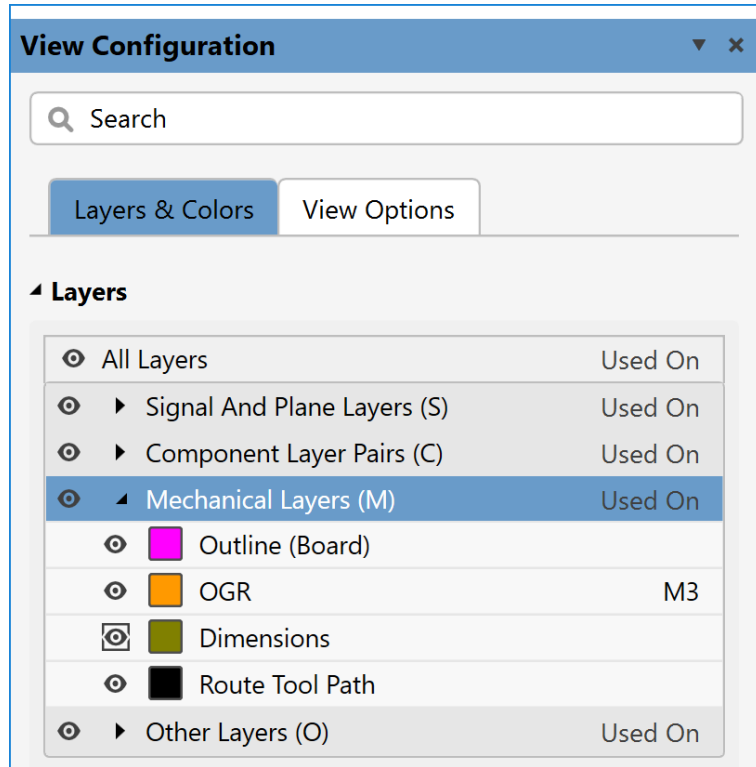


기판 영역 생성

- PCB Board Outline 객체 선택 → Design » Board Shape » Define from selected objects 실행

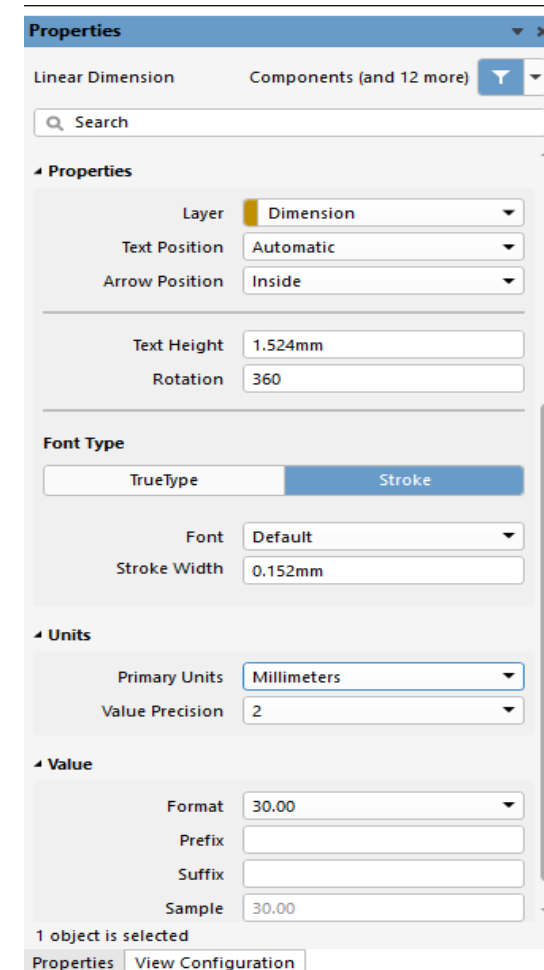
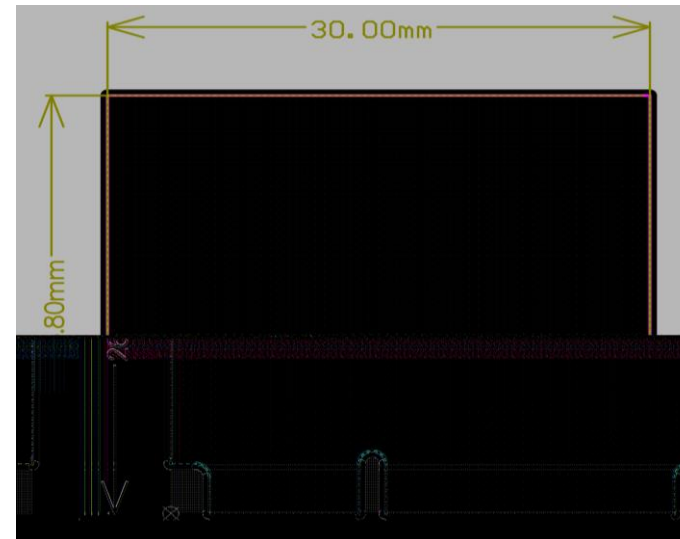
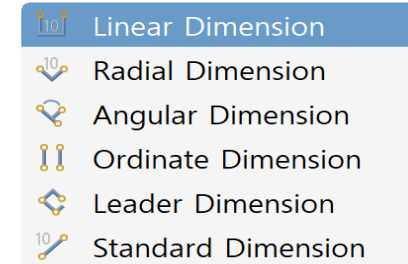
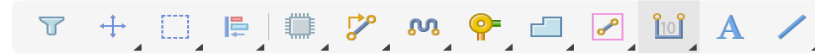


기판 설정



치수표기

- Place » Dimension » Linear 선택
 - 치수 시작점 클릭
- [TAP키] 선택 후 Properties 설정
 - Properties
 - Layer : **Dimensions**
 - Units
 - Primary Units : **Millimeters**
 - Value Precision : 소수점 아래 표기 허용 자릿수
 - Value
 - Format : **30.00mm** (단위표기)
- 끝나는 점 클릭
 - 가로/세로 방향 전환 : SpaceBar 입력

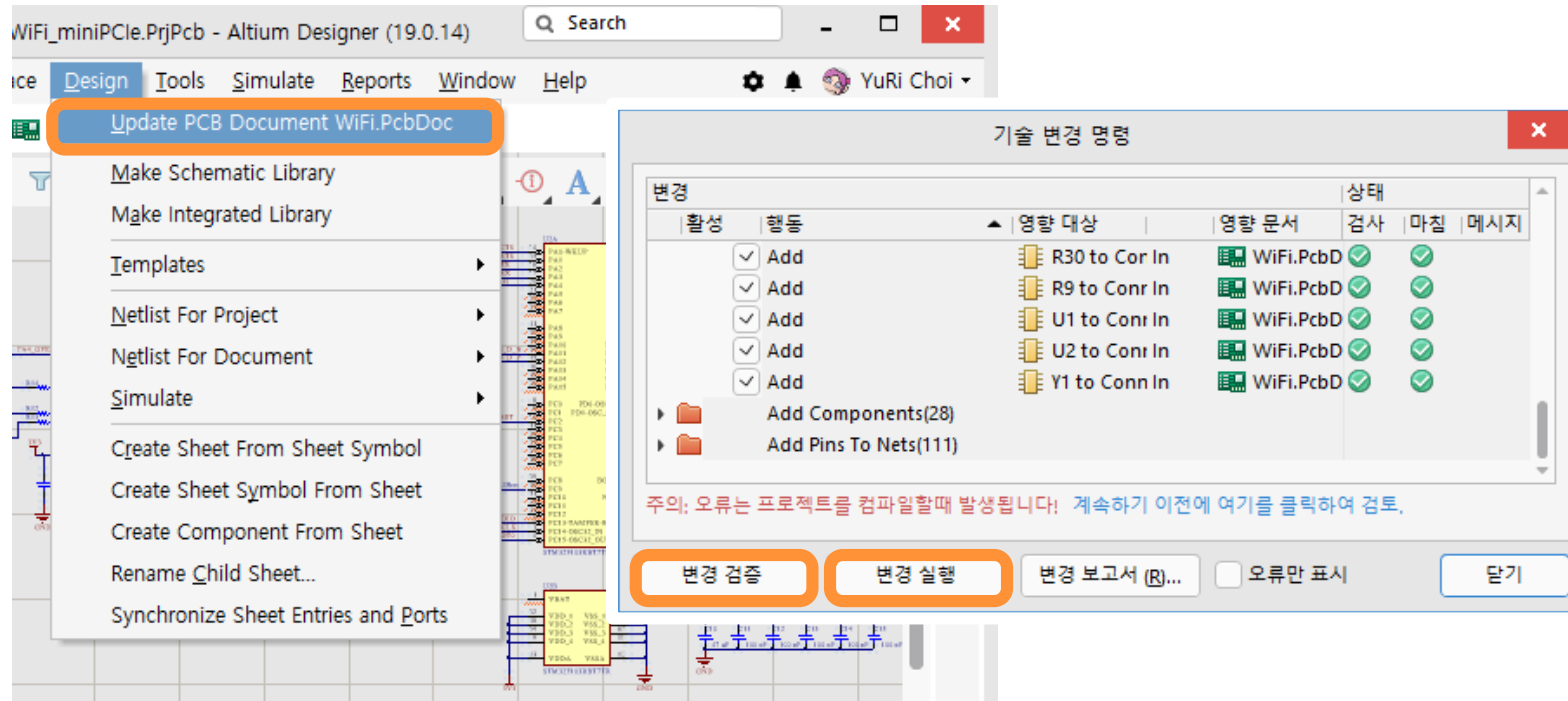


PCB 설계

1. PCB Editor UI
2. 적층구조 설정
3. PCB 기판 모양 정의
4. 회로 » PCB 업데이트
5. 부품배치
6. Design Rule / 클래스 설정
7. 라우팅
8. 폴리곤 만들기
9. 비아스티칭/드릴링/패드보강
10. 로고 만들기
11. DRC 검사
12. 기타

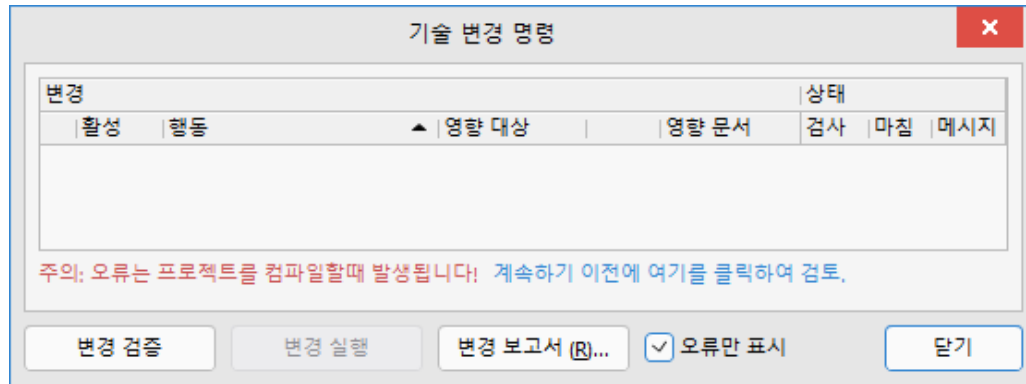
부품 및 네트리스트를 PCB로 업데이트 하기

- PCB에 Footprint 및 네트리스트 정보 반영을 위해 아래 설정을 마쳐야 한다.
 - 1. 프로젝트에 PCB 파일 생성 후 저장. (프로젝트에 PCB 파일이 미포함 되거나, 저장을 안하면 업데이트 불가)
 - 2. PCB 적층구조 및 기판모양 설정
- Design » Update PCB Document WiFi.PcbDoc 메뉴 선택해서 기술 변경 명령 창을 띄운다.
- 회로도에 등록된 부품과 네트 정보를 PCB에 반영시키기 위해 변경 검증 » 변경 실행 버튼을 클릭한다.

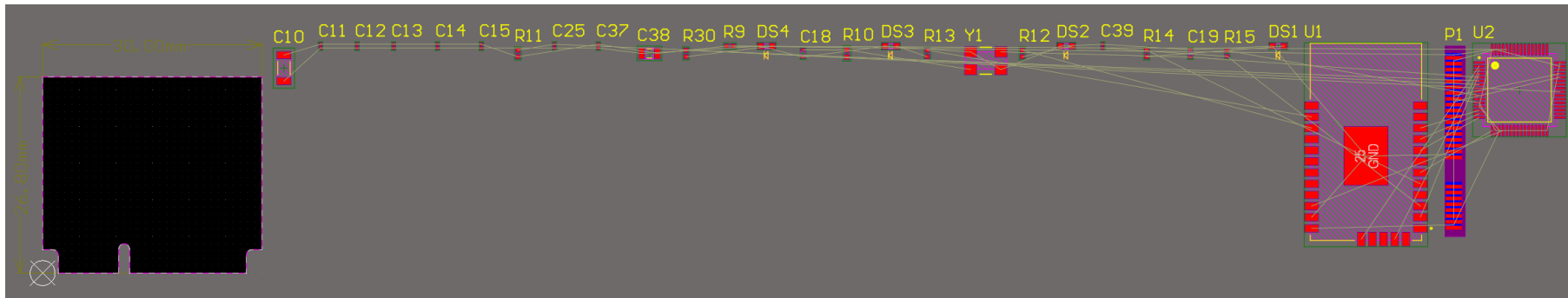


부품 및 네트리스트를 PCB로 업데이트 하기

- 기술 변경 명령 창에서 변경 실행을 마친 후 회로도에서 PCB로 부품 및 네트리스트 업데이트시 에러 발생 유무를 확인하기 위해 ■ 오류만 표시에 체크 후 이상이 없으면 PCB 작업을 시작한다.



- 아래 그림은 회로도에서 PCB로 부품 및 네트리스트를 올린 화면이다.



PCB 설계

1. PCB Editor UI
2. 적층구조 설정
3. PCB 기판 모양 정의
4. 회로 » PCB 업데이트
5. 부품배치
6. Design Rule / 클래스 설정
7. 라우팅
8. 폴리곤 만들기
9. 비아스티칭/드릴링/패드보강
10. 로고 만들기
11. DRC 검사
12. 기타

부품 배치

1. 자동 배치
2. 수동 배치
3. 부품 회전 및 부품 실장 레이어 변경 (Top<->Bottom)

부품 배치

- Tool » Component Placement

- Arrange Within Room
- Arrange Within Rectangle
- Arrange Outside Board

- Arrange Within Rectangle

- 선택한 영역 안에 부품 배치

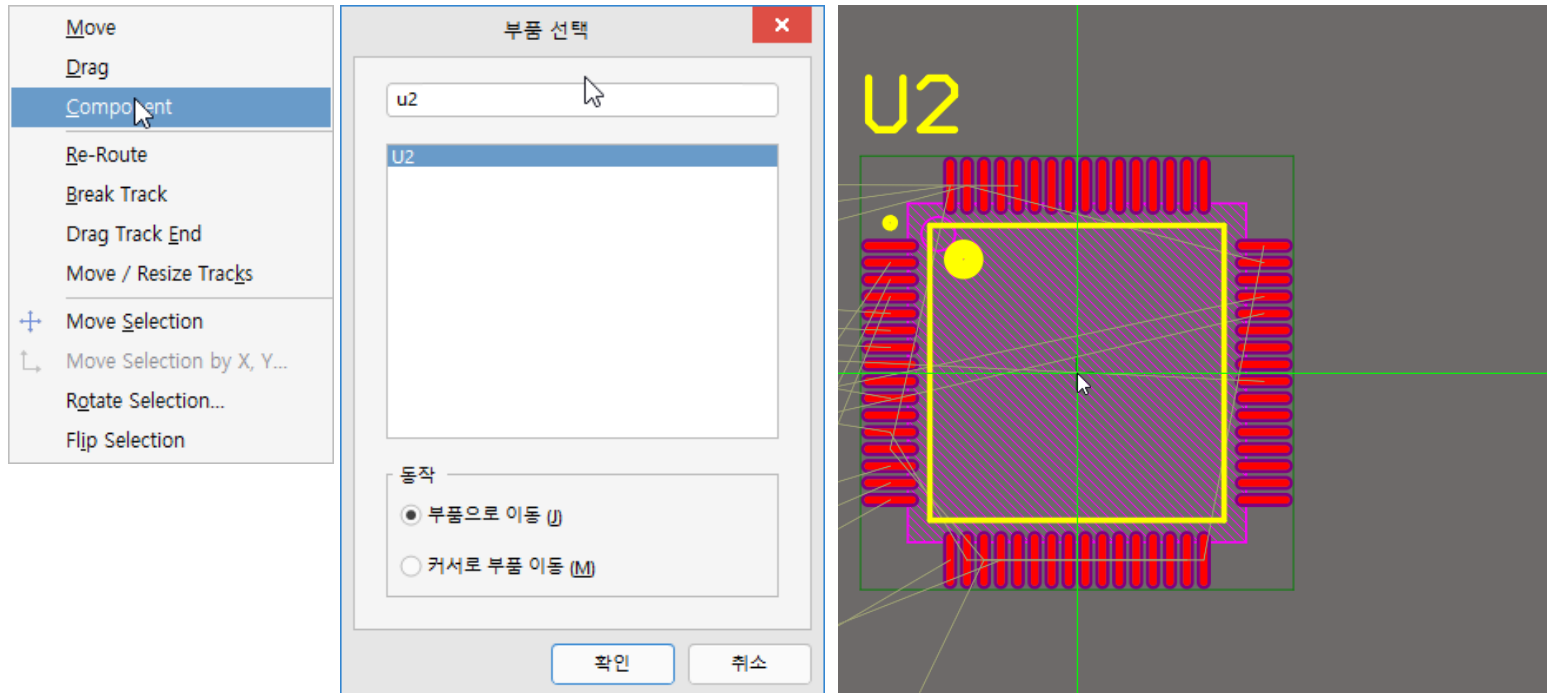
- Component Placement 메뉴를 사용하면 손쉽게 영역별로 부품을 배치를 정렬할 수 있다.

- Arrange Outside Board

- 보드 아웃라인에 부품 배치

부품 이동

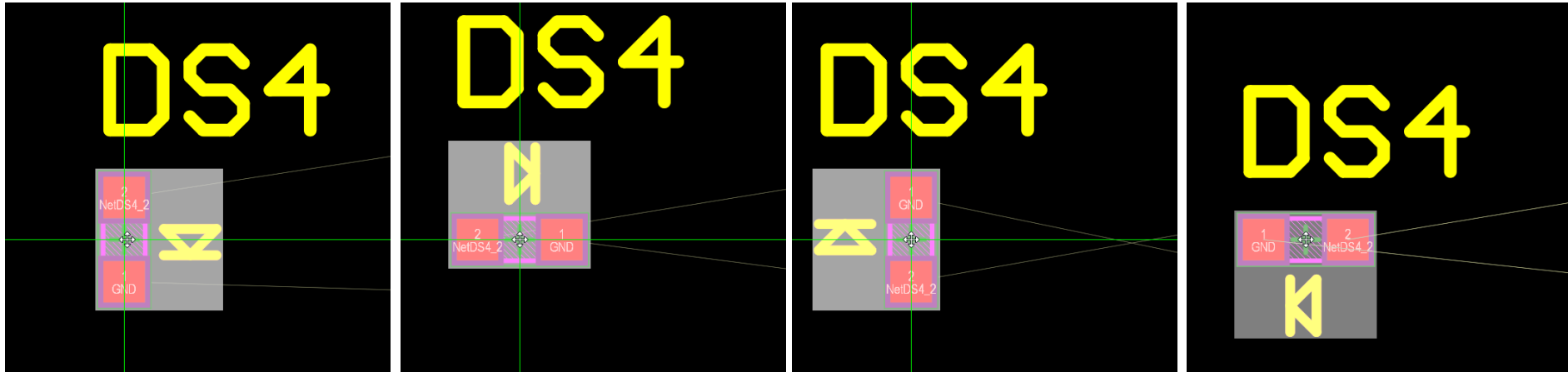
- 부품 선택 후 드래그 앤 드롭으로 원하는 위치에 부품 배치
- Edit » Move » Component [단축키 M » C] 선택
 - 마우스 왼쪽 버튼으로 부품 클릭 → 원하는 위치에 부품 배치
 - 빈 영역을 마우스 왼쪽 버튼으로 클릭 → 부품 선택 창 팝업 → 부품 선택 → 확인 → 원하는 위치에 부품 배치
 - 부품으로 이동 : 마우스 커서를 부품이 위치한 곳으로 이동시킴



부품 회전

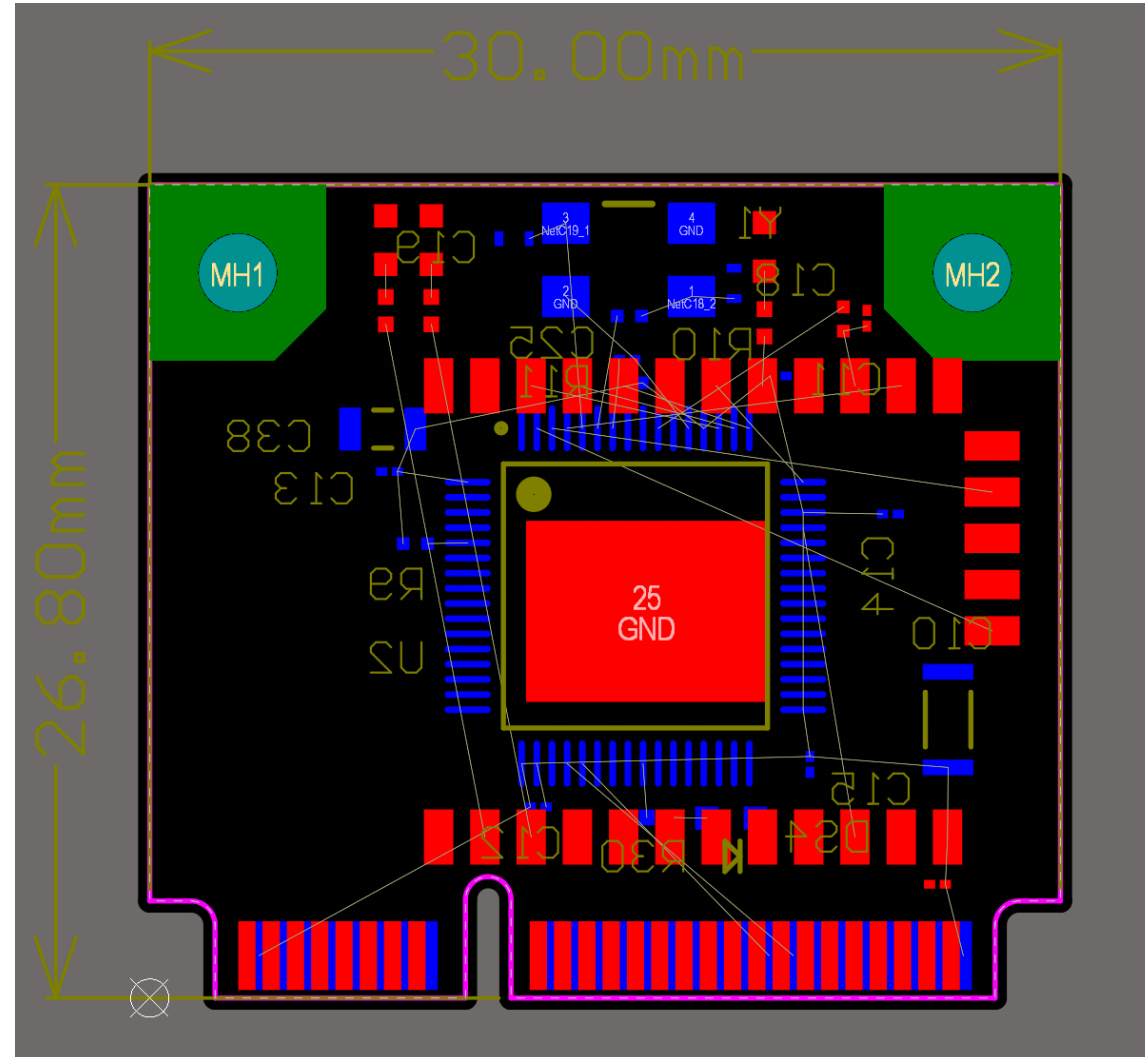
- 부품 회전

- 부품을 드래그 한 상태에서 [Spacebar]키를 누르면 를 회전이동모드(마우스로 부품 드래그, 또는 M » C로 부품 선택) → SpaceBar를 누르면 반시계방향으로 90°씩 회전된다.
- 부품 이동모드(마우스로 부품 드래그, 또는 M » C로 부품 선택) → SpaceBar를 누르면 회전



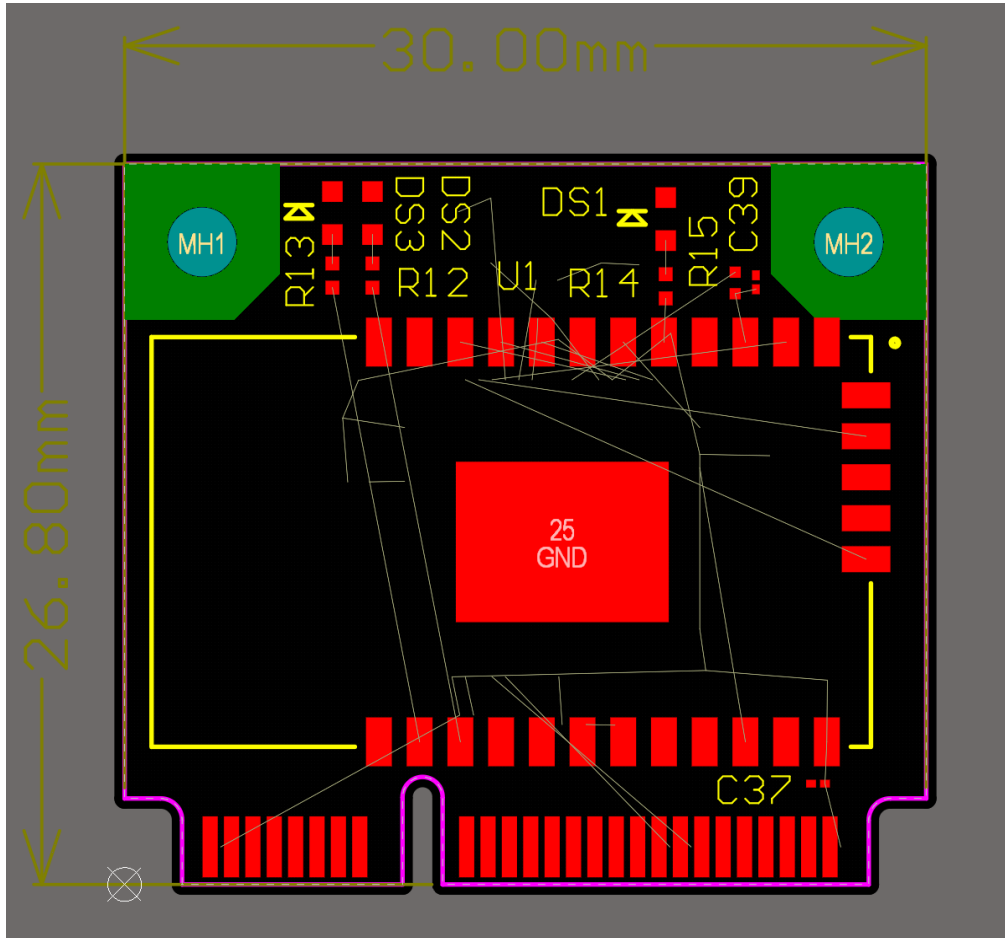
- 부품 실장 위치 변경 Top<->Bottom 전환 : 부품 선택 후 [L]키 입력

부품 배치

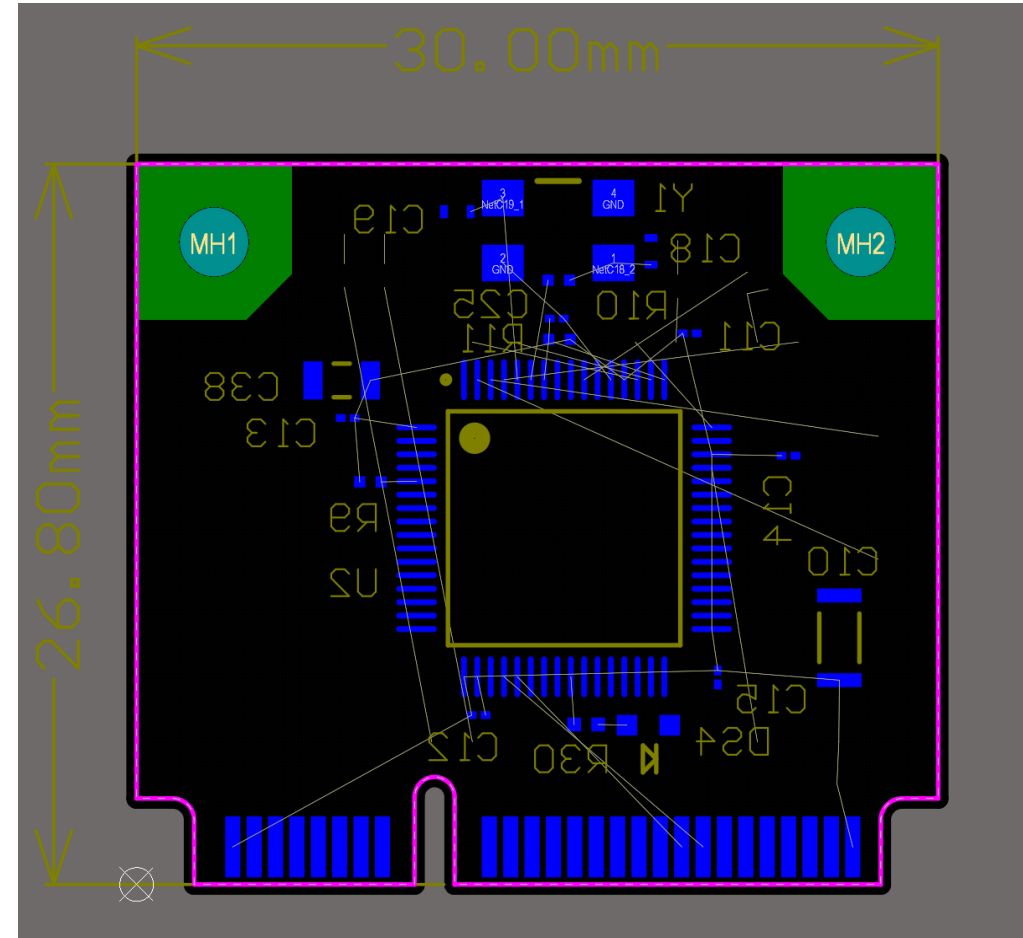


부품 배치

- Top면 배치(Top View)



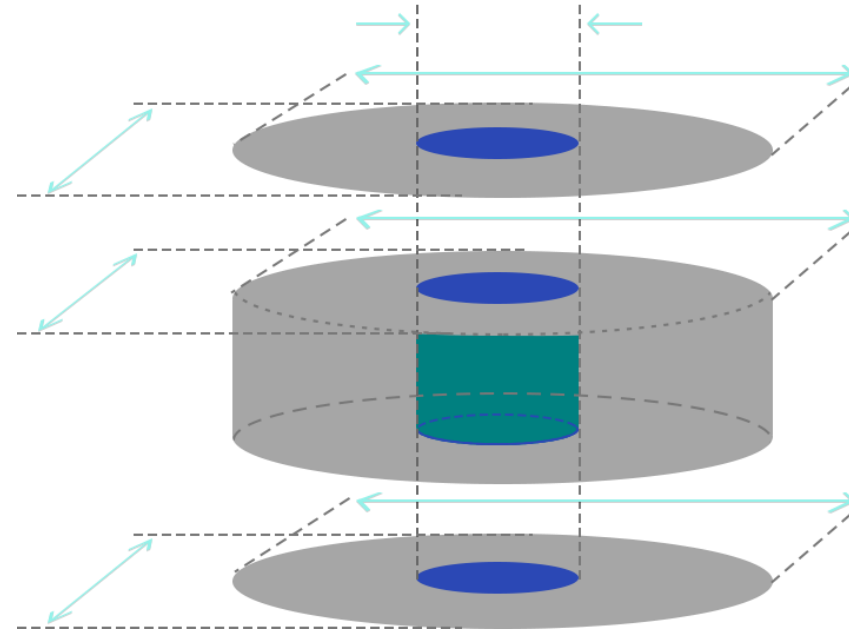
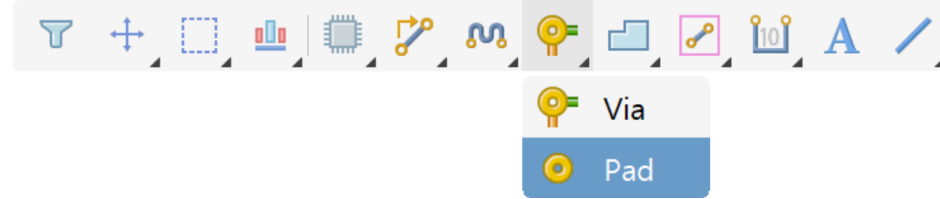
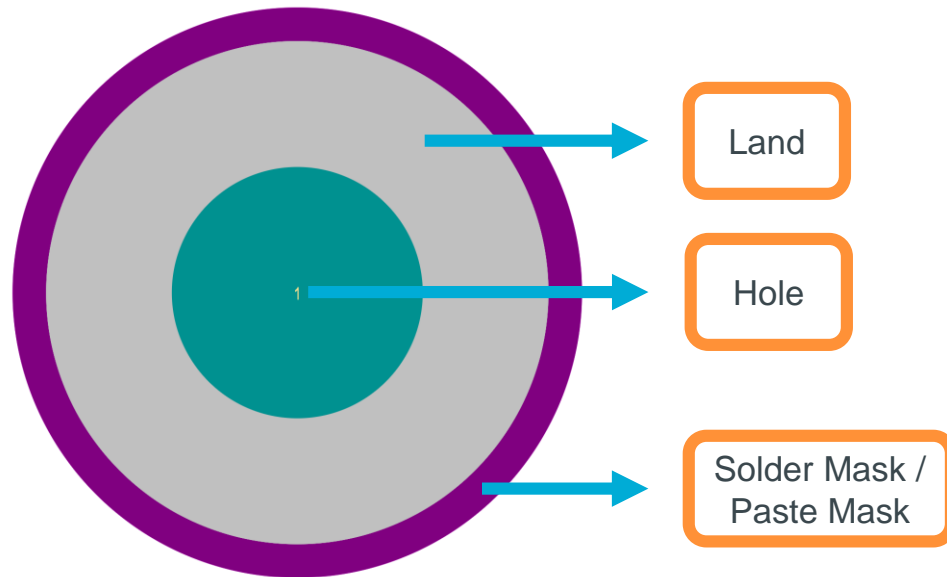
- Bottom면 배치(Top View)



패드

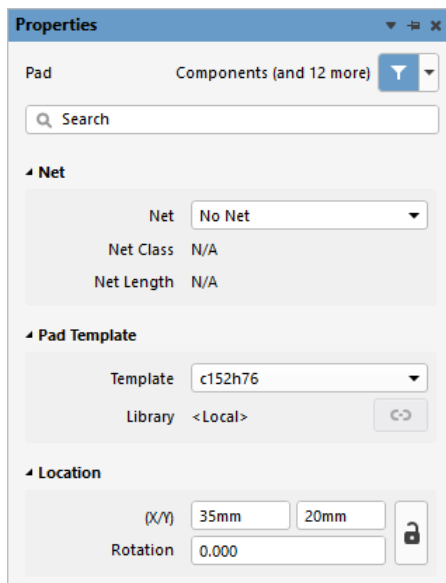
- Place » Pad

- Hole : 드릴로 가공될 구멍
- Land : 납이 묻을 수 있는 영역
 - Multi Layer : Through-hole타입 패드 제작
 - Top / Bottom Layer : SMD타입 패드 제작
- Solder Mask
- Paste Mask

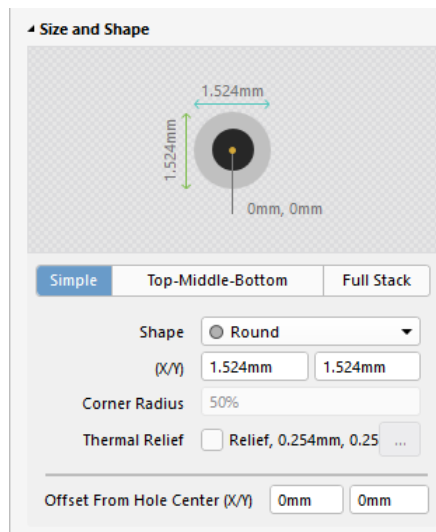


패드

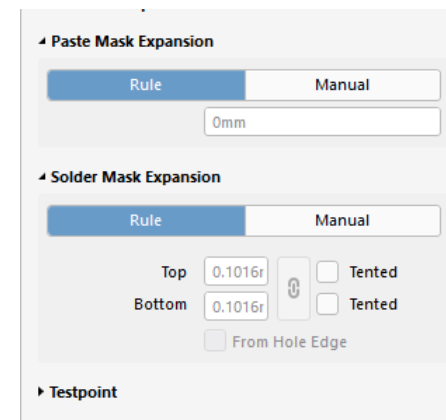
- 패드 속성



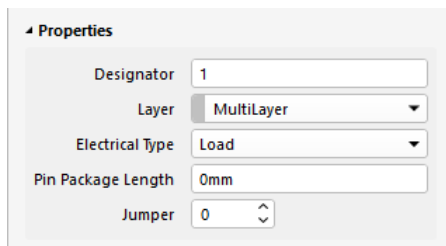
- 홀 크기



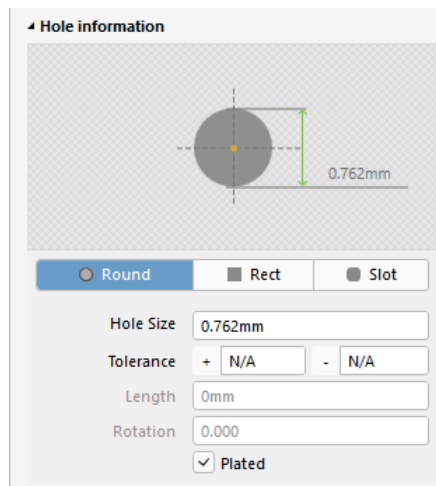
- Solder Mask
- Paste Mask



- 레이어 설정



- 랜드 크기

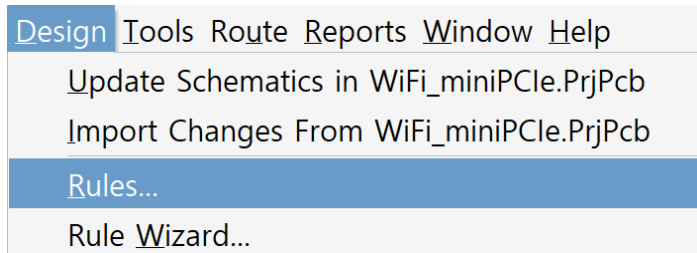


PCB 설계

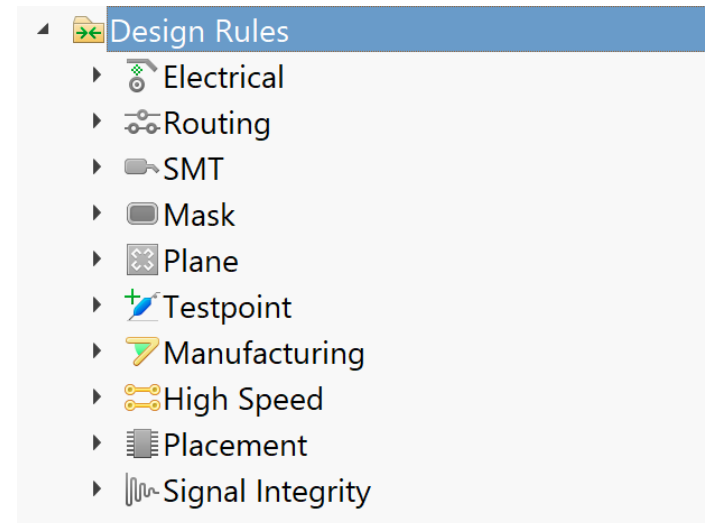
1. PCB Editor UI
2. 적층구조 설정
3. PCB 기판 모양 정의
4. 회로 » PCB 업데이트
5. 부품배치
6. Design Rule / 클래스 설정
7. 라우팅
8. 폴리곤 만들기
9. 비아스티칭/드릴링/패드보강
10. 로고 만들기
11. DRC 검사
12. 기타

PCB 설계 규칙 설정

- PCB 설계 규칙을 설정하기 위해 Design » Rules... 을 실행한다.



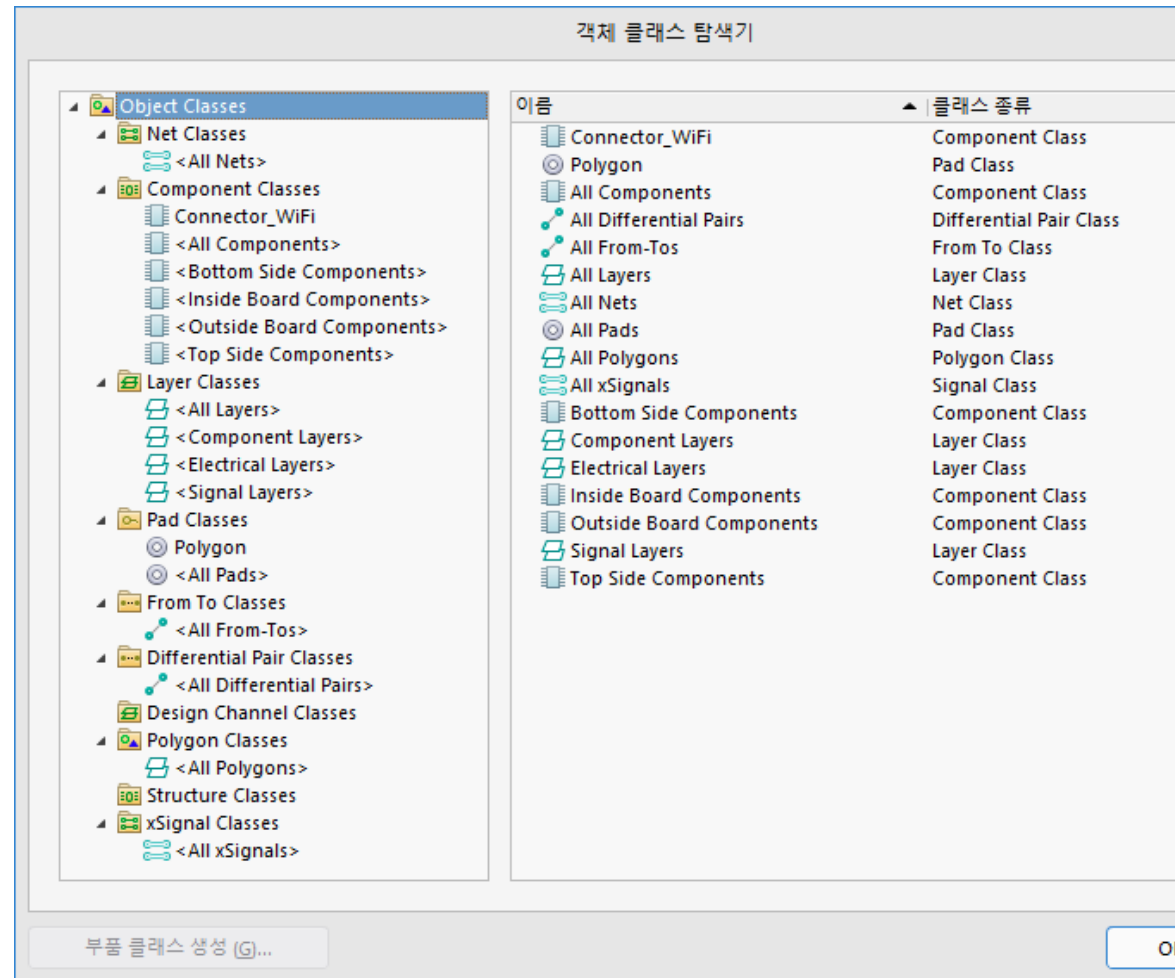
- Design Rule 설정 값을 위반하는 경우 위반사항에 대해서 메시지를 표시한다.
- Rule을 가지고 설계할 경우 설계에 대한 Error를 방지할 수가 있고 규칙적인 보드를 설계하는데 있어서 많은 도움이 된다.
- Design Rules
 - Electrical
 - Routing
 - SMT
 - Mask
 - Plane
 - Testpoint
 - Manufacturing
 - High Speed
 - Placement



클래스 만들기 (1/3)

- 객체를 클래스로 그룹화를 하면, 관리 및 규칙 설정을 쉽게 할 수 있다.

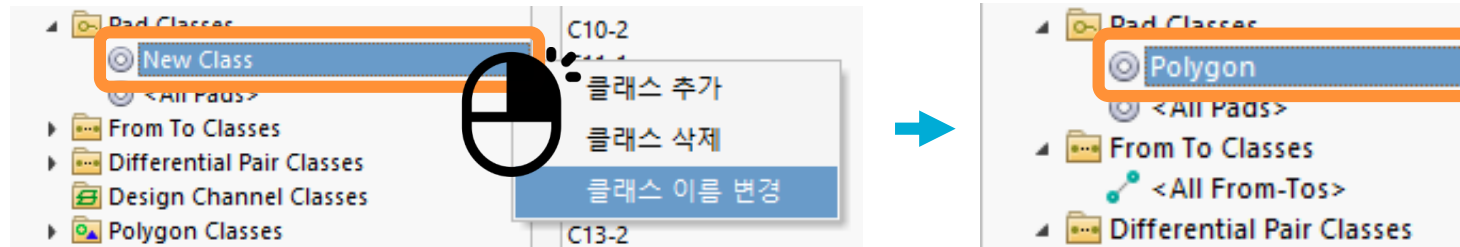
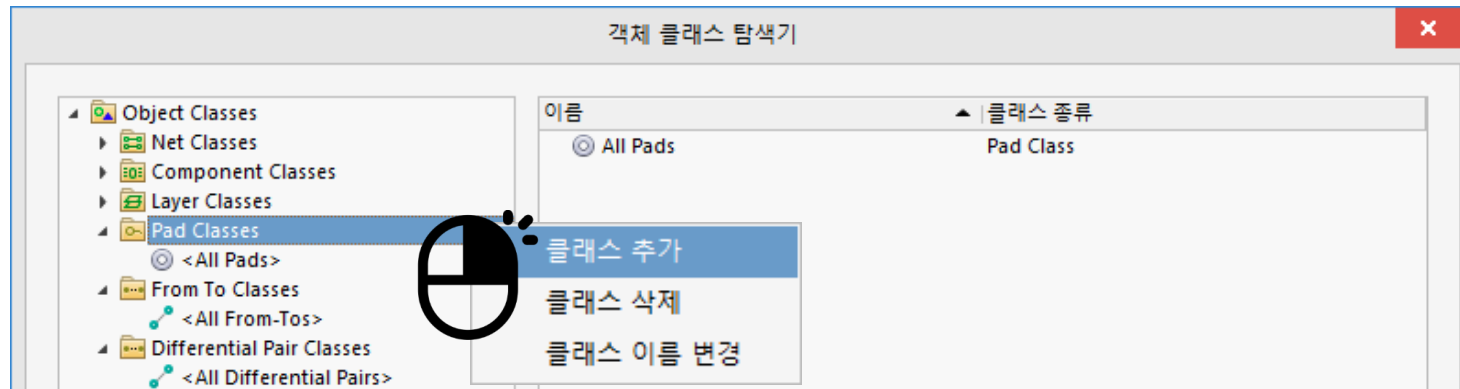
- Net Classes
- Component Classes
- Layer Classes
- Pad Classes
- From To Classes
- Differential Pair Classes
- Design Channel Classes
- Polygon Classes
- Structure Classes
- xSignal Classes



클래스 만들기 (2/3)

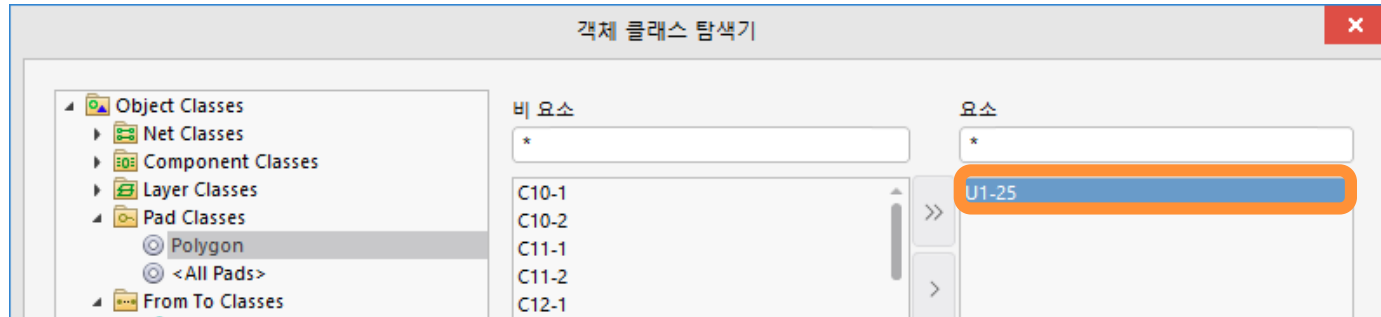
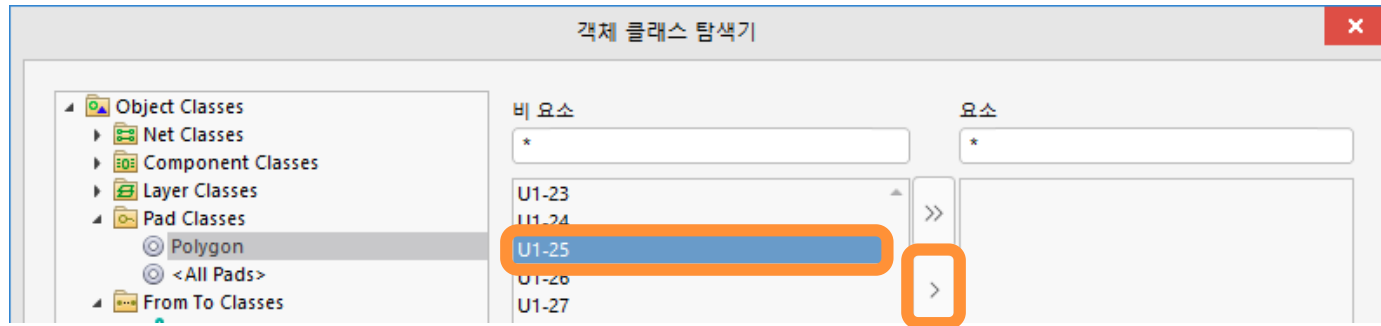
- 신규 클래스 만들기

- Design » Classes... 메뉴 실행
- 객체 클래스 탐색기에서 Pad Classes 선택 → 마우스 오른쪽 버튼 클릭 → 클래스 추가



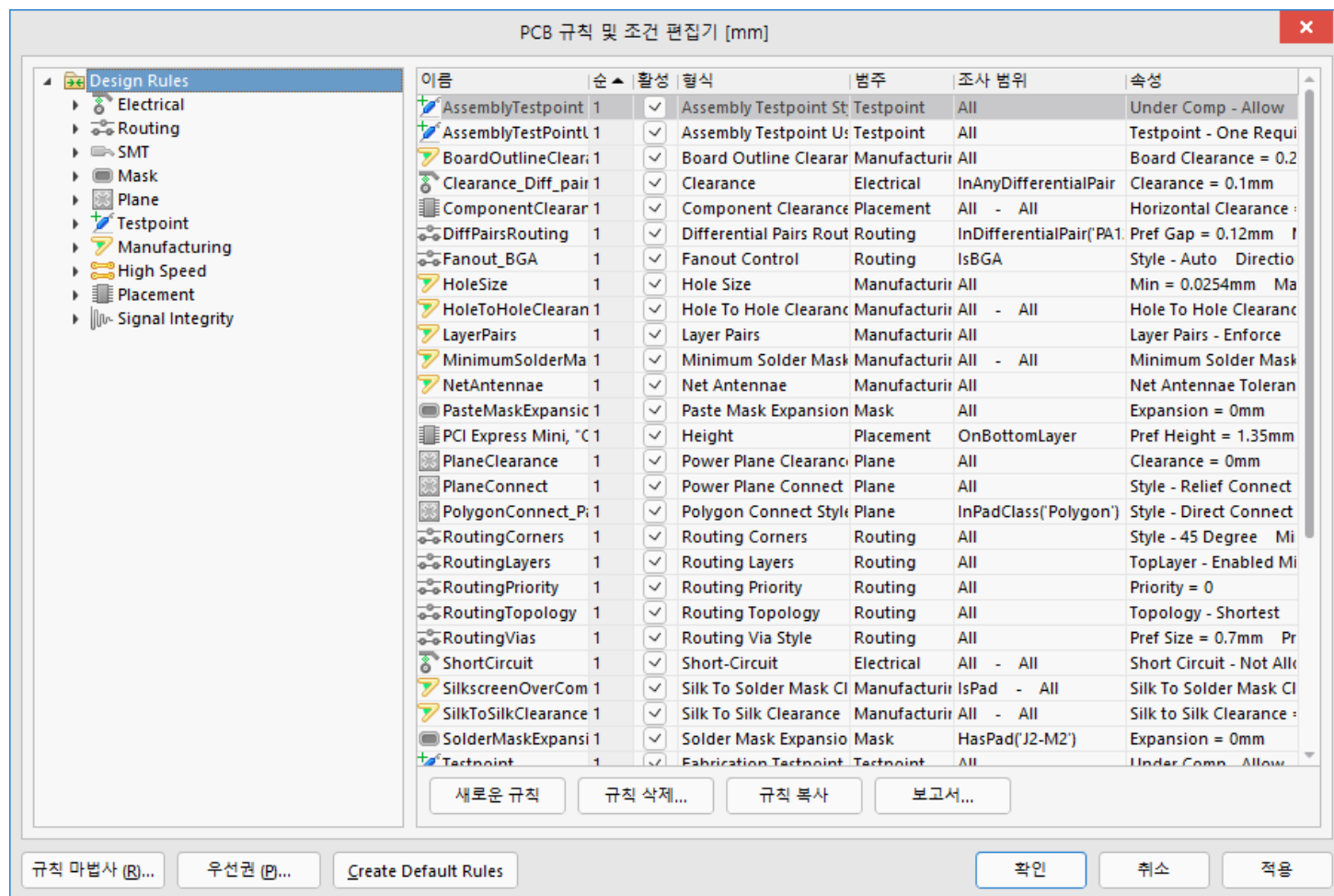
클래스 만들기 (3/3)

- 클래스에 객체 추가
 - 앞에서 생성한 Pad Classes – “Polygon” 객체 선택
 - 비 요소 : 클래스에 포함되지 않은 객체
 - 요소 : 클래스에 포함된 객체



Design Rule 설정

- Design » Rules... 선택



Design Rule 설정 : 이격 간격

- Design Rules – Electrical – Clearance

- Where The First Object Matches : All
- Where The Second Object Matches : All
- Constraints : Different Nets Only / 0.2mm (Hole~기타 객체 : 0)

PCB 규칙 및 조건 편집기 [mm]

이름: Clearance 주석: Unique ID: CNSGTNUW Test Queries

Where The First Object Matches
All

Where The Second Object Matches
All

Constraints
Different Nets Only
최소 이격 거리: N/A

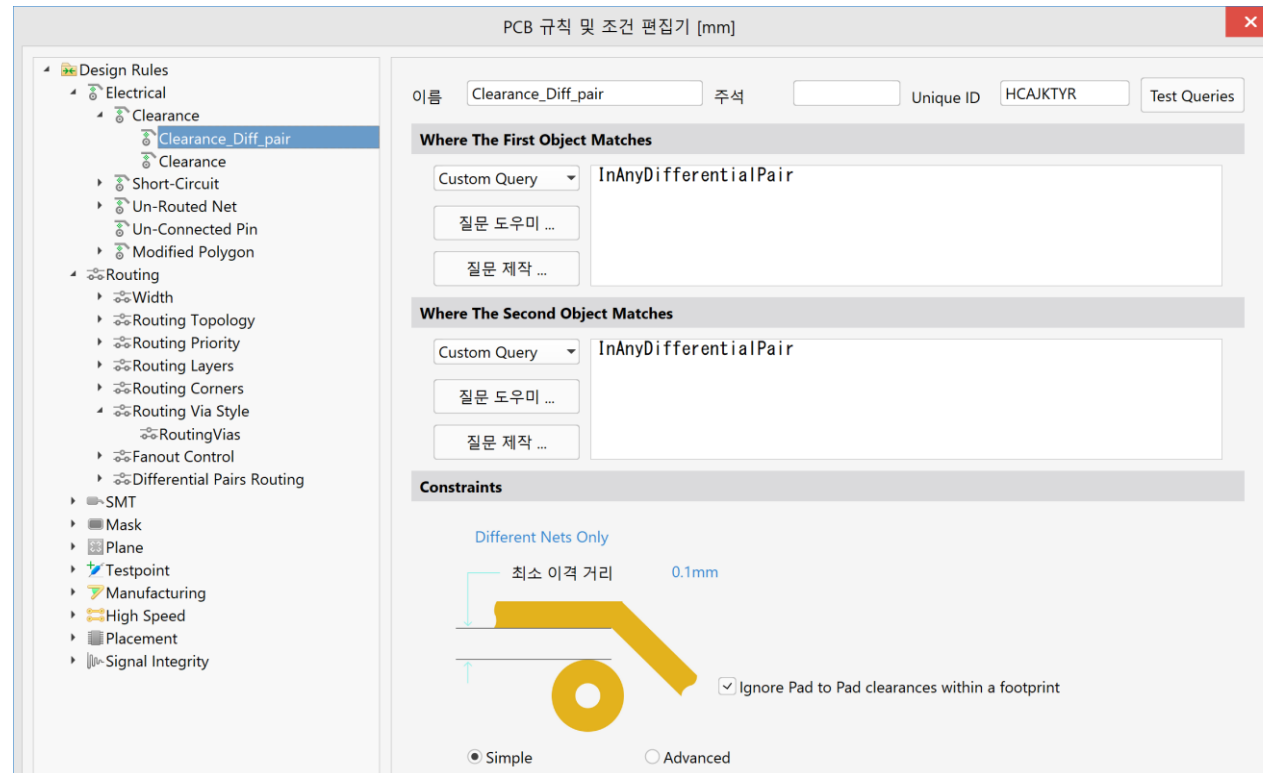
☒ Ignore Pad to Pad clearances within a footprint

☒ Simple ☐ Advanced

	Track	SMD Pad	TH Pad	Via	Copper	Text
Track	0.2					
SMD Pad	0.2	0.2				
TH Pad	0.2	0.2	0.2			
Via	0.2	0.2	0.2	0.2		
Copper	0.35	0.3	0.2	0.2	0.2	
Text	0.2	0.2	0.2	0.2	0.2	0.2
Hole	0	0	0	0	0	0

Design Rule 설정 : 이격간격

- Design Rules – Electrical – Clearance
 - Where The First Object Matches : InAnyDifferentialPair
 - Where The First Object Matches : InAnyDifferentialPair
 - Constraints : Different Nets Only / 0.1mm



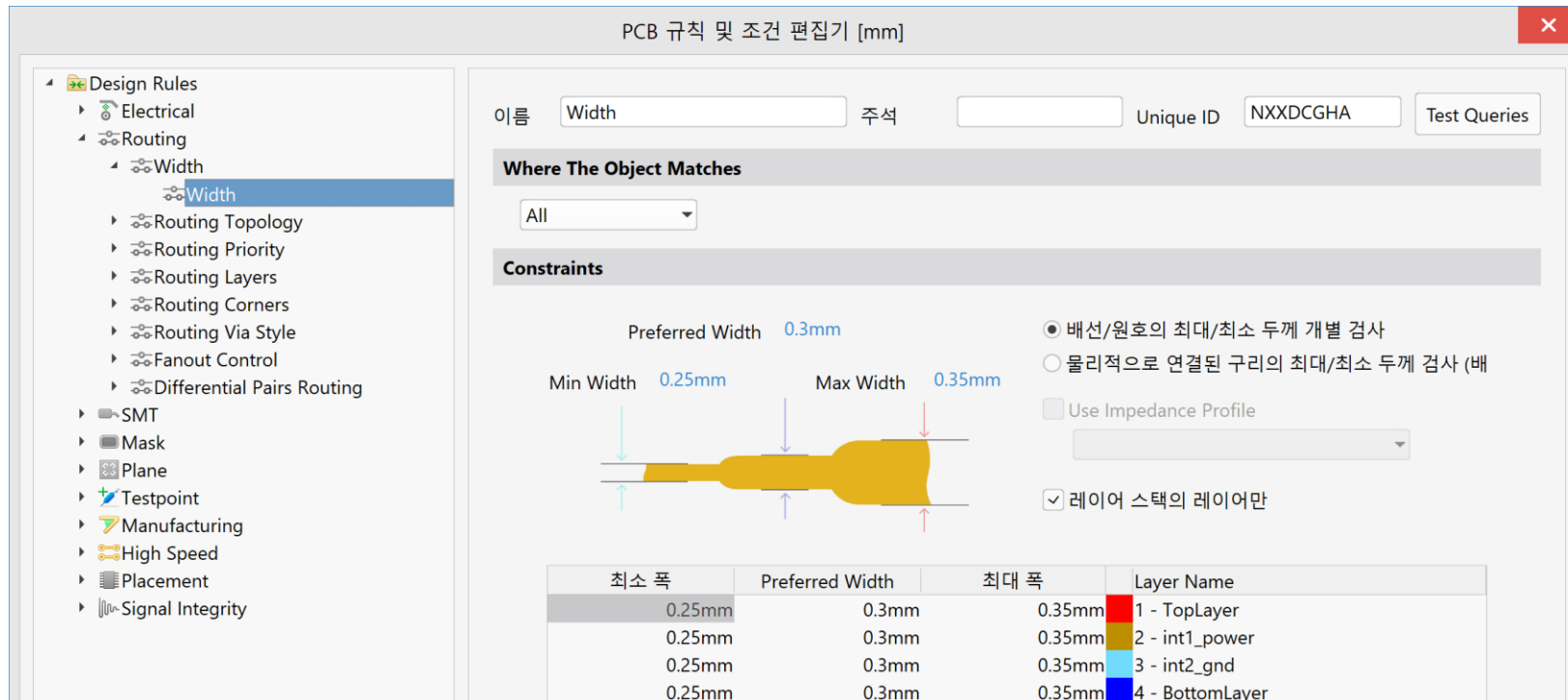
Design Rule 설정 : 배선 두께

- Design Rules – Routing – Width

- Where The Object Matches : All

- Constraints : Min Width : 0.25mm / Preferred Width : 0.3mm / Max Width : 0.35mm

- Signal Net(일반 Digital net)의 경우 일반 샘플생산기준으로 Min : 0.1mm, Preferred : 0.15mm. Max : 0.2mm로 작업하며, Routing Width의 경우 회로 설계사양 및 PCB제조 사양에 따라서 원하는 Size로 변경하여 사용



Design Rule 설정 : 비아 크기

- Design Rules – Routing – Routing Via Style

- 비아 지름 크기 : 최소 0.5mm / 우선 0.6mm / 최대 0.7mm

- 비아 홀 크기 : 최소 0.25mm / 우선 0.3mm / 최대 0.35mm

- Via사양은 PCB제조 업체별로 변경될 수 있으며, 회로에 따라서 변경해서 사용한다. 그리고 아래 내용은 일반적인 사항의 Via이므로 그대로 사용하여 PCB제조사 PCB에 문제가 발생할 수 있으므로 반드시 제조사 및 각 회사의 특성에 맞도록 조정

- **Nomal Via**

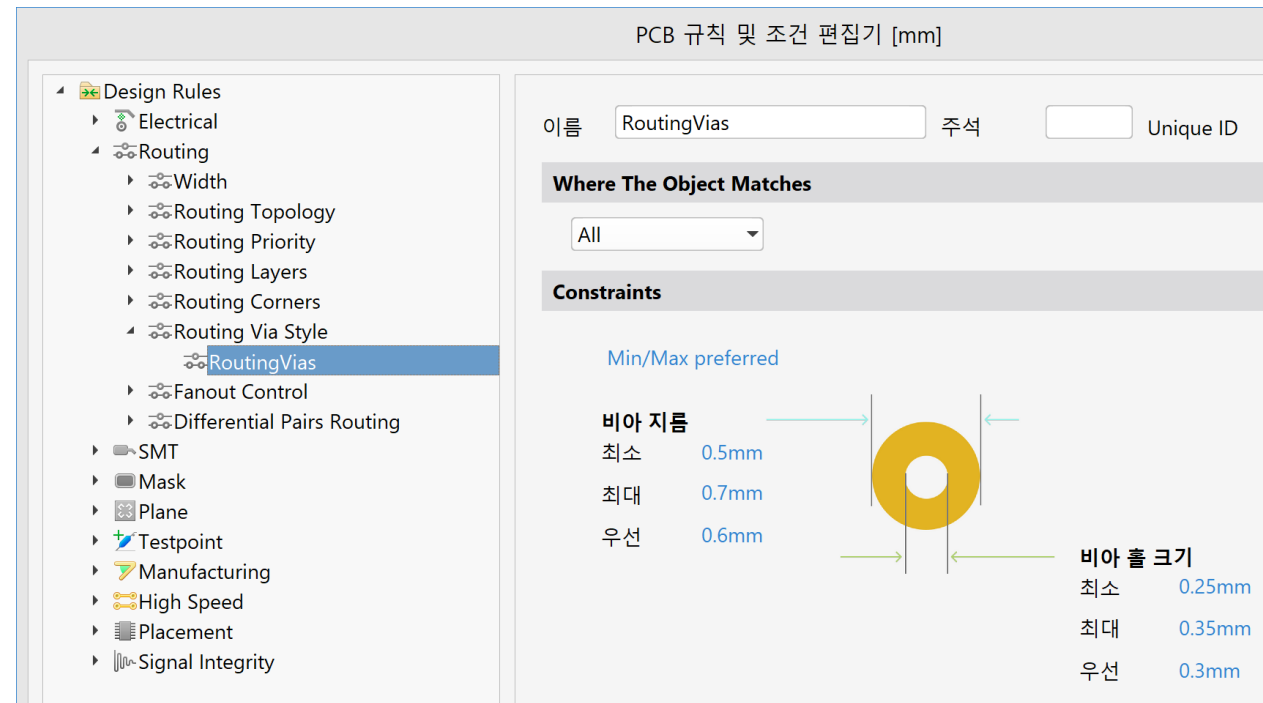
- Drill : 0.3Ø
 - Land : 0.6Ø

- **Power Via**

- Drill : 0.7Ø
 - Land : 1.2Ø

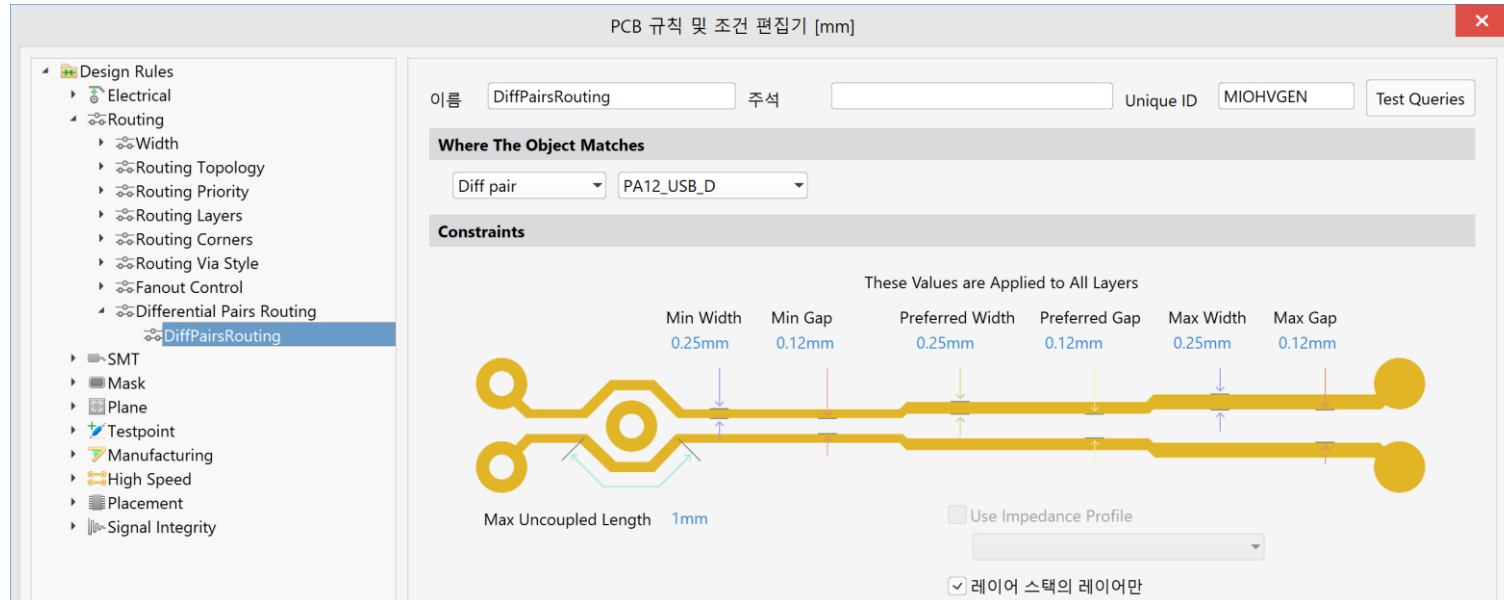
- **Build-up Via**

- Drill : 0.12Ø
 - Land : 0.275Ø



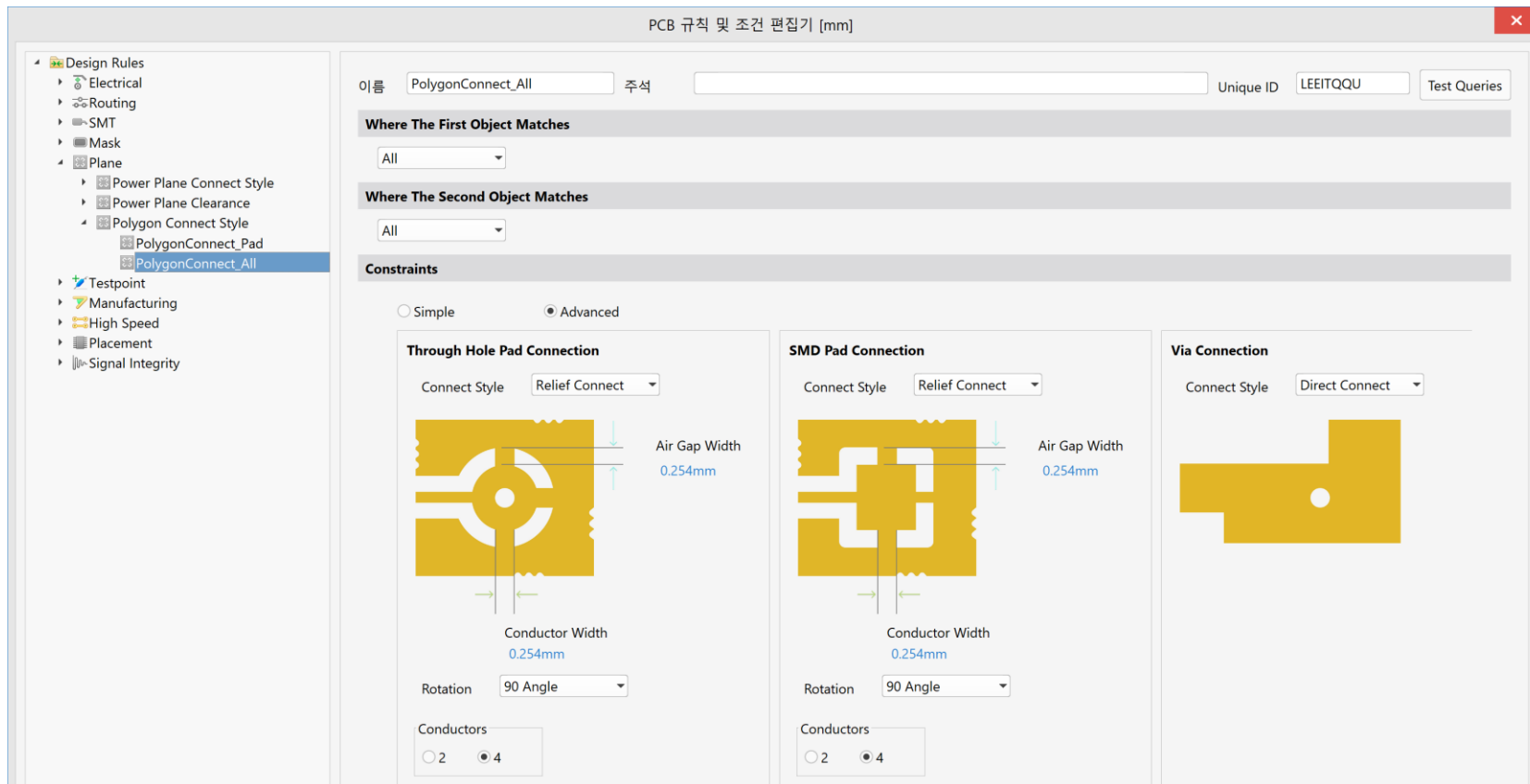
Design Rule 설정 : 디퍼런셜페어 설정

- Design Rules – Routing – Differential Pairs Routing
 - Diff.Pairs 간격 선폭
 - 최소 – 우선 – 최대 : 0.25mm
 - Diff.Pairs 간격
 - 최소 – 우선 – 최대 : 0.12mm
 - Max Uncoupled Length : 1mm



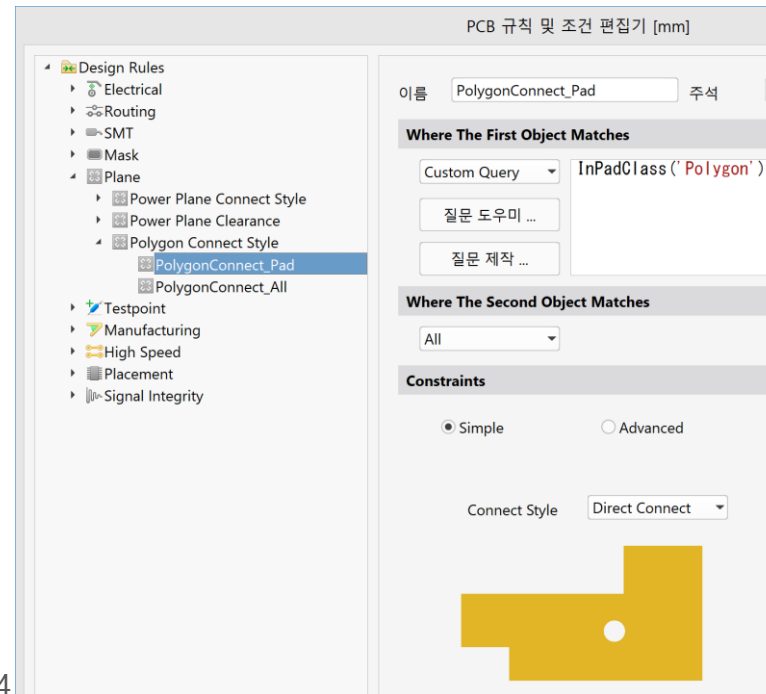
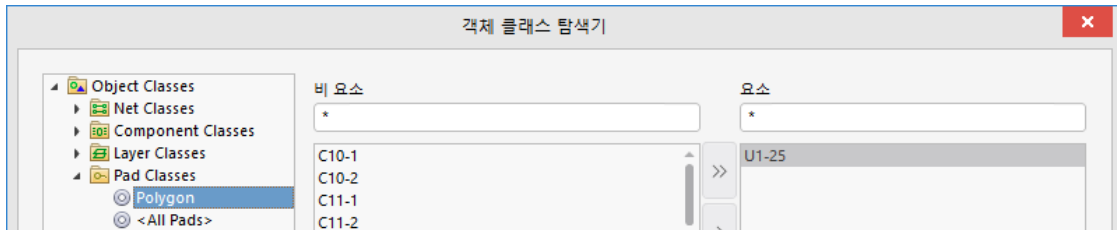
Design Rule 설정 : 폴리건 설정

- Design Rules – Plane – Polygon Connect Style
 - PolygonConnect_All



Design Rule 설정

- Design Rules – Plane – Polygon Connect Style
- 신규 규칙 만들기 : Polygon Connect Style 규칙 선택 → 마우스 오른쪽 버튼 클릭 → 새로운 규칙 생성
 - 규칙 이름 : **PolygonConnect_Pad**
 - Where The First Object Matches : **Custom Query** → **InPadClass('Polygon')**
 - Where The Second Object Matches : **All**
 - Constraints : **Simple**
 - 기존 PolygonConnect_All
 - PolygonConnect_Pad



Design Rule 설정 : 테스트포인트

- Design Rules – Testpoint

- 일반적으로 TP포인트 사용시, 회로 및 PCB에 부품으로 생성해서 관리하는 경우가 많으므로 일반 PAD나 VIA에서 TP포인트를 관리하지 않음. 그래서, 불필요한 에러검사를 줄이기 위해 **아래 규칙은 모두 비활성으로 변경**
- ☐ Fabrication Testpoint Style
- ☐ Fabrication Testpoint Usage
- ☐ Assembly Testpoint Style
- ☐ Assembly Testpoint Usage



PCB 설계

1. PCB Editor UI
2. 적층구조 설정
3. PCB 기판 모양 정의
4. 회로 » PCB 업데이트
5. 부품배치
6. Design Rule / 클래스 설정

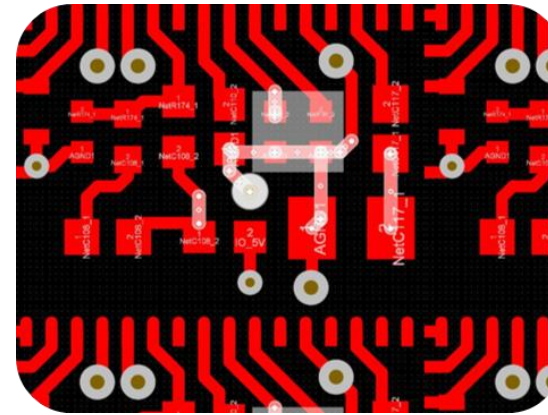
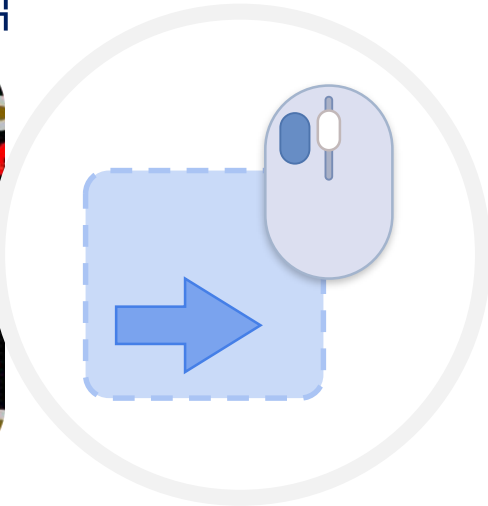
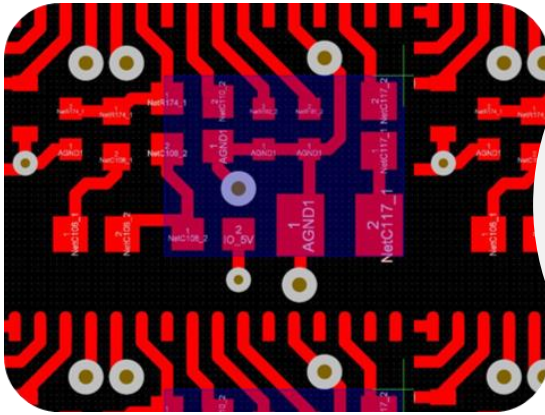
7. 라우팅
8. 폴리곤 만들기
9. 비아스티칭/드릴링/패드보강
10. 로고 만들기
11. DRC 검사
12. 기타

라우팅

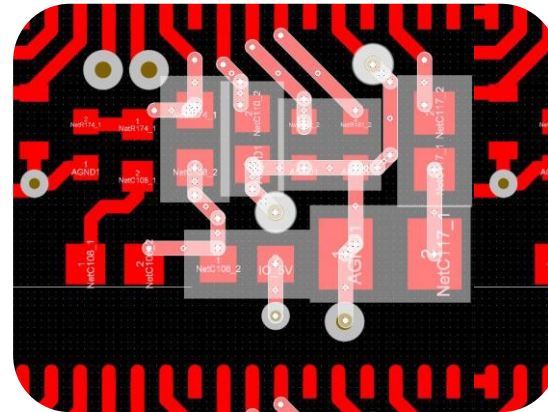
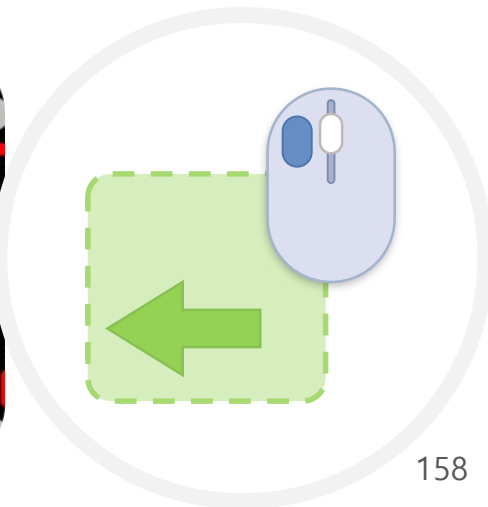
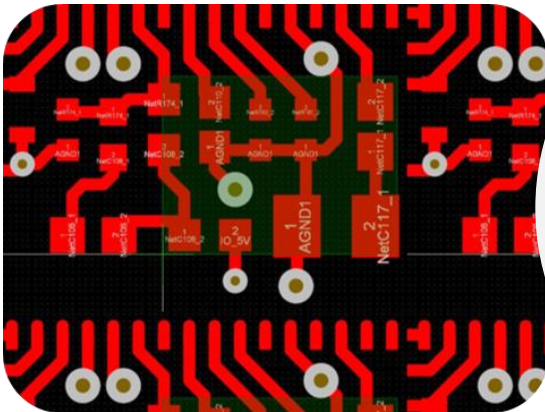
1. 라우팅 환경설정
2. Interactive Routing
3. Interactive Differential Pair Routing
4. Interactive Multi-Routing

마우스 커서 이동방향에 따른 객체 선택 방법

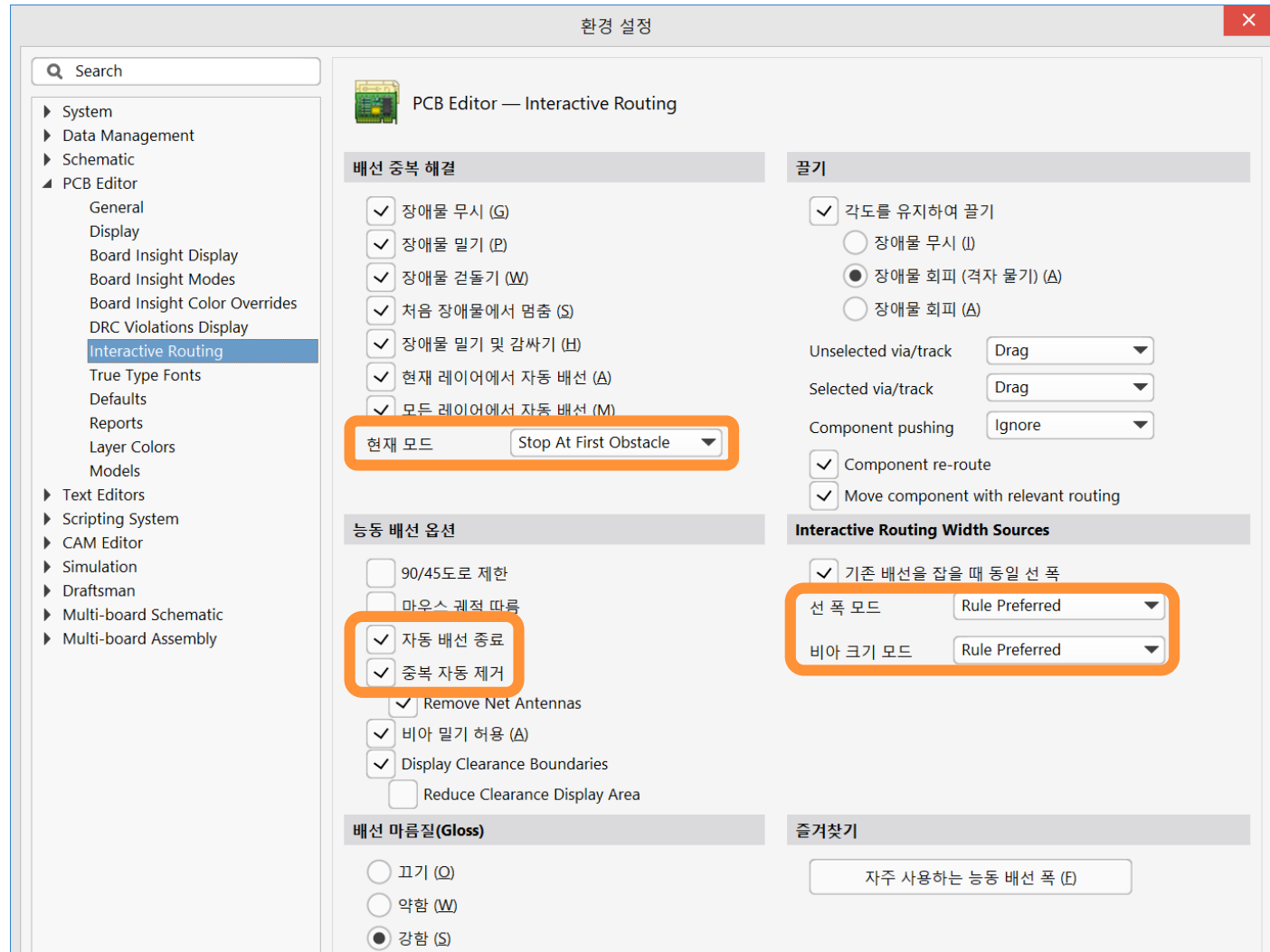
- 마우스 오른쪽 - 박스 안쪽 선택



- 마우스 왼쪽 - 모든 선택 객체



라우팅 환경설정

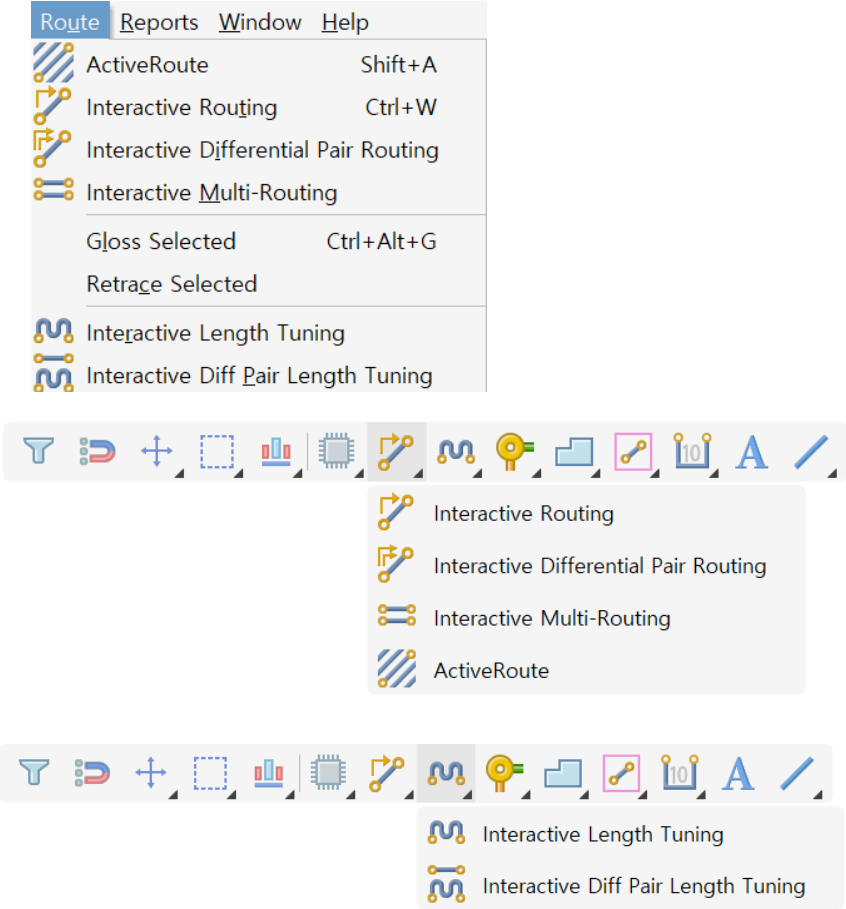


배선규칙

- 배선 길이는 짧게 하며, 레이어별 가로와 세로를 나눠서 배선한다.
- 배선각도는 직각 배선을 하지 않는다.
- T분기 배선 금지하며, 배선 연결은 패드나 비아를 통해서 진행한다.
- 고속신호에서는 최대한 Via 사용을 줄인다.
- 아날로그 회로와 디지털 회로를 분리한다.
- GND는 가능한 Copper 로 만들며, 리턴패스를 고려해서 비아를 배치한다.

배선

- 배선 관련 기능은 Route메뉴, 또는 ActiveBar에서 실행할 수 있습니다.
- 배선 도중 "~"버튼을 누르면 배선 관련 메뉴가 팝업됩니다.

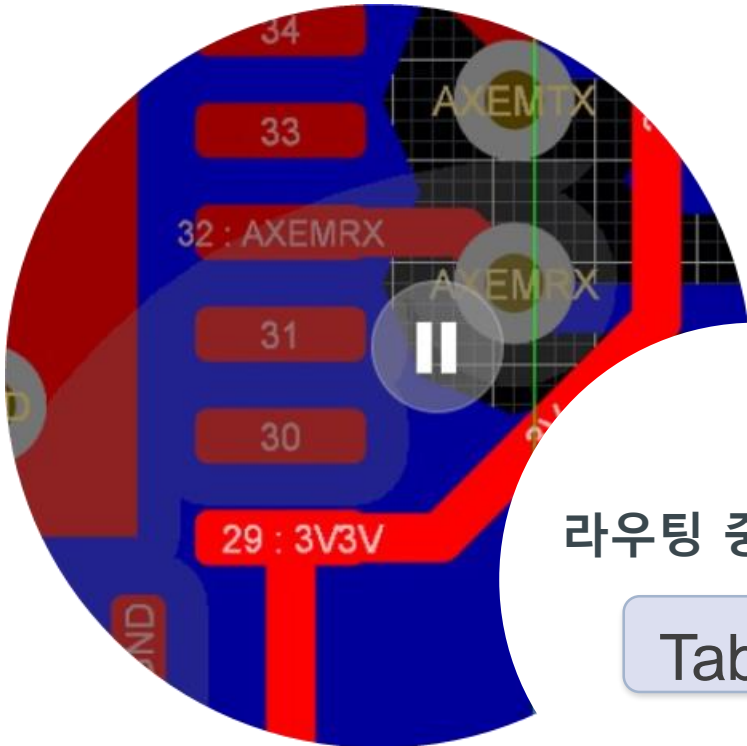


Help	F1
Pause interactive process	Tab
Suspend	Esc
Commit	Enter
Undo Commit	BkSp
Autocomplete Segments To Target (Ctrl+Click)	
Look Ahead Mode	1
Toggle Elbow Side	Space
Cycle Corner Style	Shift+Space
Toggle Routing Mode	Shift+R
Toggle Follow Mouse Trail Mode	5
<input checked="" type="checkbox"/> Toggle Loop Removal	Shift+D
<input checked="" type="checkbox"/> Show Clearance Boundaries	Ctrl+W
Toggle 'Follow' Mode	Shift+F
Choose Favorite Width	Shift+W
Choose Favorite Via Size	Shift+V
Cycle Track-Width Source	3
Cycle Via-Size Source	4

Next Layer	Num +
Next Layer	Num *
Previous Layer	Num -
Select Layer	Ctrl+L
Switch Layer For Current Trace	L
Add Fanout Via and Suspend	/
Add Via (No Layer Change)	2
Change Routing Transition	6
Select Routing Transition	8
Next Routing Target	7
Swap To Opposite Route Point	9
Add Accordions	Shift+A
Toggle Length Gauge	Shift+G
Cycle Glossing Effort	Shift+Ctrl+G
Enable Subnet Swapping	Shift+C
Swap Target Subnet	Shift+T

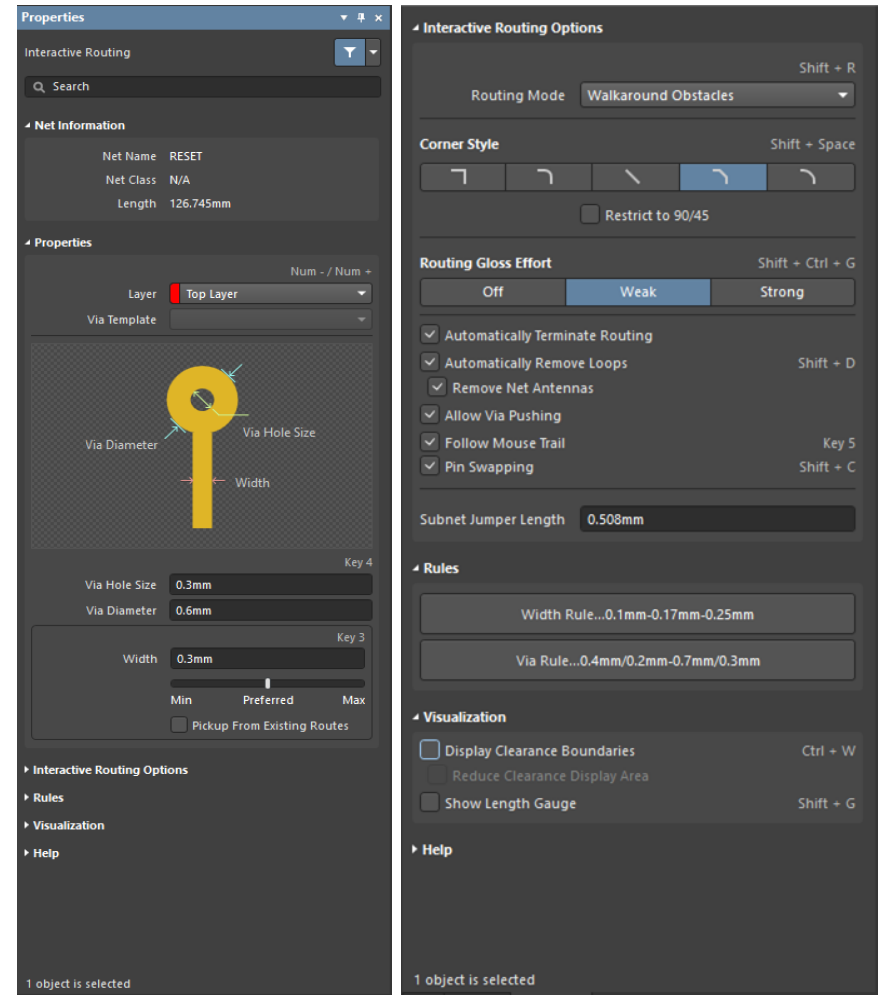
대화형 라우팅

- 배선 중 Tap 키를 입력하면 Active하게 라우팅 옵션을 변경 할 수 있다.



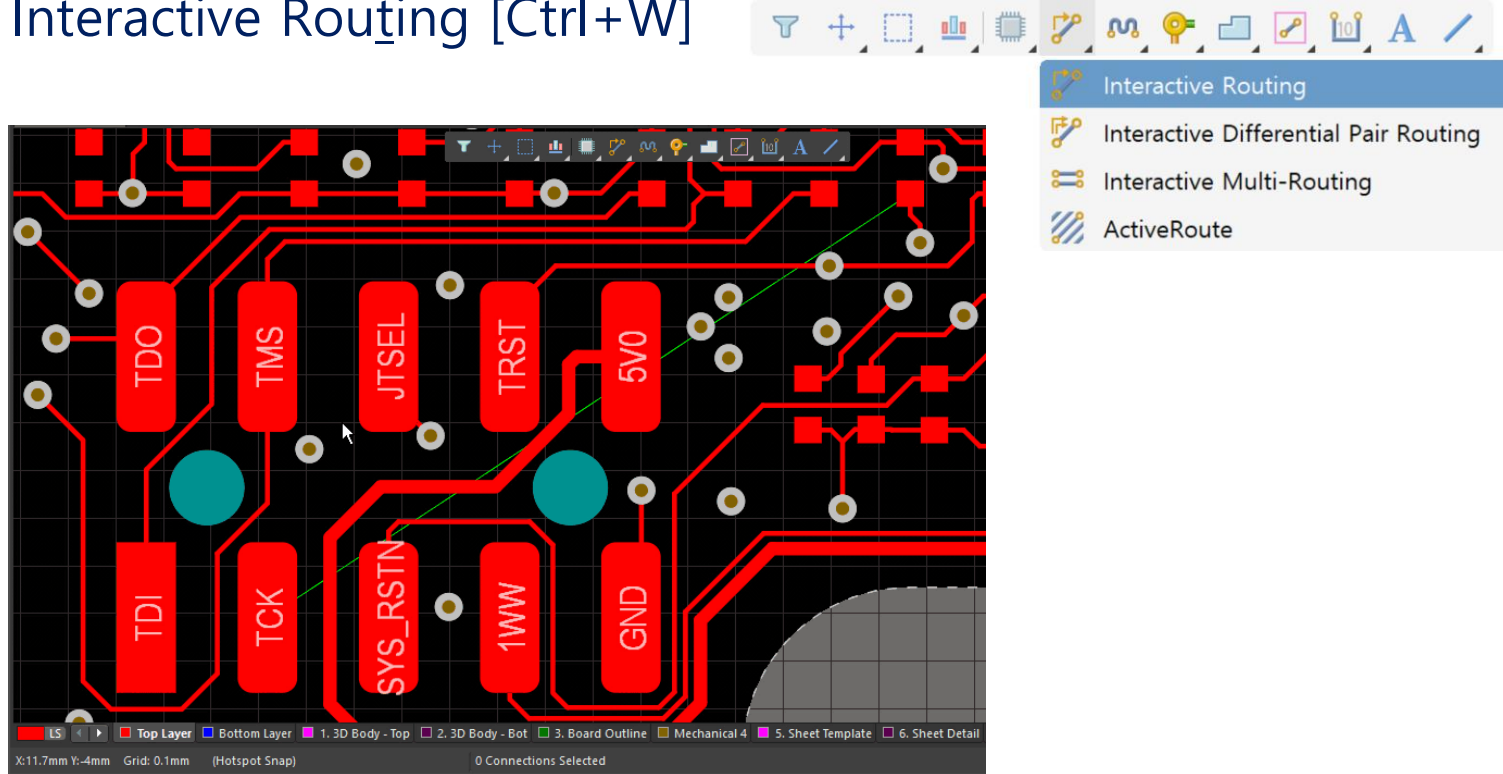
라우팅 중 Tap키

Tab



Interactive Routing

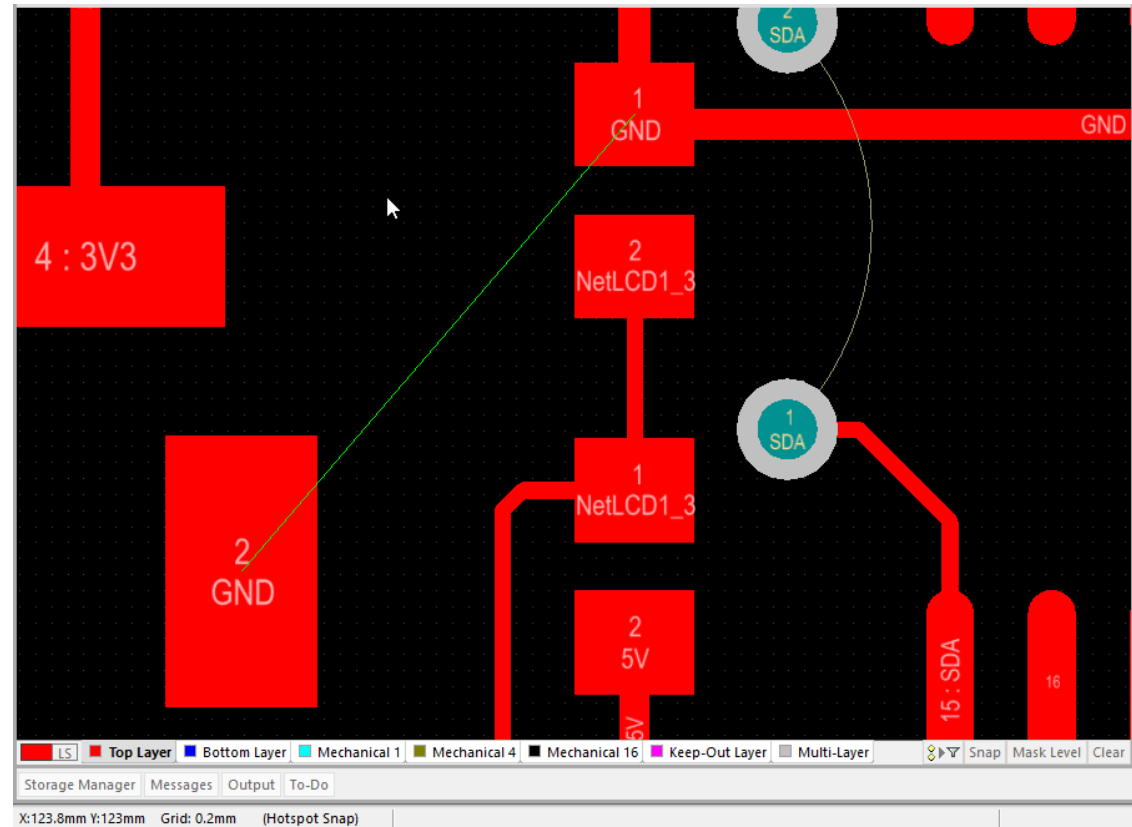
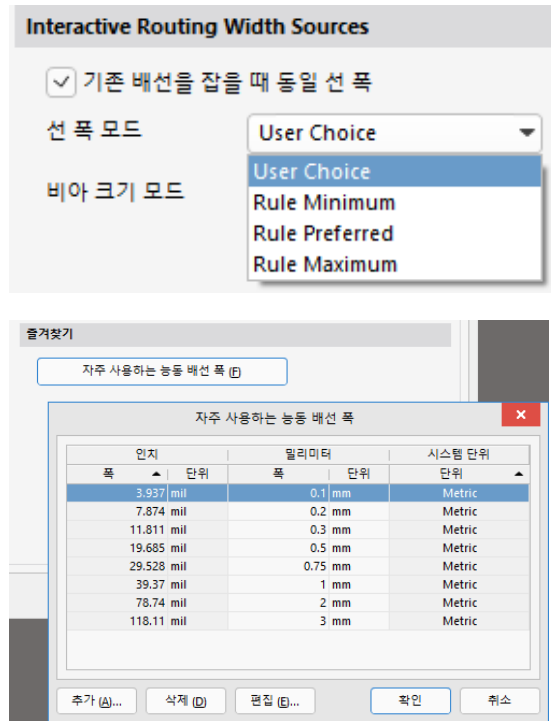
- Route » Interactive Routing [Ctrl+W]



- Routing의 기본은 45°이지만 상황에 따라서 45°, 90°, 90°Arc, Soft Arc의 형태로 바꾸어서 Routing하는 경우가 발생한다. 이 경우 Routing 진행시 각도 수정을 할 경우 [Shift+Space Bar]를 누른다.
- Top에서 Bottom으로 Layer를 변경시 [L] 버튼 클릭하면 레이어가 변경된다.

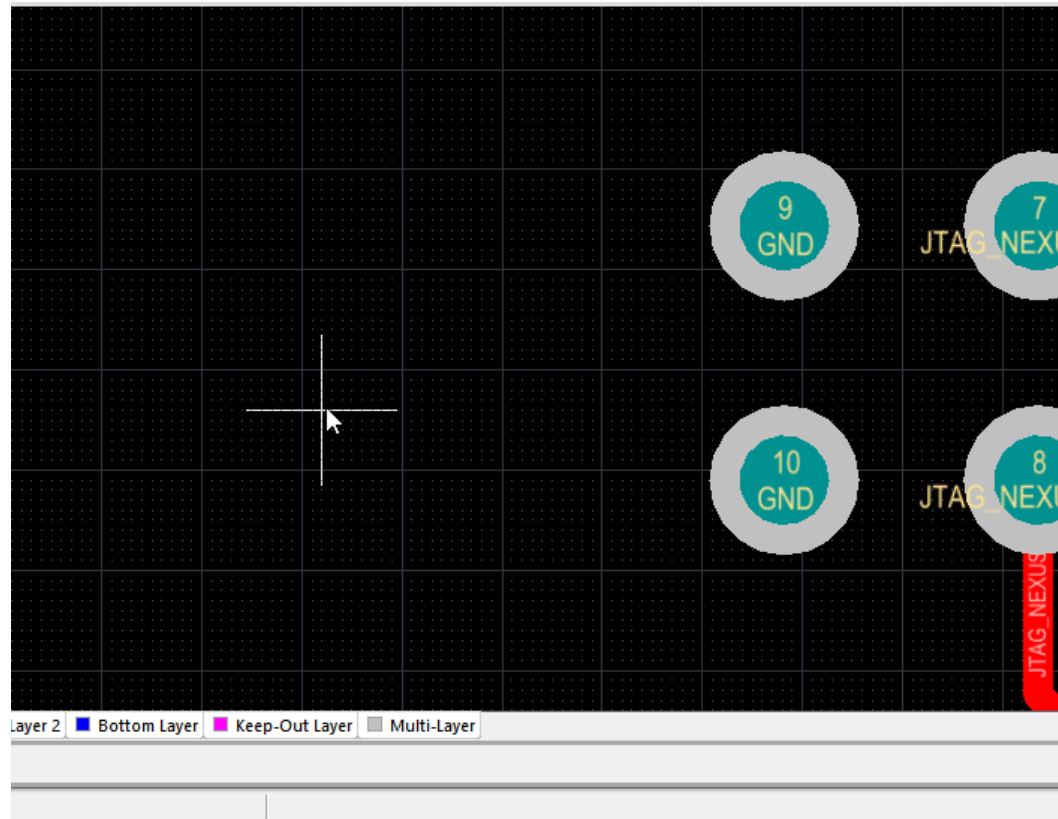
배선 중 패턴 두께 변경

- 라우팅 중 [3] 키 누르면 선 폭 모드 User Choice/Rule Minimum/Rule Preferred/Rule Maximum 스위칭
- 라우팅 중 [Shift + W] 누르면 자주 사용하는 능동 배선 폭 리스트에서 원하는 값 선택



배선 중 레이어 변경 및 비아 생성

- 라우팅 중, [*] 누르면 비아 생성 후 레이어 변경
- 라우팅 중, [2] 누르면 비아 생성 후 레이어 변경 없음
- 패드/비아에서 레이어 변경 시 [L] 선택, 오른쪽 숫자 키패드의 +,-로 레이어 이동



능동 배선 단축키 (1/2)

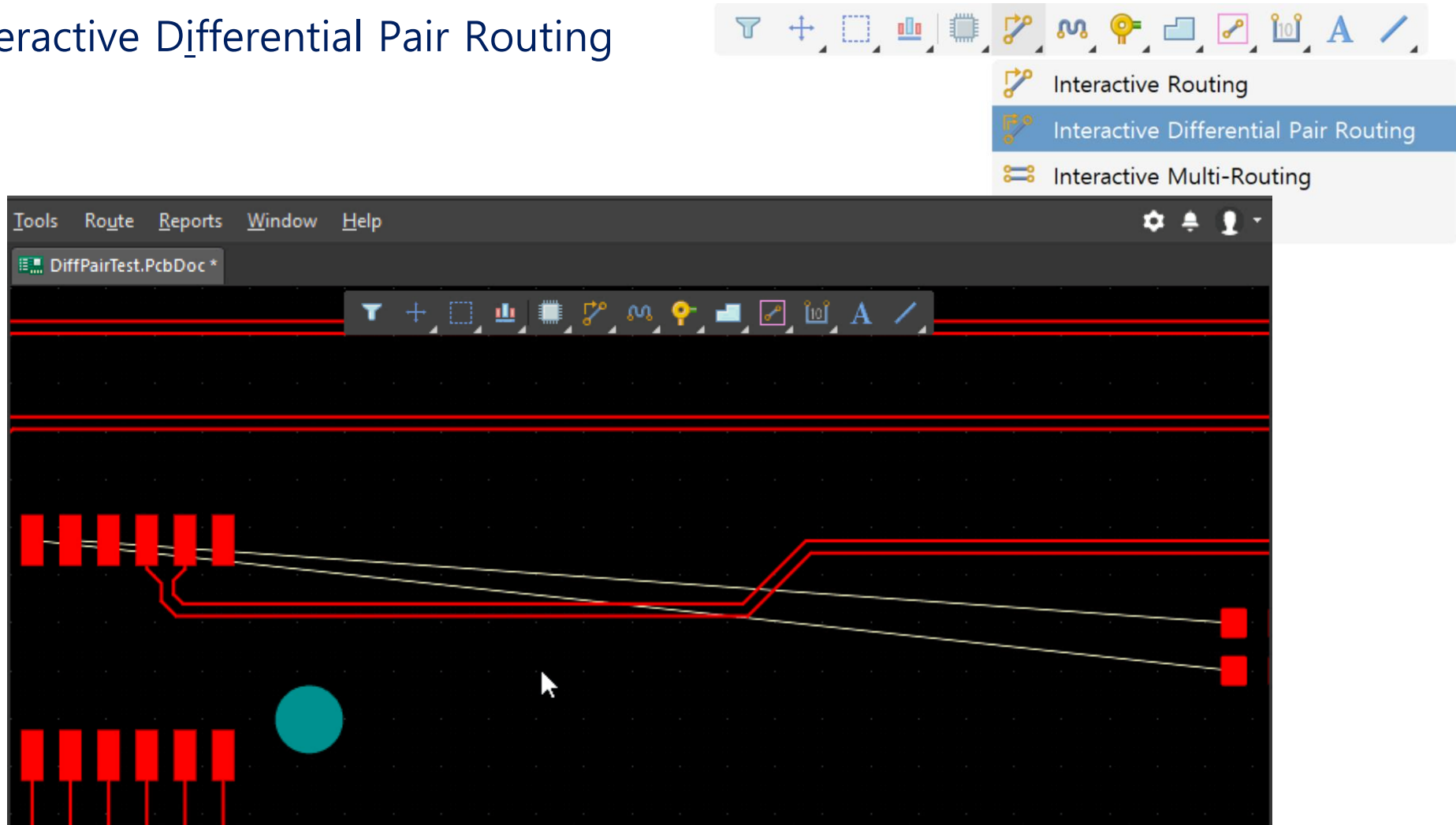
~ (tilde)	팝업 메뉴
F1	도움말 표시
Ctrl + Click	끝 지점까지 자동배선 기능
Backspace	앞 작업으로 가기
ESC	명령 취소하기
Shift + A	트랙튜닝 [길이조정 / 아코디언 작업](interactive length tuning)
Shift + G	트랙 총 길이 표시
Shift + H	상하 토글 및 허그모드 세팅
L	레이어 변경 (비아생성 안됨)
Shift + R	자동각도 및 상하반전 변경
Shift + V	자주 사용하는 Via를 대화창 보면서 선택
Shift + W	자주 사용하는 Track를 대화창 보면서 선택
(comma)	Arc 라우팅 모드에서 Arc각도 늘리기 조정
Shift + (comma)	Arc 라우팅 모드에서 Arc각도 늘리기 10 × 조정

능동 배선 단축키 (2/2)

~ (tilde)	팝업 메뉴
.(full stop / period) Arc	라우팅 모드에서 Arc각도 줄이기 조정
Shift + .(dot) Arc	라우팅 모드에서 Arc각도 줄이기 조정 × 조정
+ (plus)	다음 레이어 변경-자동 비아생성 (numeric keyPad)
- (Minus)	이전 레이어 변경-자동 비아생성 (numeric keyPad)
* (multiply)	다음 레이어 변경-자동 비아생성 (numeric keyPad)
spacebar 상하반전	Shift + spacebar 배선 각도 변경 (45 , 90 , 90 Arc, Soft Arc)
Tab	트랙에 대한 속성창 보기
1	현재 레이어에 Via 추가 기능에서 Via 위치를 앞/뒤 선택
2	현재 레이어에 Via 추가 기능
3	사용했던 트랙 두께 선택
4	사용했던 Via 선택
7	서로 여러개 연결된 Net를 원하는 하나의 Net 선택시 사용
9	연결된 Net에 반대편 쪽으로 이동

Interactive Differential Pair Routing

- Route » Interactive Differential Pair Routing



능동 차동 배선 단축키 (1/2)

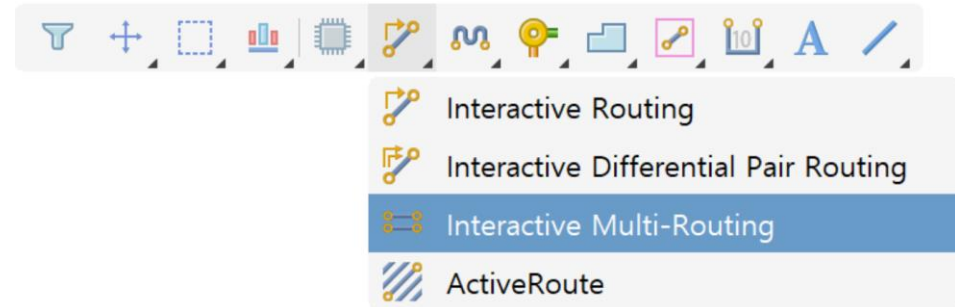
~ (tilde)	팝업 메뉴
Ctrl + Click	끝지점까지 자동배선 기능
Backspace	앞 작업으로 가기
Shift + Backspace	마지막 작업 제거
ESC	명령 취소하기
Shift + R	자동각도 및 상하반전 변경
Shift + W	자주 사용하는 Track을 대화창 보면서 선택
Enter	현재 위치에서 한 세그먼트 지정
+ (plus)	다음 레이어 변경-자동 비아생성 (numeric keyPad)
- (Minus)	이전 레이어 변경-자동 비아생성 (numeric keyPad)
* (Multiply)	다음 레이어 변경-자동 비아생성 (numeric keyPad)
Spacebar	상하반전
Shift + Spacebar	배선 각도 변경 (45 , 90 , 90 Arc, Soft Arc)
Tab	트랙에 대한 속성창 보기

능동 차동 배선 단축키 (2/2)

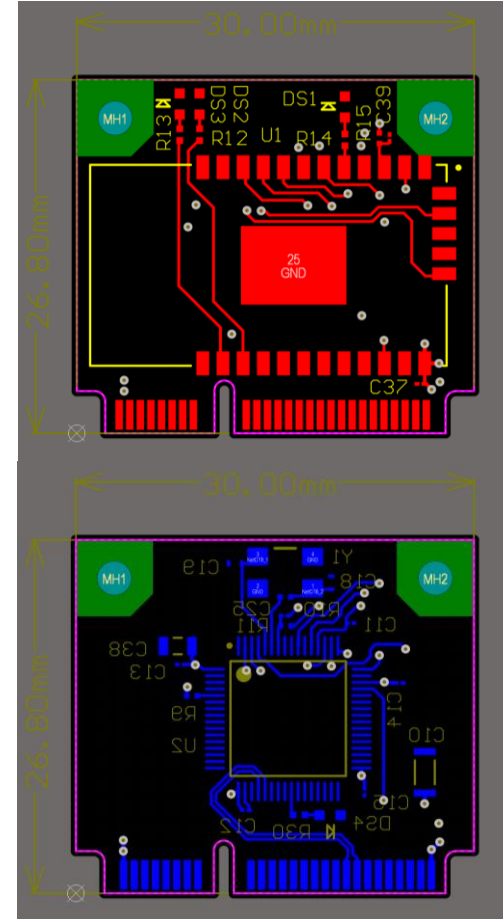
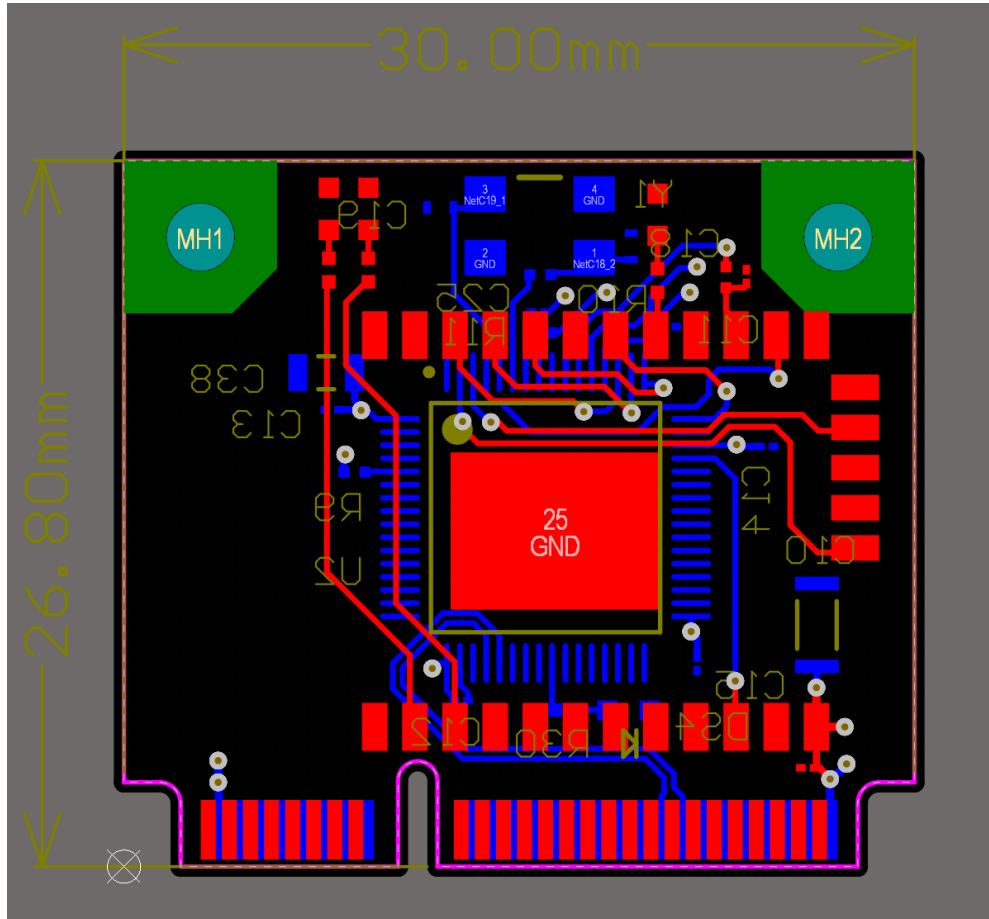
~ (tilde)	팝업 메뉴
3	사용했던 트랙 두께 선택
4	사용했던 Via 선택
5	서로 여러개 연결된 Net에 반대편 쪽으로 이동
6	연결된 Net에 반대편 쪽으로 이동
7	서로 여러개 연결된 Net를 원하는 하나의 Net 선택시 사용

멀티 배선

- Interactive Multi-Routing은 다수의 배선을 동시에 진행할 때 사용한다.
- Shift키를 눌러서 여러 개의 패드를 선택 후, Route » Interactive Multi-Routing를 실행한다.



배선 완료



PCB 설계

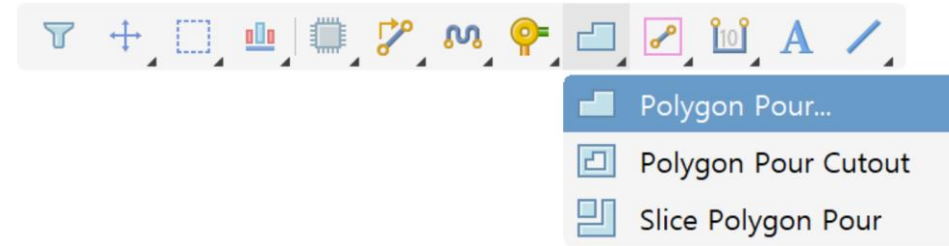
1. PCB Editor UI
2. 적층구조 설정
3. PCB 기판 모양 정의
4. 회로 » PCB 업데이트
5. 부품배치
6. Design Rule / 클래스 설정
7. 라우팅
8. 폴리곤 만들기
9. 비아스티칭/드릴링/패드보강
10. 로고 만들기
11. DRC 검사
12. 기타

폴리곤 만들기

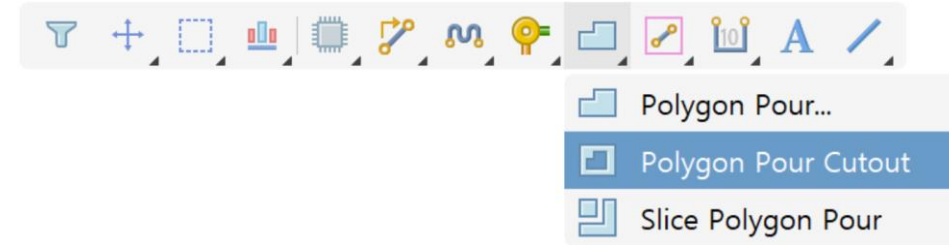
1. Polygon 배치/수정/분할/잘라내기/병합
2. Polygon Manager

Polygon 배치

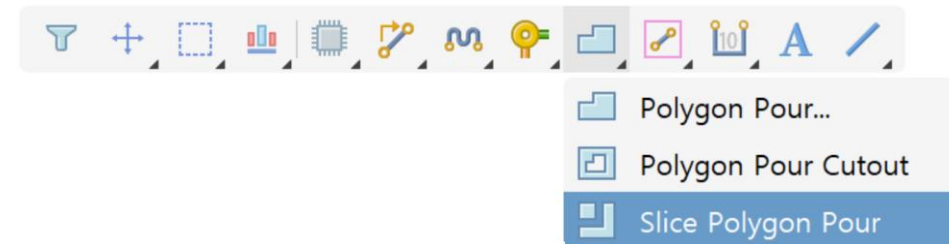
- Place » Polygon Pour...



- Place » Polygon Pour Cutout



- Place » Slice Polygon Pour



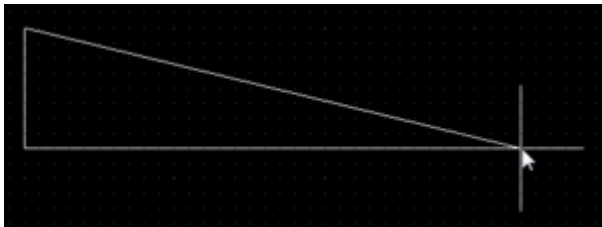
Polygon 배치

- Polygon 배치
 - **Place » Polygon Pour...** 실행
 - 원하는 위치에 마우스로 클릭
 - 다각형 편집 모드 변환 **[Shift + Space]**

- Any Angle



- Line 45/90

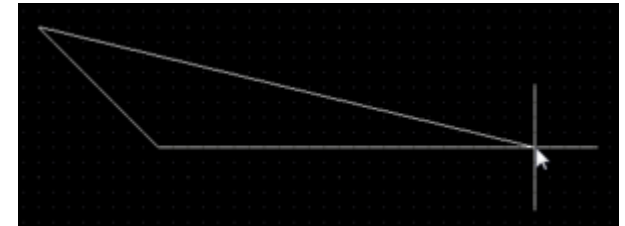


Allum Line 45/90 Width Arc (Radius: 2.54mm)

- 아크 감소:[.] 아크 증가 : [.]

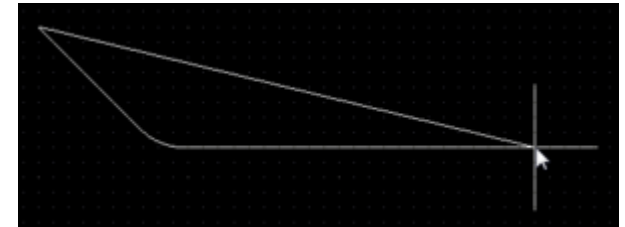


- Line 90/90 Horizontal Start / Vertical Start



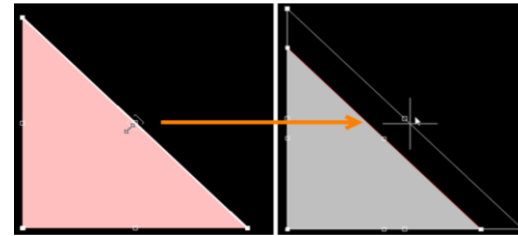
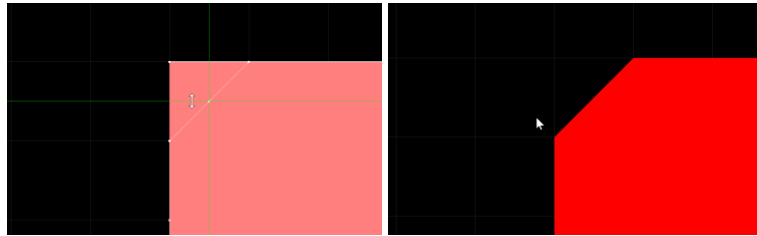
- Line 90/90 Horizontal Start With Arc (Radius: 2.54mm)

- 아크 감소 : [.] 아크 증가 : [.]

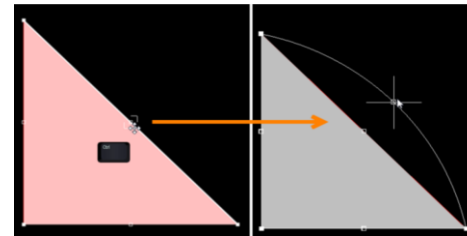
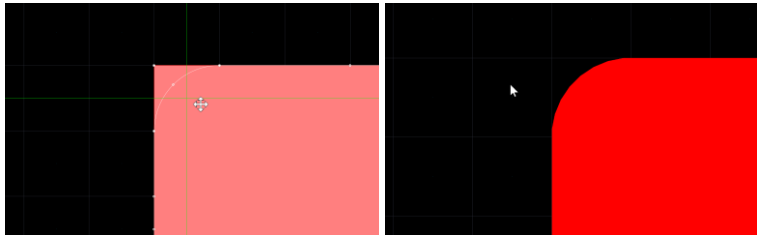


Polygon 수정

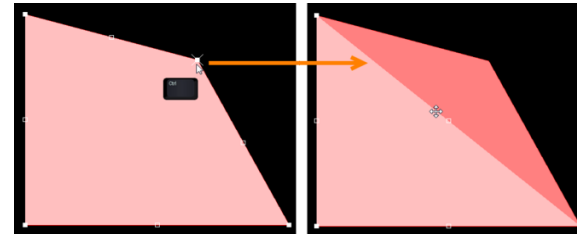
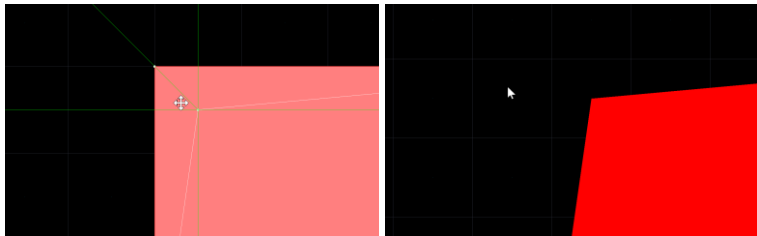
- Polygon 정점 이동
 - Polygon 선택 → Ctrl을 누르고 정점 클릭 후 이동
 - 다각형 편집 모드 변환 **[Shift + Space]**
- Mitering to segment



- Mitering to arc

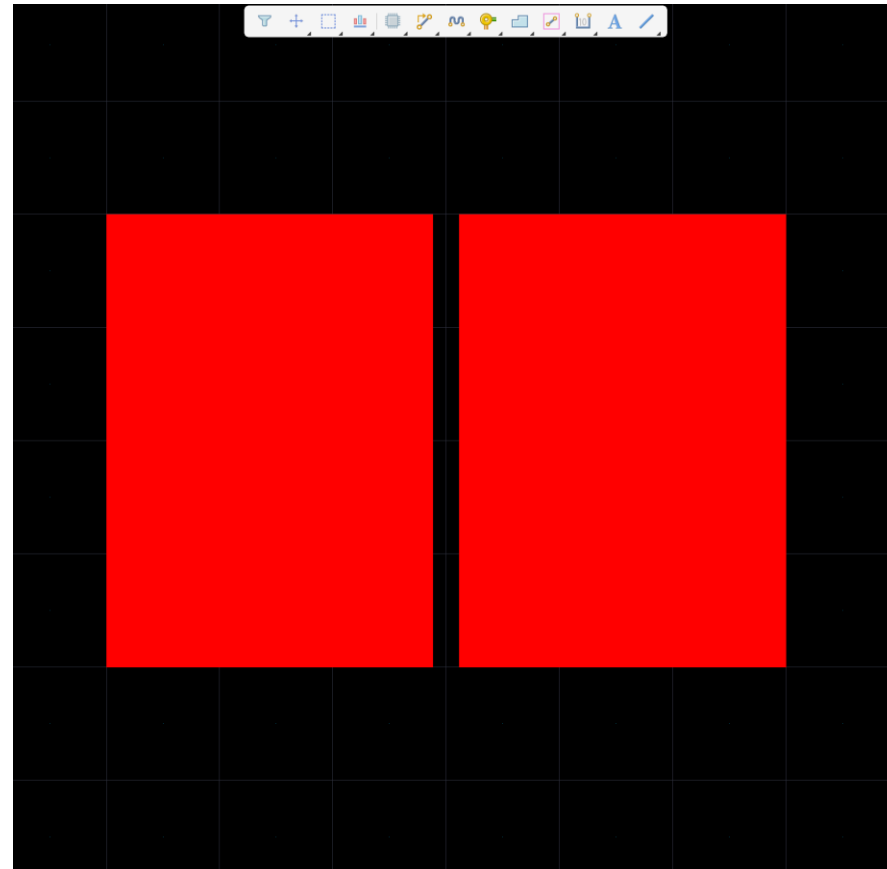
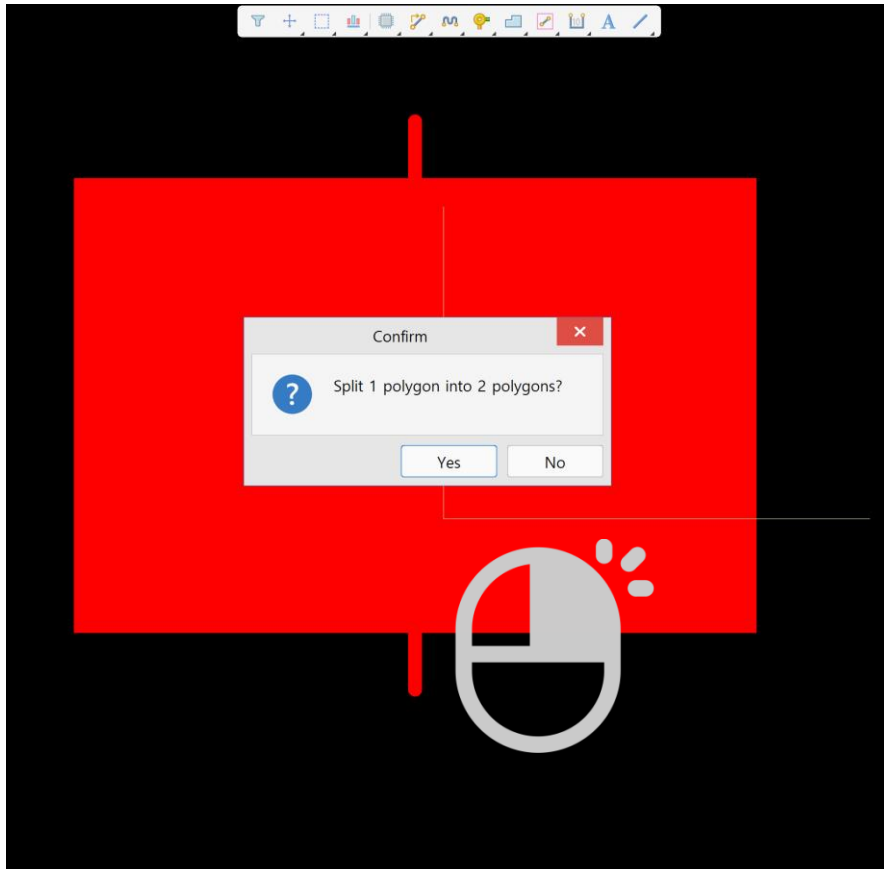


- Mitering to vertex



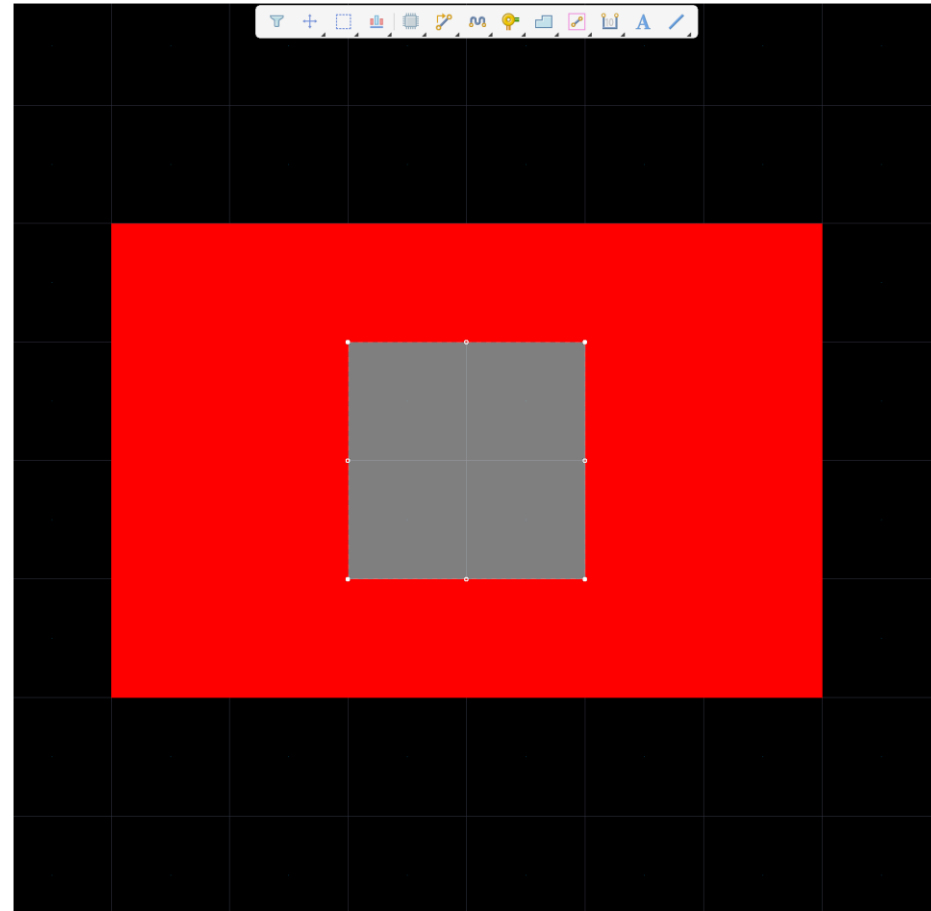
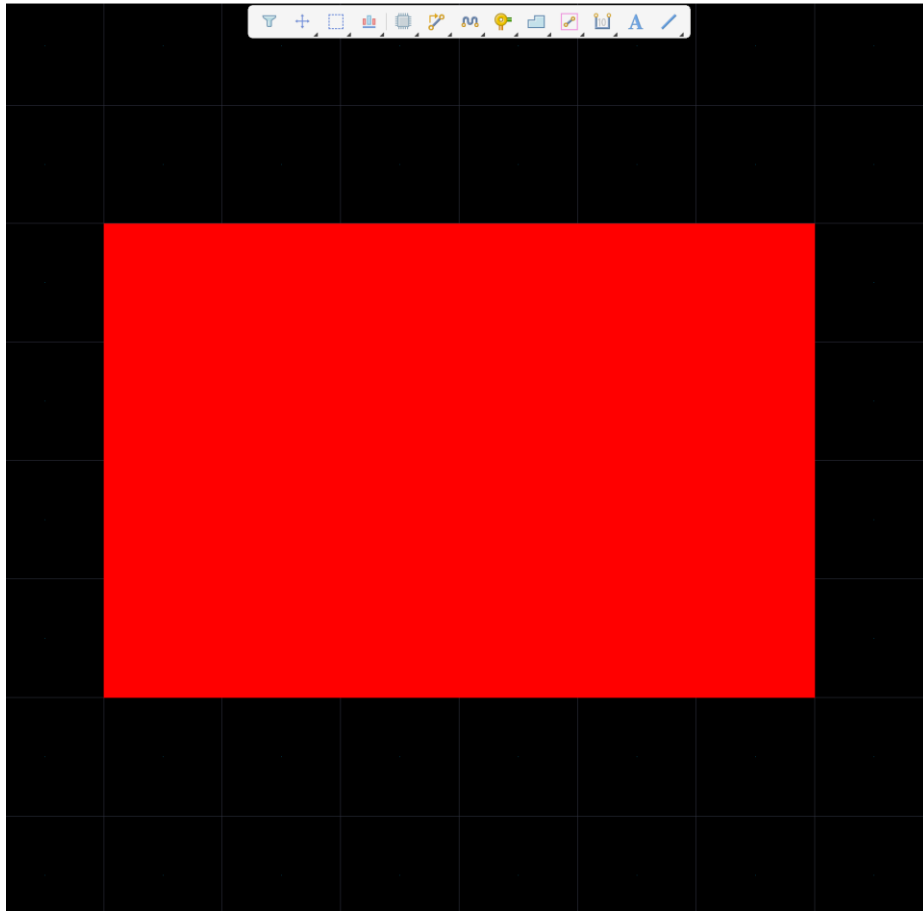
Polygon 분할

- Place » Slice Polygon Pour → Polygon을 분리를 위한 선 생성 → 마우스 오른쪽 버튼 클릭 → Split Confirm 창 팝업시 Yes 선택
- Tools » Polygon Pours » Repour All



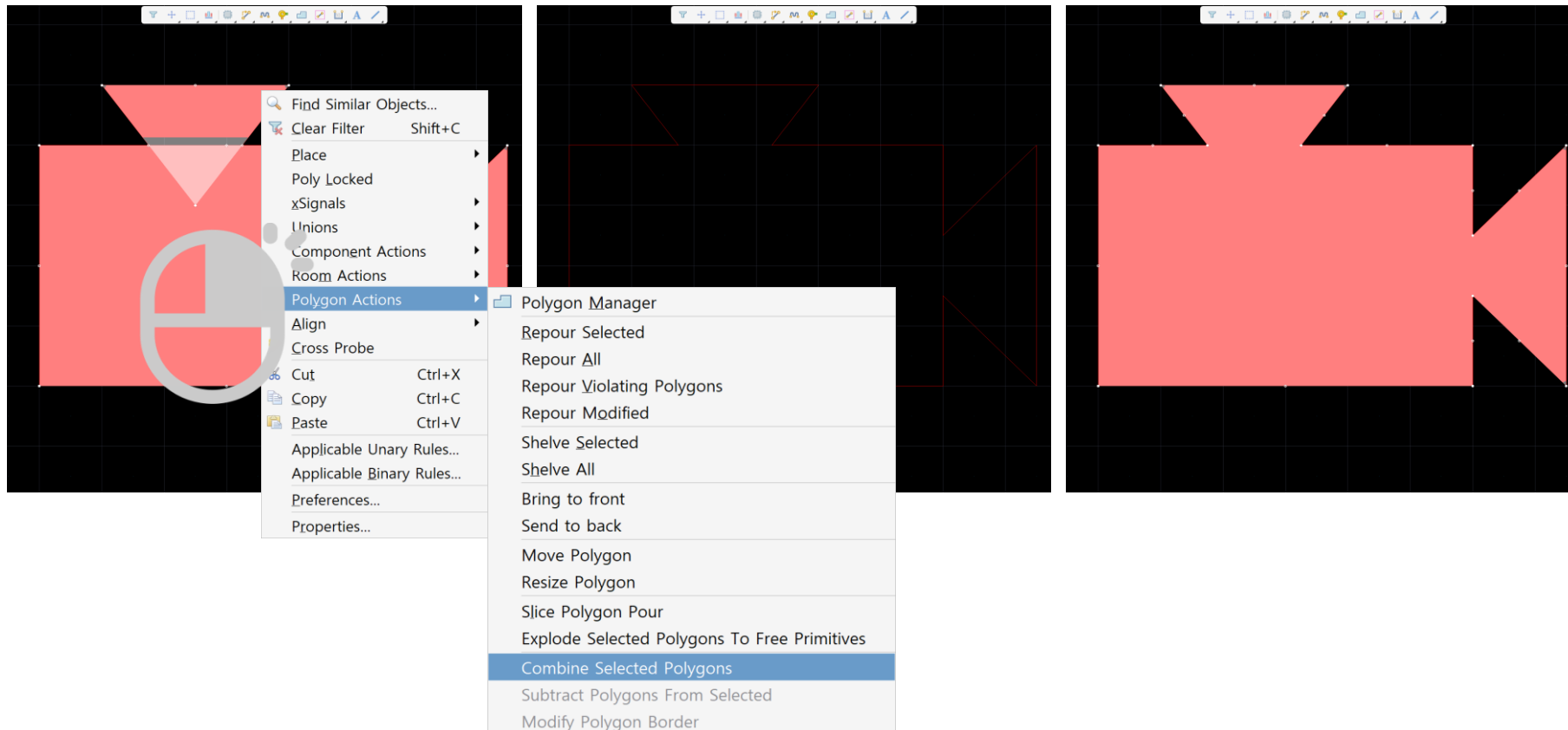
Polygon 잘라내기

- Place » Polygon Pour Cutout 실행 → Polygon을 잘라내고 싶은 영역 생성
- Tools » Polygon Pours » Repour All



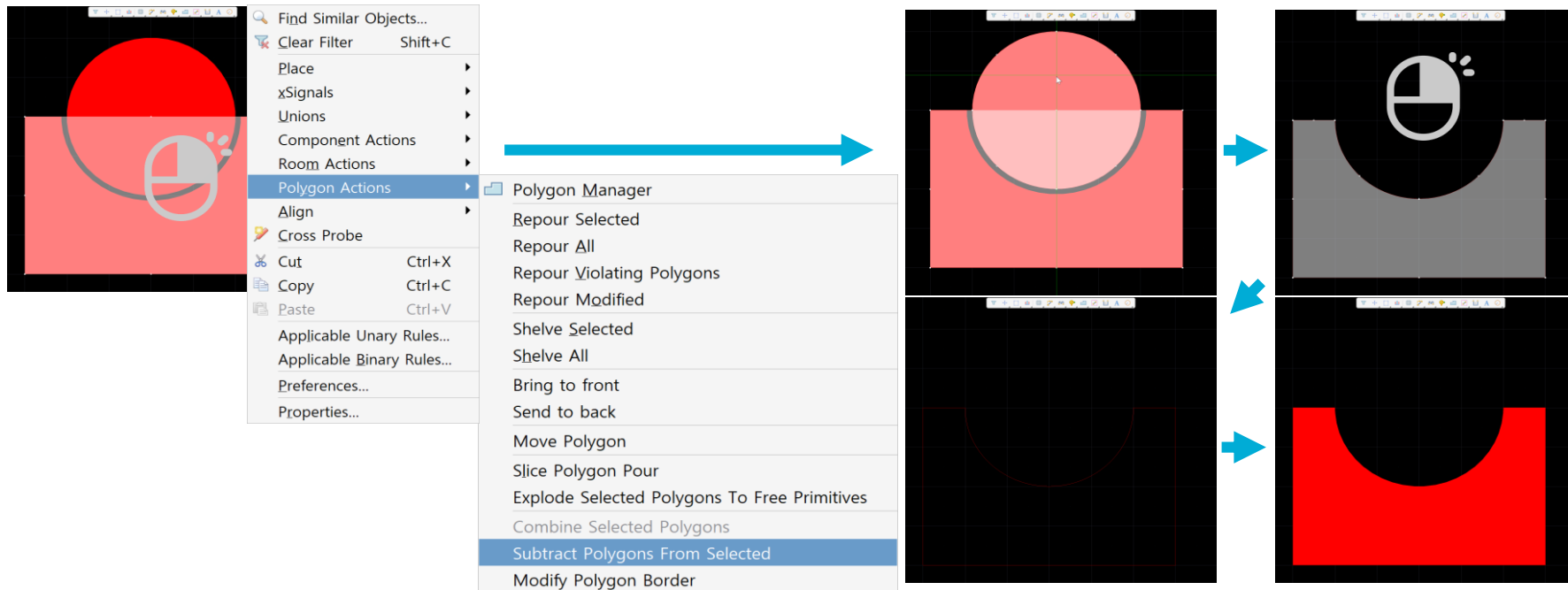
Polygon 병합

- 다수의 Polygon을 하나로 합치기
 - 다수의 Polygon 선택 → 마우스 오른쪽 버튼 클릭 → **Polygon Actions** » **Combine Selected Polygons** 실행
 - **Tools** » **Polygon Pours** » **Repour All**



선택 영역 Polygon 빼기

- 선택 영역 Polygon 빼기
 - 기본 Polygon (유지할 Polygon) 선택 후, 마우스 오른쪽 버튼 클릭 → **Polygon Actions** » **Subtract Polygons From Selected** 실행 → 제거할 Polygon에 마우스 왼쪽 버튼 클릭 → 마우스 오른쪽 버튼 클릭 →
- Polygon 다시 채움 실행
 - **Tools** » **Polygon Pours** » **Repour All**
 - 선택 → 명령 실행 → 기본 다각형에서 뺄 다각형 선택

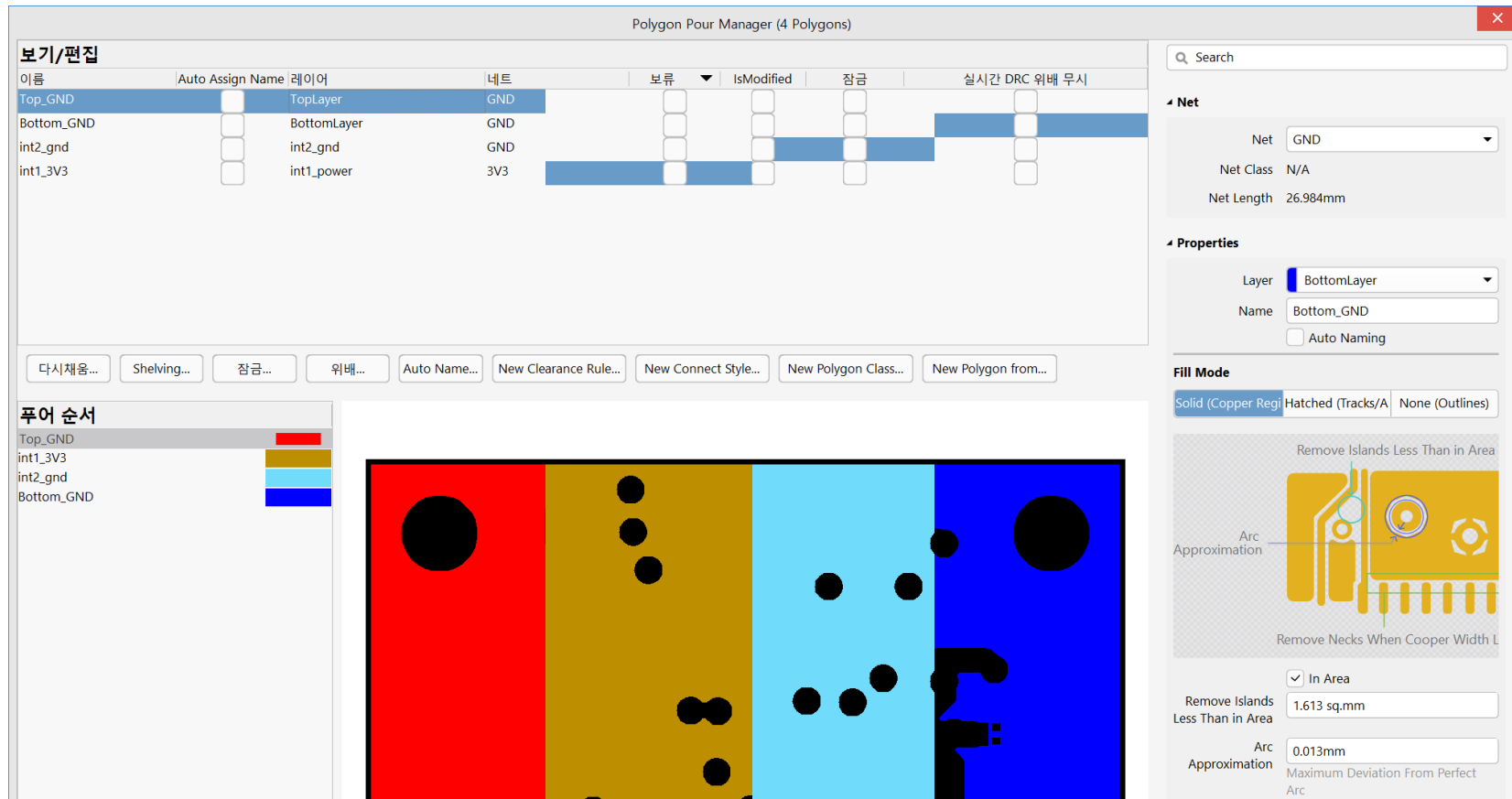


폴리곤 만들기

1. Polygon 배치/수정/분할/잘라내기/병합
2. **Polygon Manager**

Polygon Pour Manager

- Iool » Polygon Pours » Polygon Manager [단축키 T » G » M]를 실행한다.
- Polygon Pour Manager에서 다각형 속성 변경, 푸어 순서 설정, 규칙 생성, 복사 및 삭제를 사용할 수 있다.



Polygon Pour Manager

Properties ▼ ✕

Polygon Pour Components (and 12 more) ▼

Net

Net GND ▼

Net Class N/A

Net Length 26.984mm

Properties

Layer TopLayer ▼

Name Top_GND

☐ Auto Naming

Fill Mode

Solid (Copper Regions) Hatched (Tracks/Arcs) None (Outlines)

Remove Islands Less Than in Area

Arc Approximation

Remove Necks When Copper Width Less Than

☒ In Area

Remove Islands Less Than in Area 1.613 sq.mm

Arc Approximation 0.013mm

Maximum Deviation From Perfect Arc

☒

Remove Necks When Copper Width Less Than 0.127mm

Pour Over All Same Net Objects ▼

☒ Remove Dead Copper

Outline Vertices

1 object is selected

Net

Net GND ▼

Net Class N/A

Net Length 26.984mm

Properties

Layer TopLayer ▼

Name Top_GND

☐ Auto Naming

Pour Over All Same Net Objects ▼

☒ Remove Dead Copper

PCB 설계

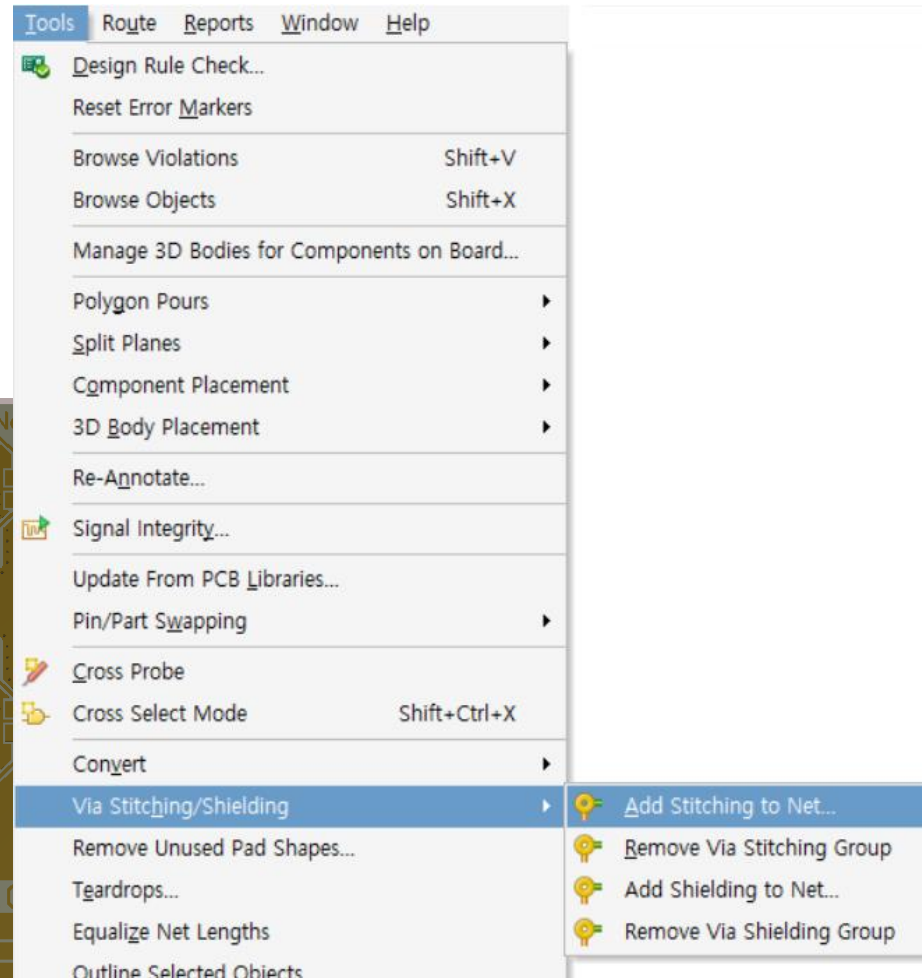
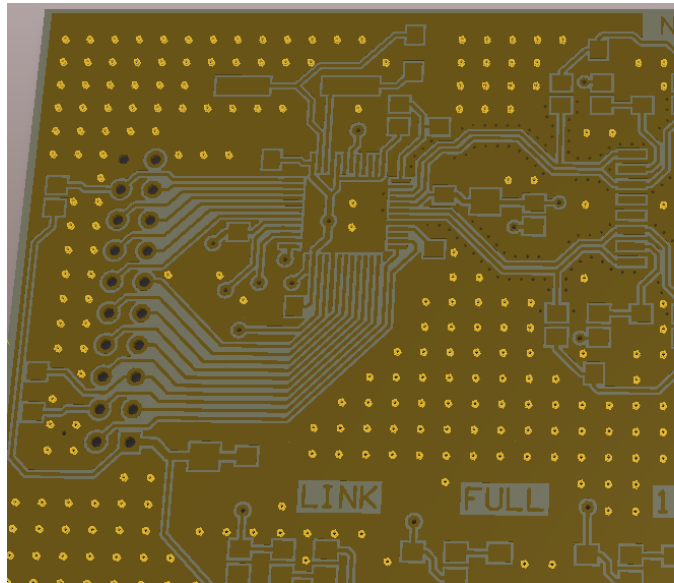
1. PCB Editor UI
2. 적층구조 설정
3. PCB 기판 모양 정의
4. 회로 » PCB 업데이트
5. 부품배치
6. Design Rule / 클래스 설정
7. 라우팅
8. 폴리곤 만들기
9. 비아스티칭/드릴링/패드보강
10. 로고 만들기
11. DRC 검사
12. 기타

비아스티칭/숴딩/패드보강

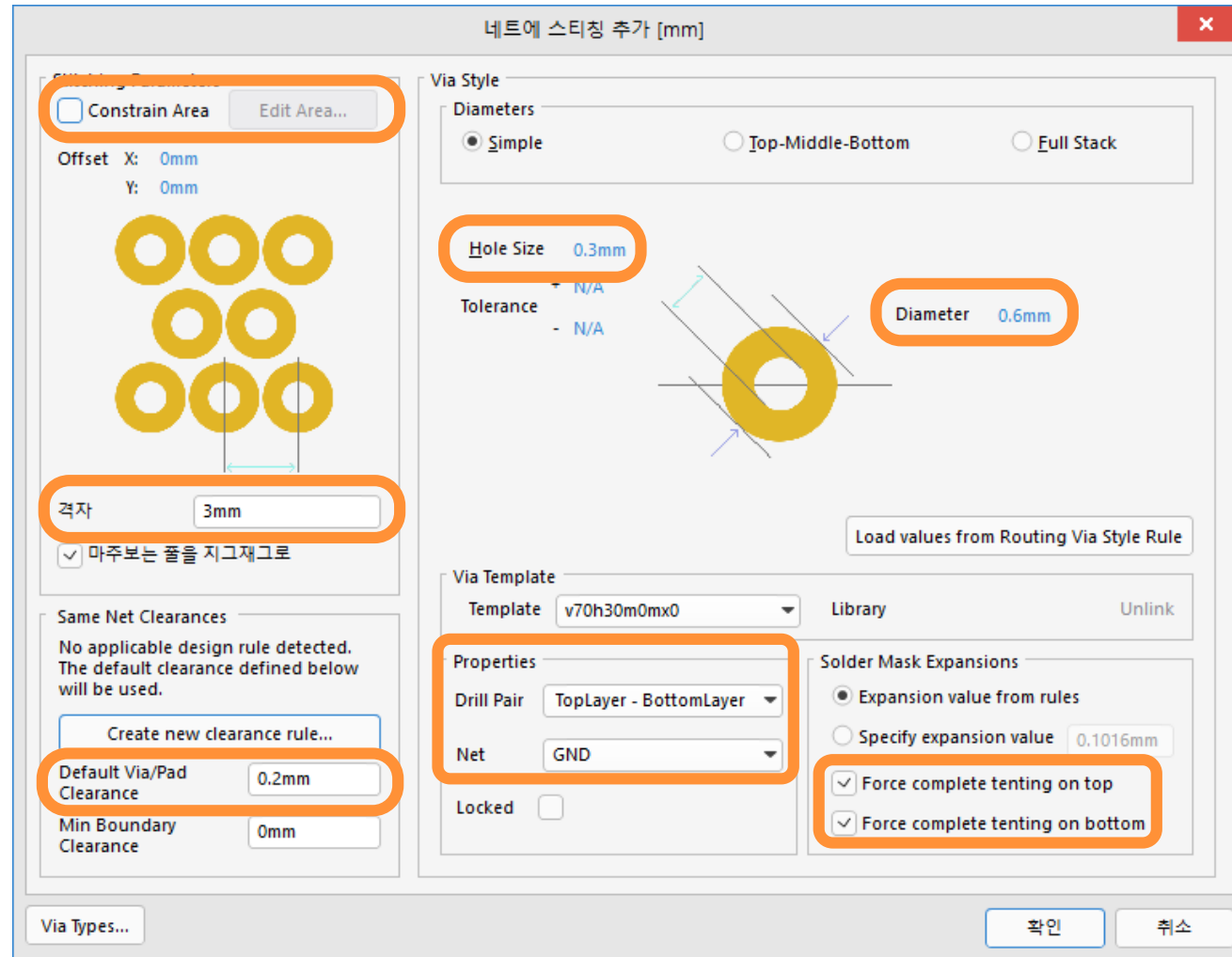
1. 비아스티칭
2. 숴딩
3. 패드보강

비아스티칭

- 비아스티칭
 - GND Copper에서 원활한 전류 흐름과 열 감소를 위해 GND Copper 면적에 비아를 생성하기 위해 사용
- Tool » Via Stitching/Shielding »
 - Add Stitching to Net...
 - Remove Via Stitching to Group...



비아스티칭

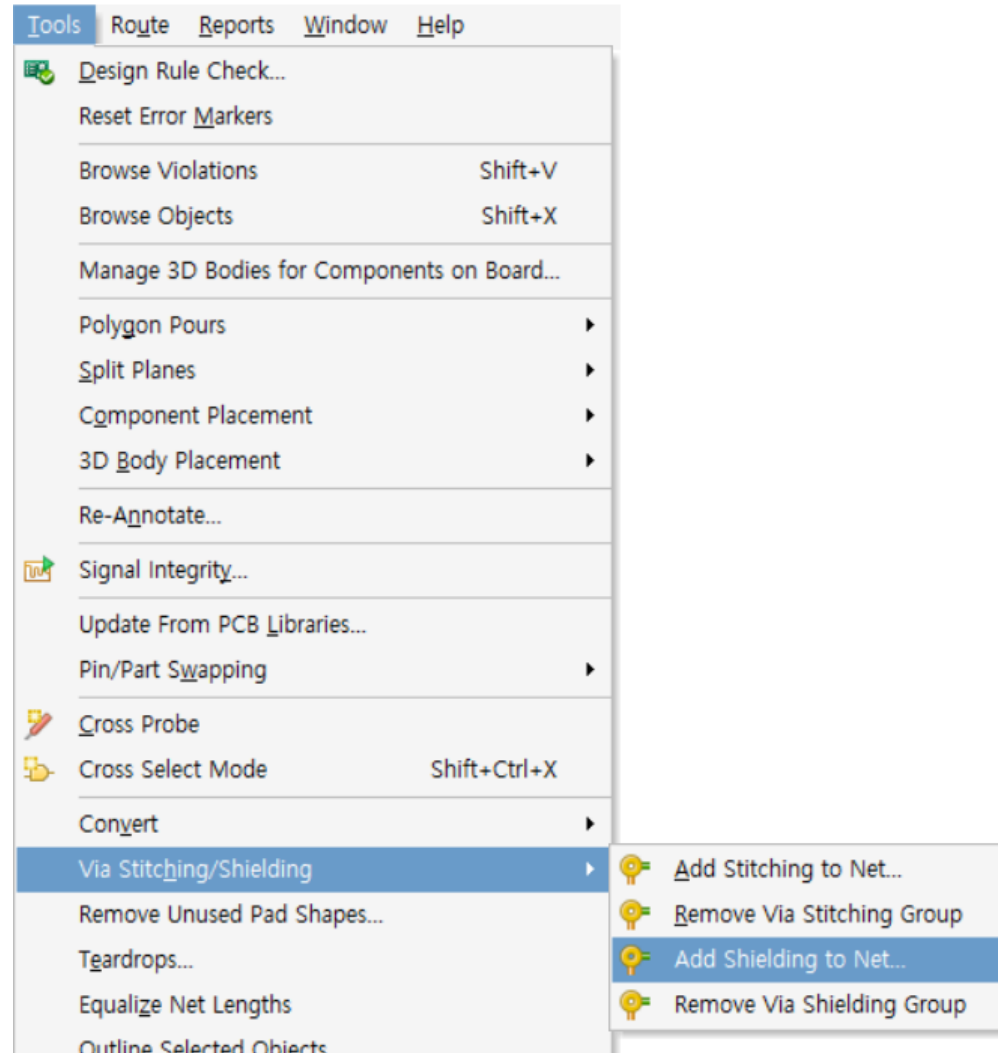
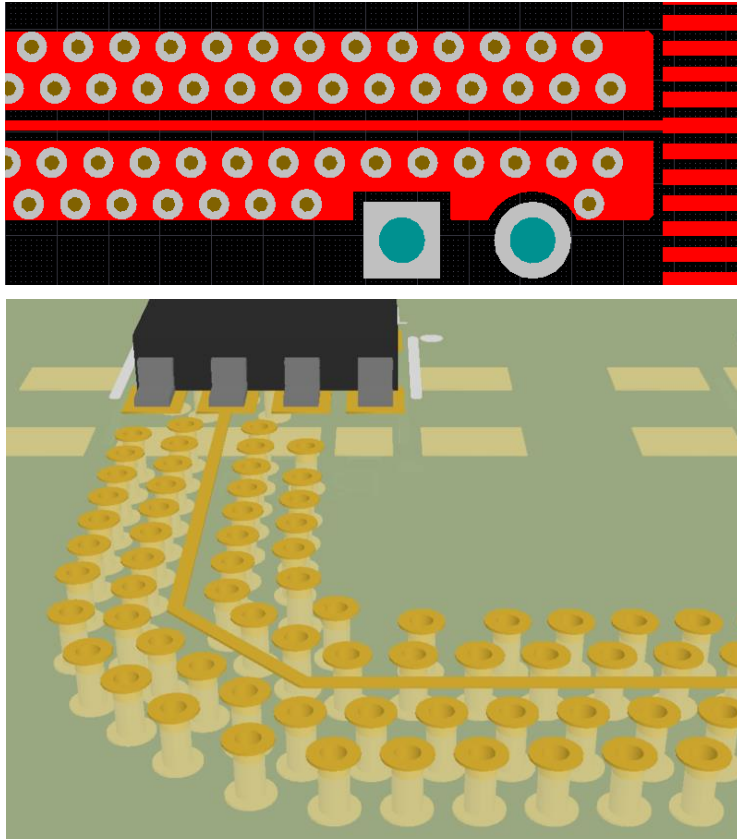


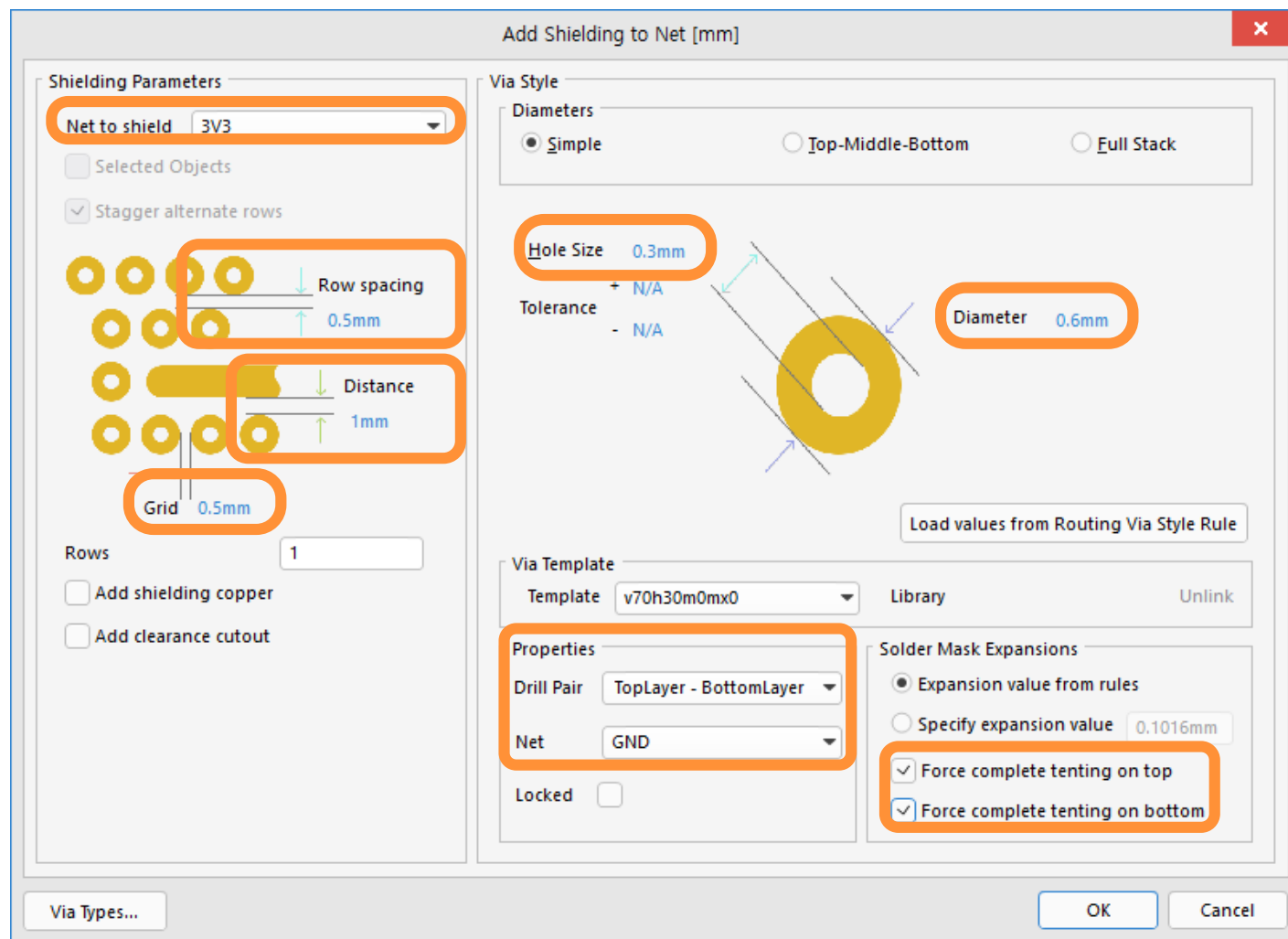
비아스티칭/쉴딩/패드보강

1. 비아스티칭
2. 쉴딩
3. 패드보강

실링

- Tool » Via Stitching/Shielding »
 - Add Shielding to Net...
 - Remove Via Shielding Group

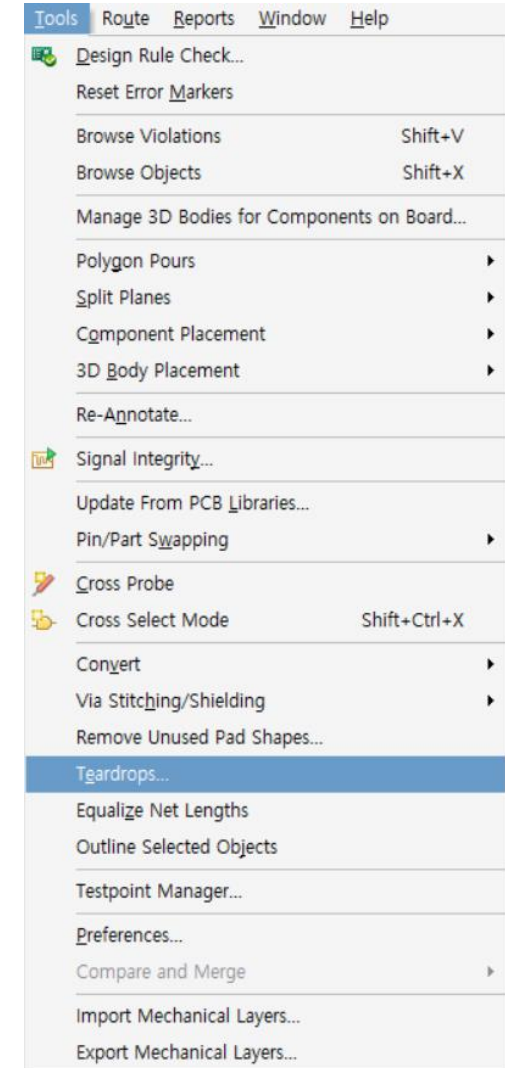
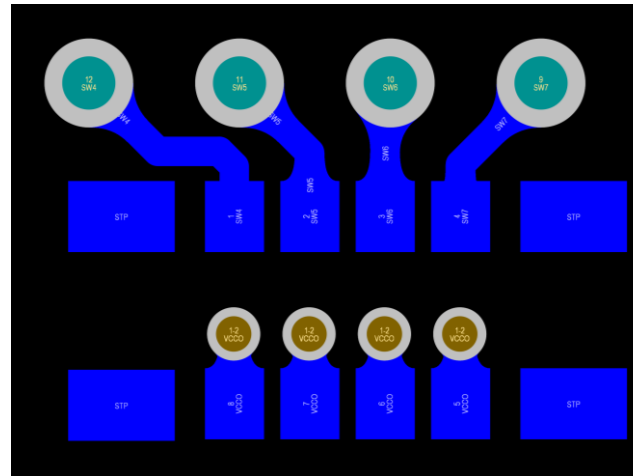
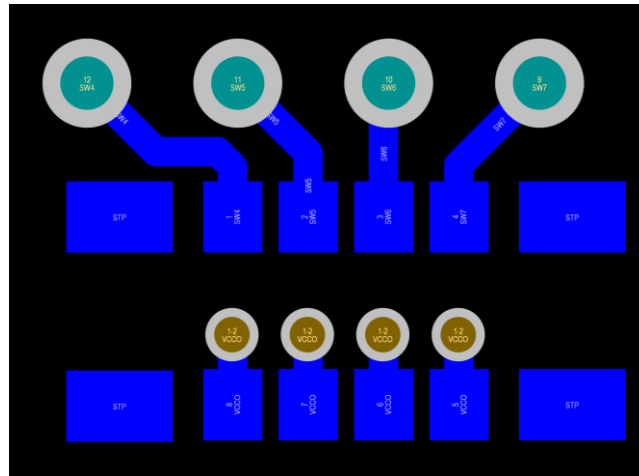
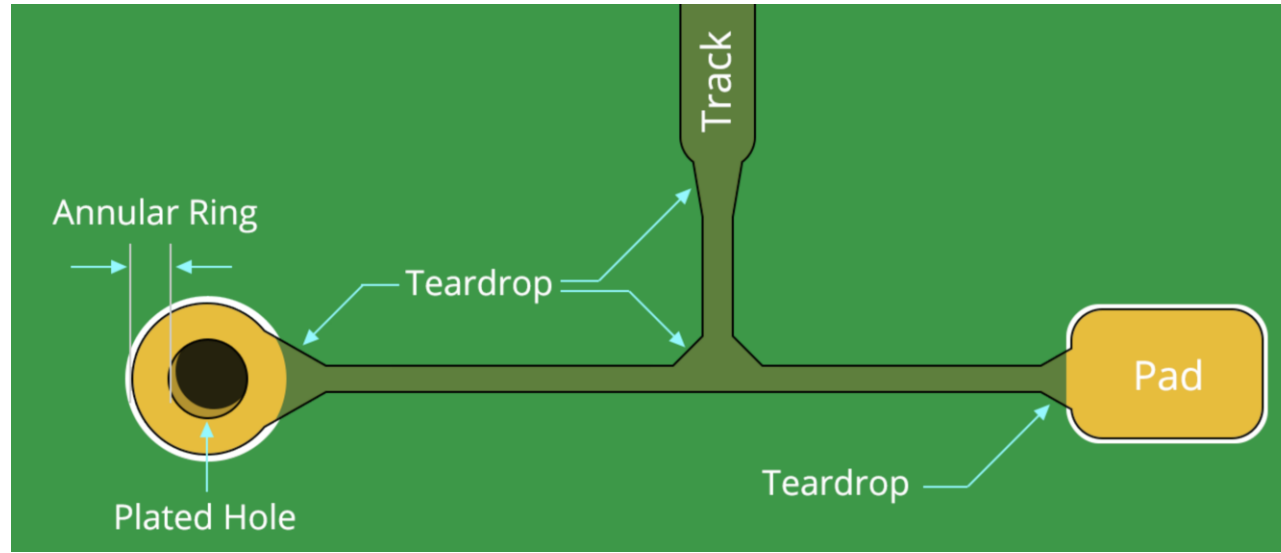




비아스티칭/숴딩/패드보강

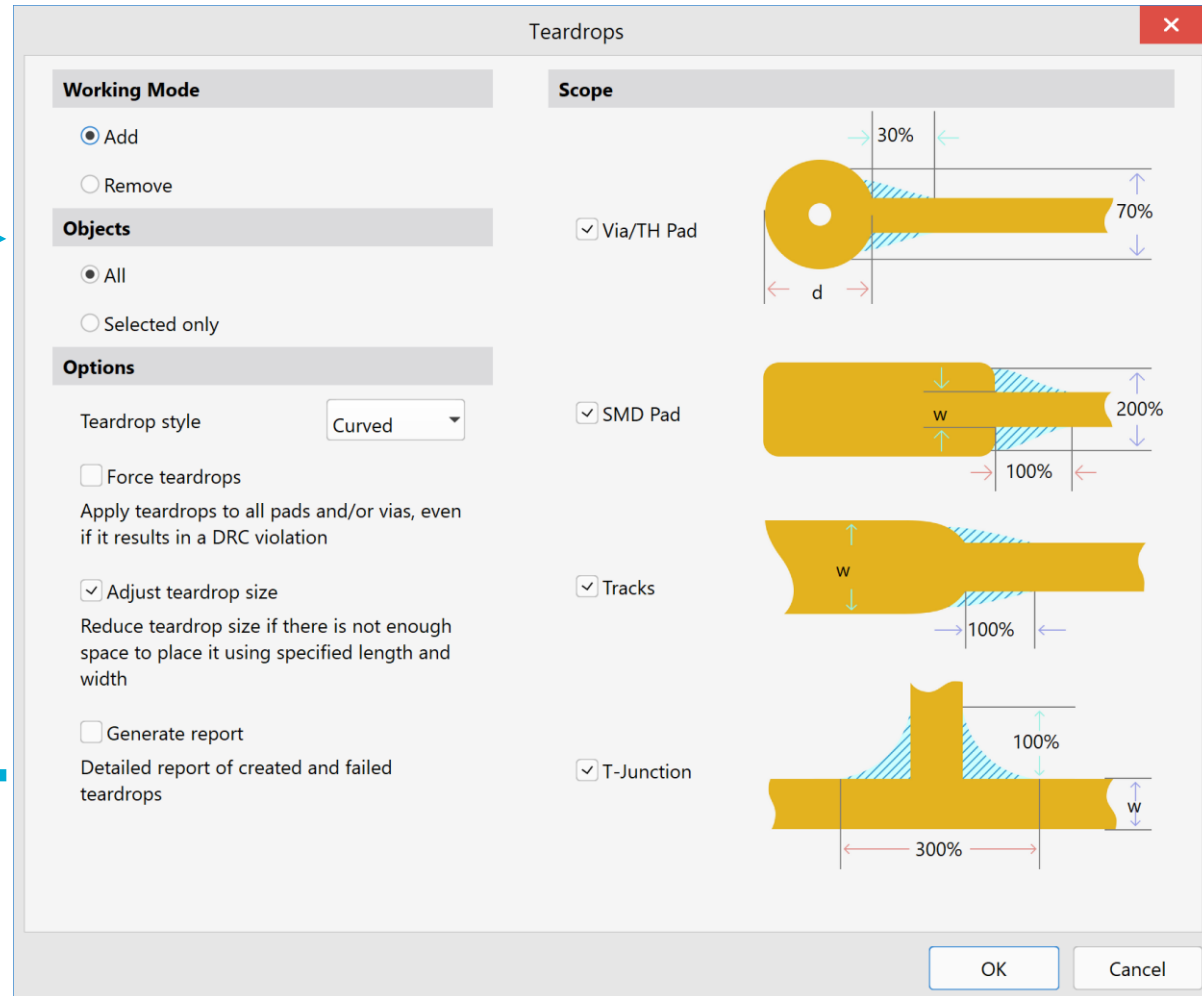
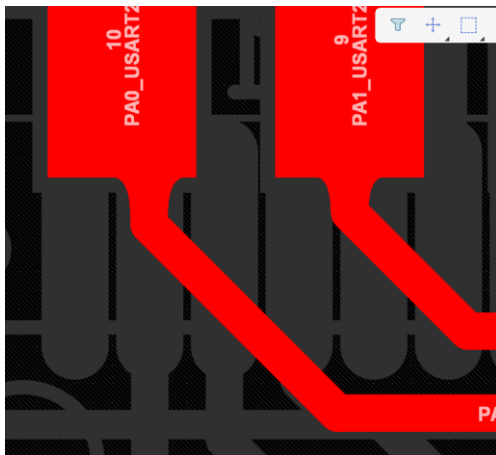
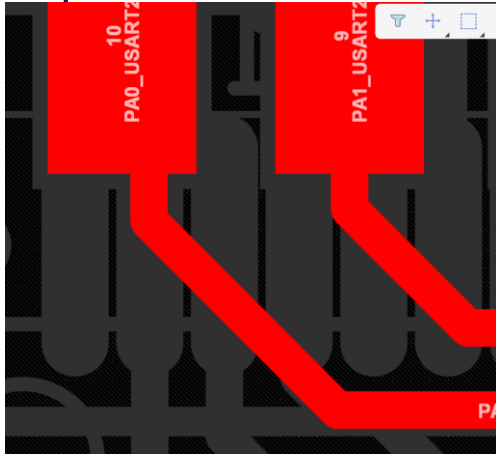
1. 비아스티칭
2. 숴딩
3. 패드보강

패드 보강



패드보강

- Tool » Teadrops...



PCB 설계

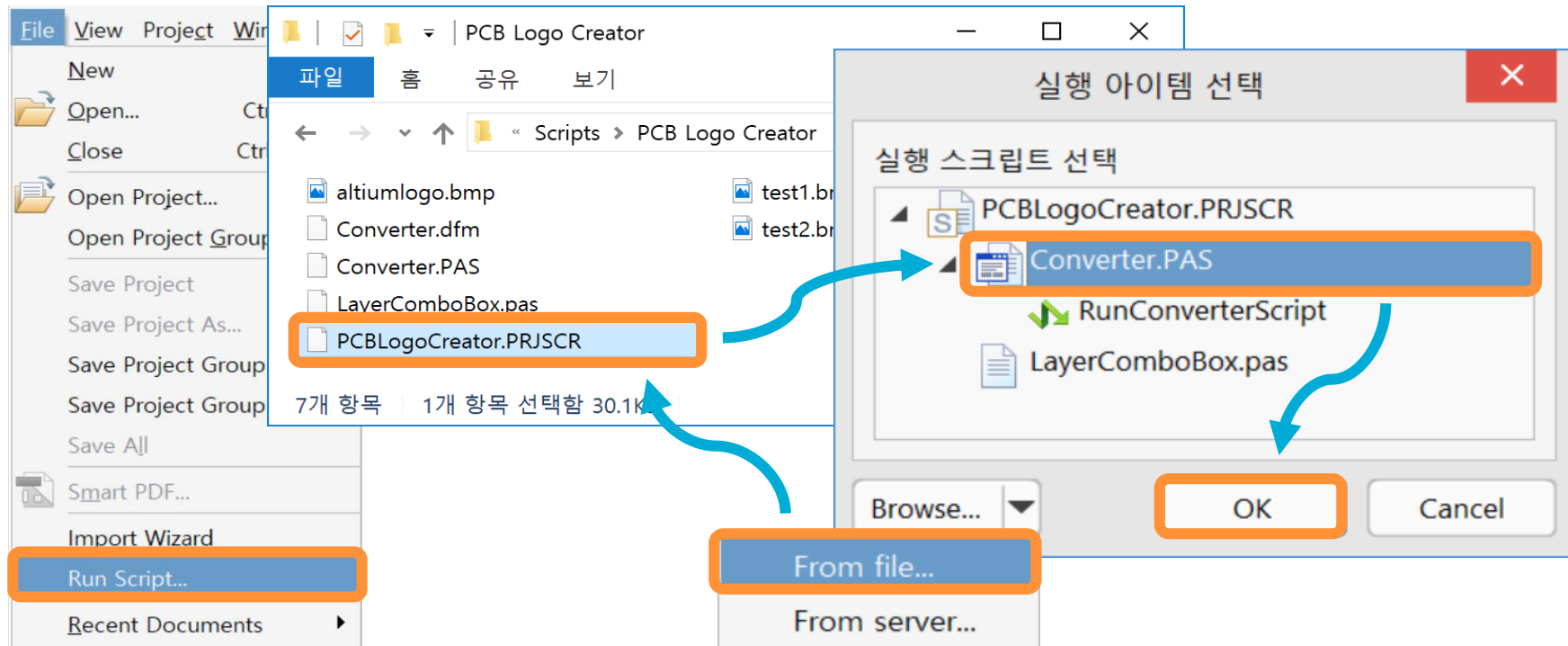
1. PCB Editor UI
2. 적층구조 설정
3. PCB 기판 모양 정의
4. 회로 » PCB 업데이트
5. 부품배치
6. Design Rule / 클래스 설정
7. 라우팅
8. 폴리곤 만들기
9. 비아스티칭/드릴링/패드보강
- 10. 로고 만들기**
11. DRC 검사
12. 기타

PCB 로고 만들기

1. PCB Logo Creator 스크립트 실행
2. PCB 로고 변환 옵션
3. PCB 로고 객체 결합
4. PCB 로고 크기 조절
5. 바코드 추가

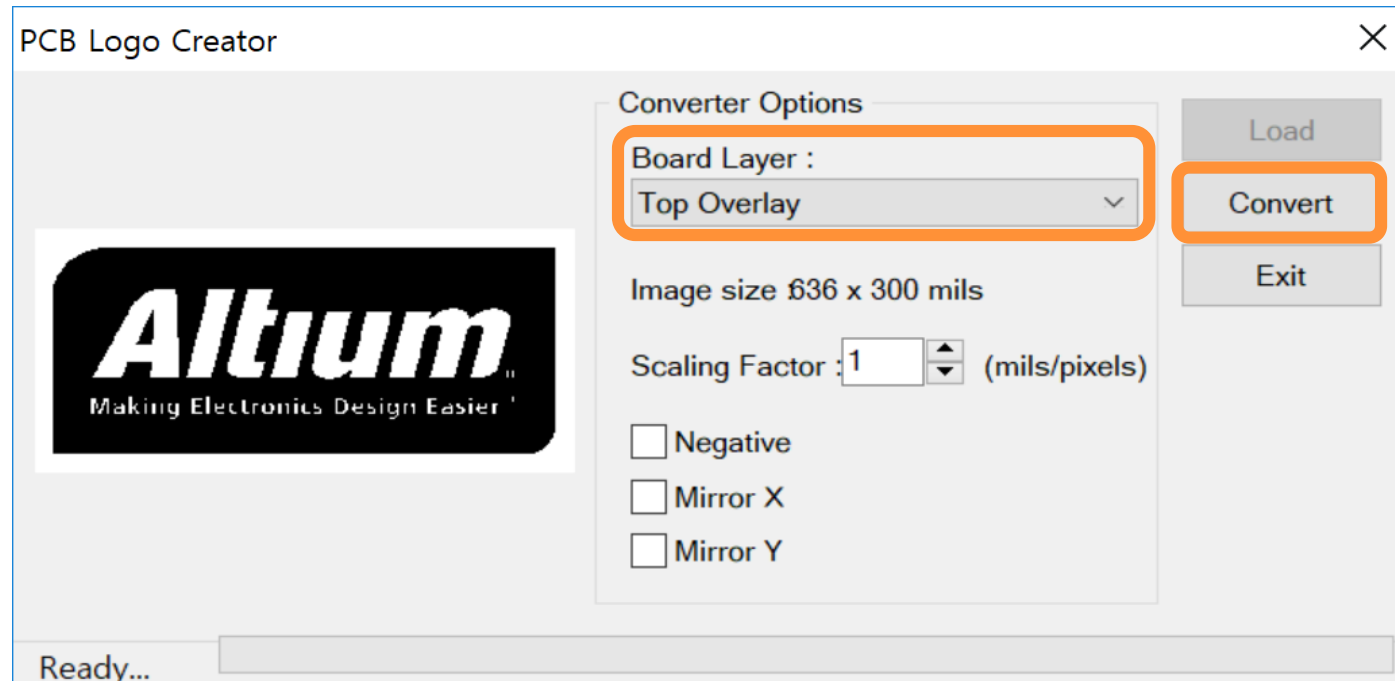
PCB Logo Creator 스크립트 실행

- Script : PCB Logo Creator 다운로드 <https://han.gl/djRMC>
 - 저장경로 : C:\Users\Public\Documents\Altium\AD19\Scripts (저장경로 변경 가능)
- File » Run Script... 를 눌러서 실행 아이템 선택 창 열기
 - **Browse... » From file...** → 위 경로에 저장한 ... PCB Logo Creator\PCBLogoCreator.PRJSCR 파일 선택
 - 실행 스크립트 선택에서 **Converter.PAS** → 확인



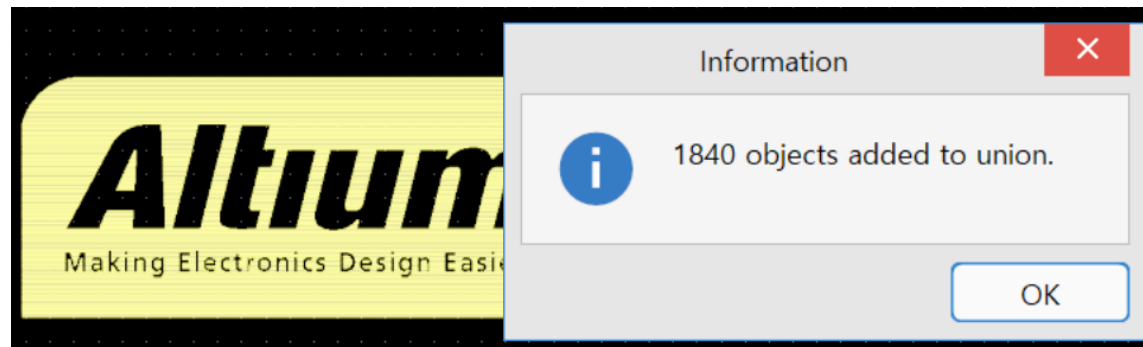
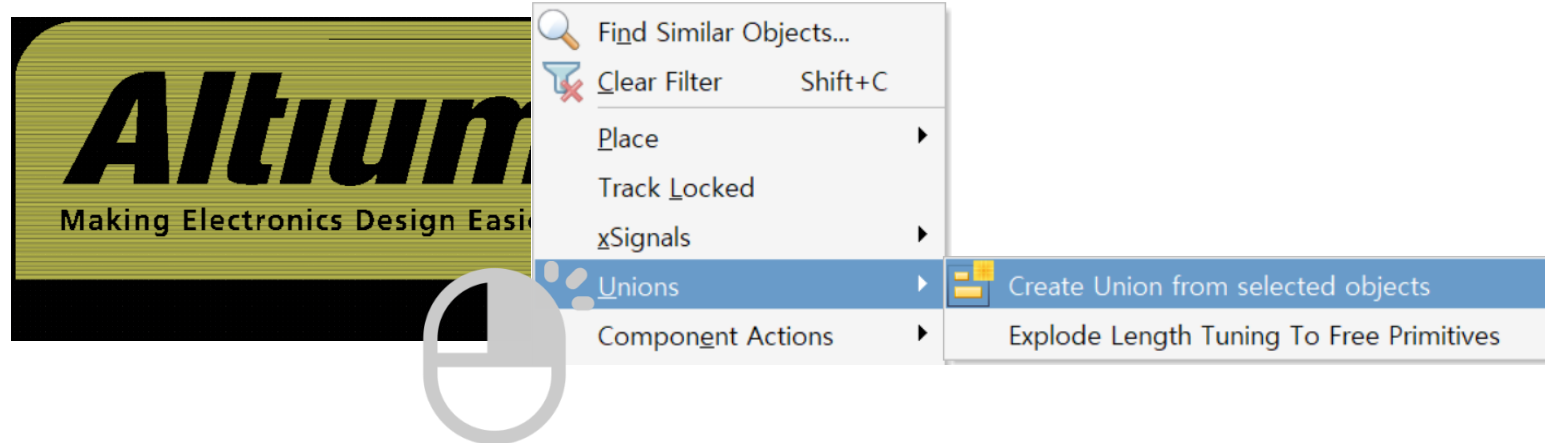
PCB 로고 변환 옵션

- PCB Logo 변환 옵션 설정 Load(이미지 선택) → Convert → Exit
 - Board Layer : 로고를 삽입할 레이어 위치 선택(실크 : Top Overlay, Bottom Overlay)
 - Scaling Factor : 이미지 원본 크기 그대로 삽입하는 경우, 1 (배치 후 크기 변경 가능)
 - ☐ Negative : 음각 이미지 생성
 - ☐ Mirror X : 좌우 반전
 - ☐ Mirror Y : 상하 반전



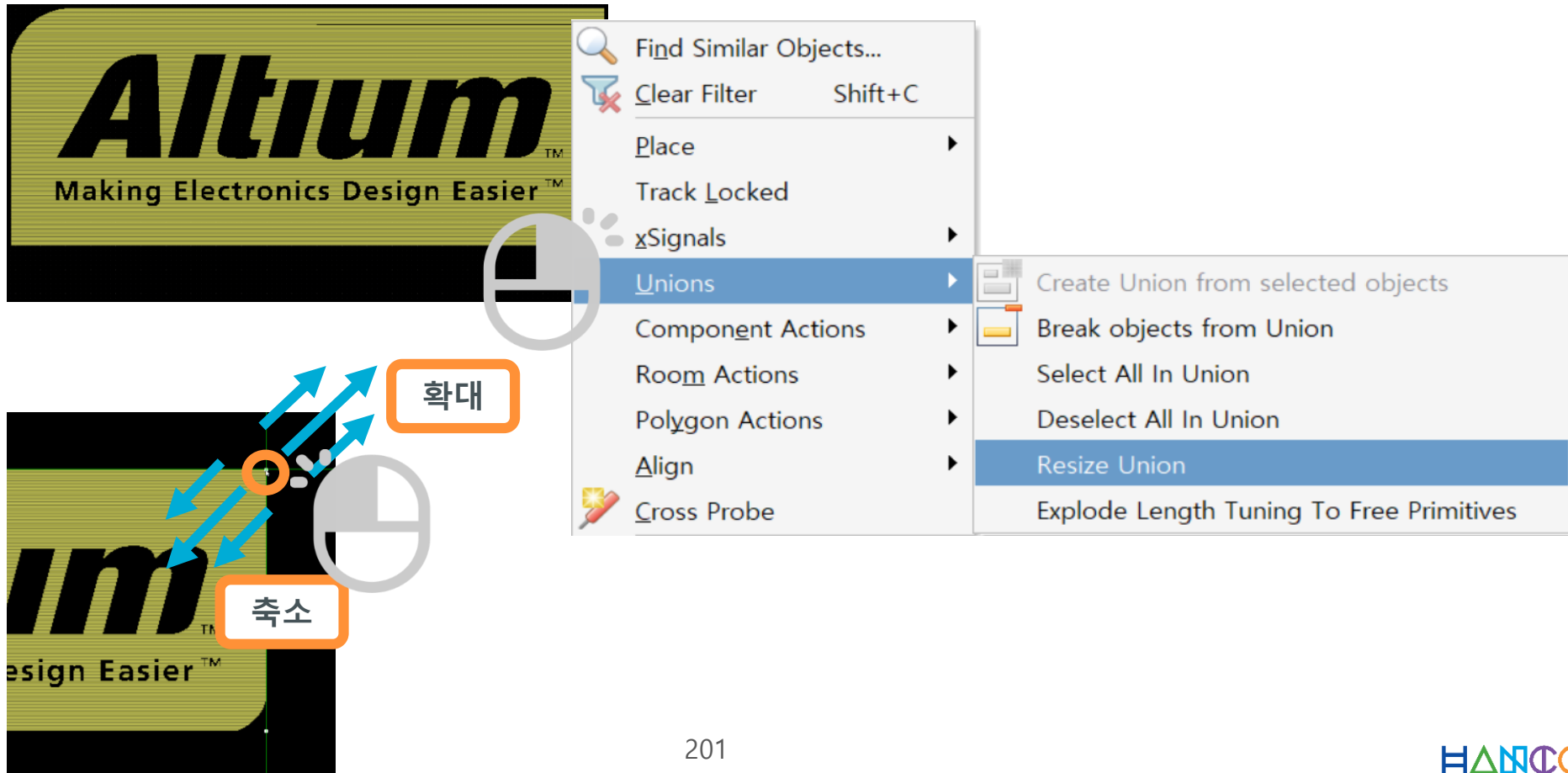
PCB 로고 객체 결합

- PCB Logo Creator 스크립트로 만든 로고는 다수의 선들로 구성되어 있다. 때문에, 이를 하나의 객체로 선택할 수 있도록 객체를 결합한다.
- 객체 선택 → 마우스 오른쪽 버튼 클릭 → **Unions » Create Union from selected objects**

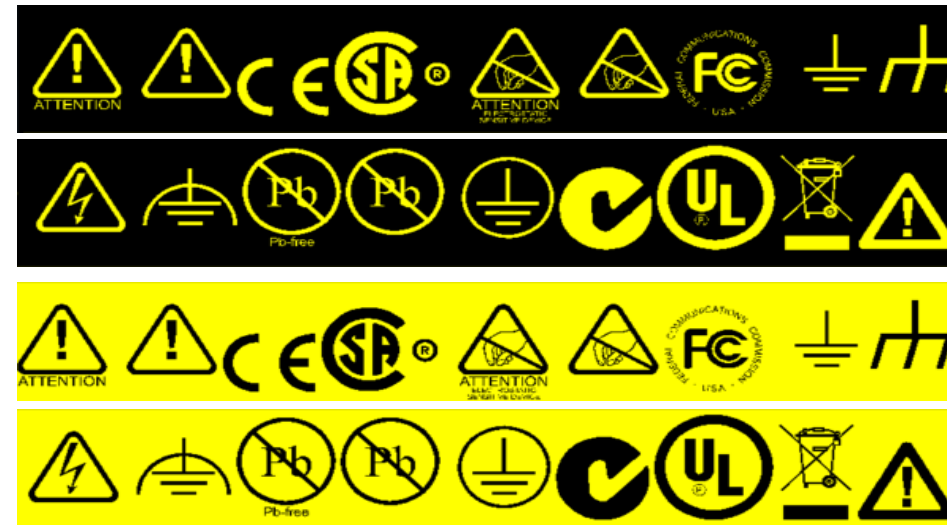


PCB 로고 크기 조절

- 로고 크기 조절은 로고를 구성하는 선 결합 → 로고선택 → 마우스 오른쪽 버튼 클릭 → **Unions** » **Resize Union** → 객체 모서리 점 선택 → 확대 / 축소



- Place»String 명령

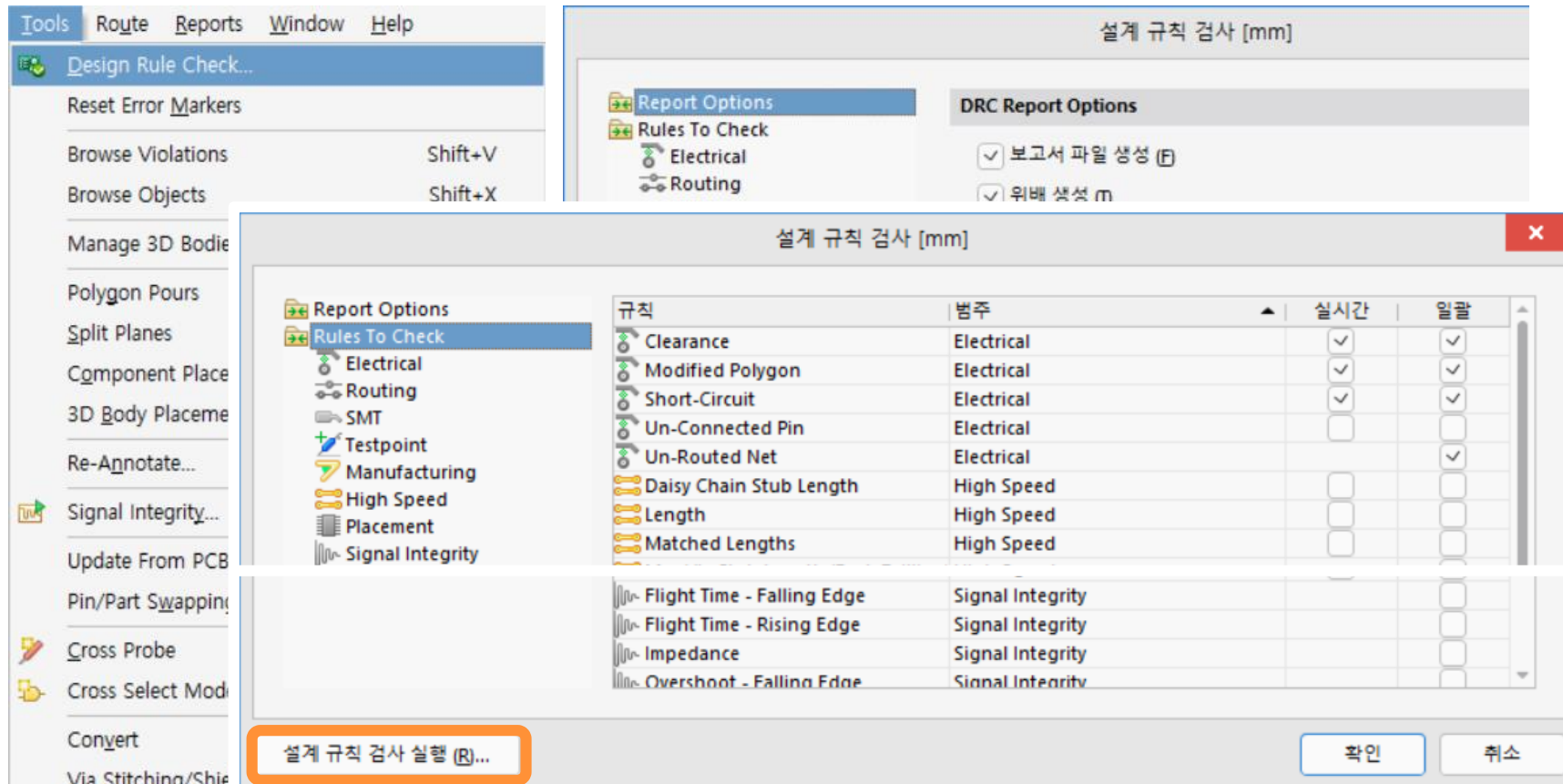


PCB 설계

1. PCB Editor UI
2. 적층구조 설정
3. PCB 기판 모양 정의
4. 회로 » PCB 업데이트
5. 부품배치
6. Design Rule / 클래스 설정
7. 라우팅
8. 폴리곤 만들기
9. 비아스티칭/드릴링/패드보강
10. 로고 만들기
- 11. DRC 검사**
12. 기타

PCB 에러체크 (Design Rule Check)

- 설계 규칙 검사는 Tool » Design Rule Check 에서 실행한다. Rules To Check 화면에서 마우스 오른쪽 버튼을 눌러서 "실시간&일괄 DRC – 사용한것 컴"을 선택하고, 왼쪽 하단 설계 규칙검사 실행 버튼을 눌러서 규칙 위배사항을 검사한다.



DRC Report

- 설계 규칙 검사를 실행하면 Design Rule Verification Report와 Message 창을 확인할 수 있다.



The screenshot shows the 'Design Rule Verification Report' window in Altium Designer. The window title is 'Design Rule Verification Report'. The main content area features the 'Altium Designer' logo. Below the logo, the title 'Design Rule Verification Report' is displayed. The report details include:

- Date:** 2018-03-26
- Time:** 2018-03-26 3:24:38
- Elapsed Time:** 00:00:00
- Filename:** C:\Users\YuRi\Documents\4+1-ÃÖÄ™\03 ±³Ä°¹× ÄÜ·á\00 Altium ±³ÄÇ\1Day\1Day Step-Down Converter\1Day Step-Down Converter.PcbDoc

Summary statistics are shown on the right:

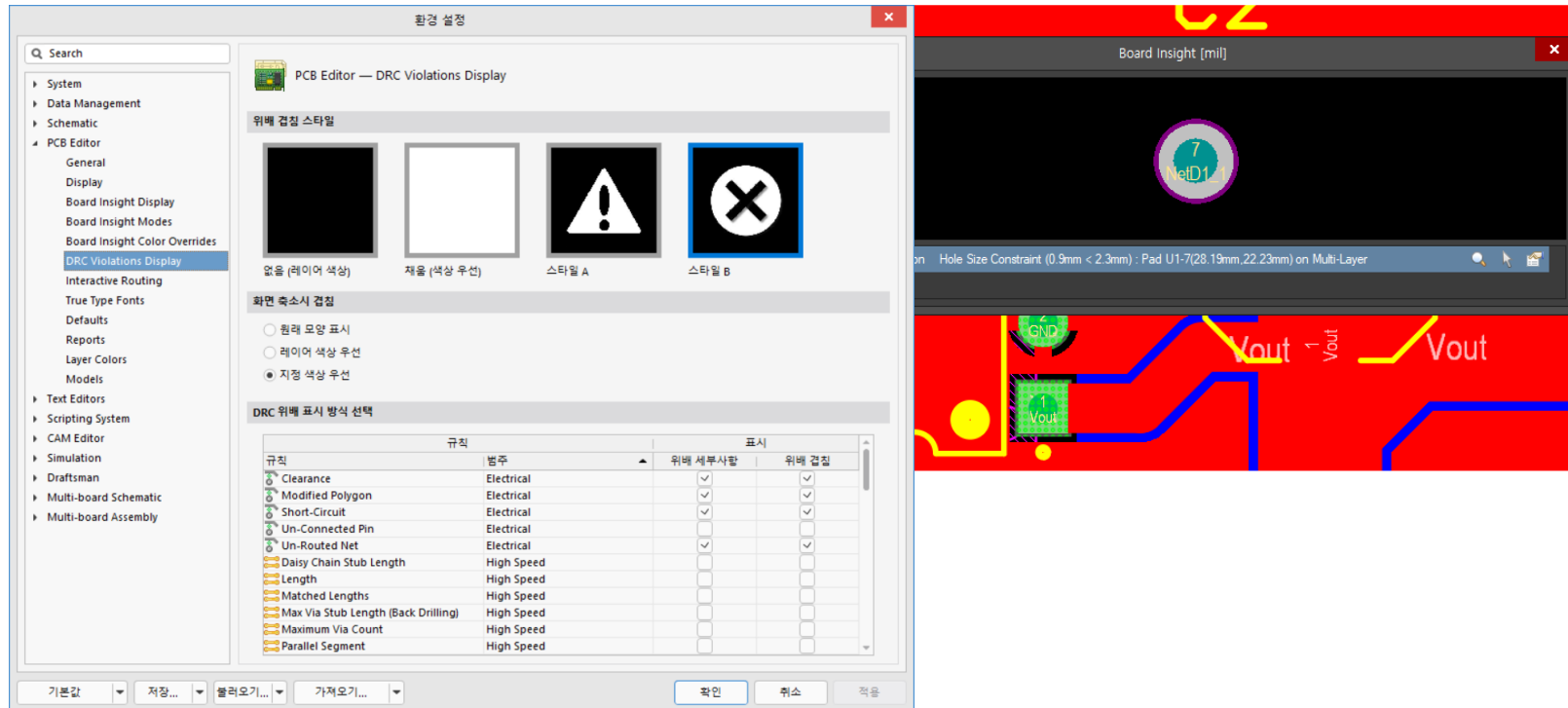
- Warnings:** 0
- Rule Violations:** 12

A 'Summary' section is also present, containing a table with the following structure:

Warnings	Count
Total	0

DRC 위반 표시

- DRC 위반사항을 화면에서 쉽게 식별하기 위해 환경설정에서 DRC 위반 표시 방식을 설정한다.
- **I**ool » **P**references [단축키 T » P]실행 후, PCB Editor-DRC Violation Display 환경설정 화면이동한다.
- DRC 위반 표시 방식 선택 화면에서 마우스 오른쪽 버튼을 눌러서 위반 세부사항&겹침 표시 – 사용됨으로 선택한다.
- 실시간 DRC 에러가 난 지점에 마우스 커서를 올려두고 Shift + V를 누르면 위반사항을 확인할 수 있다.



PCB 설계

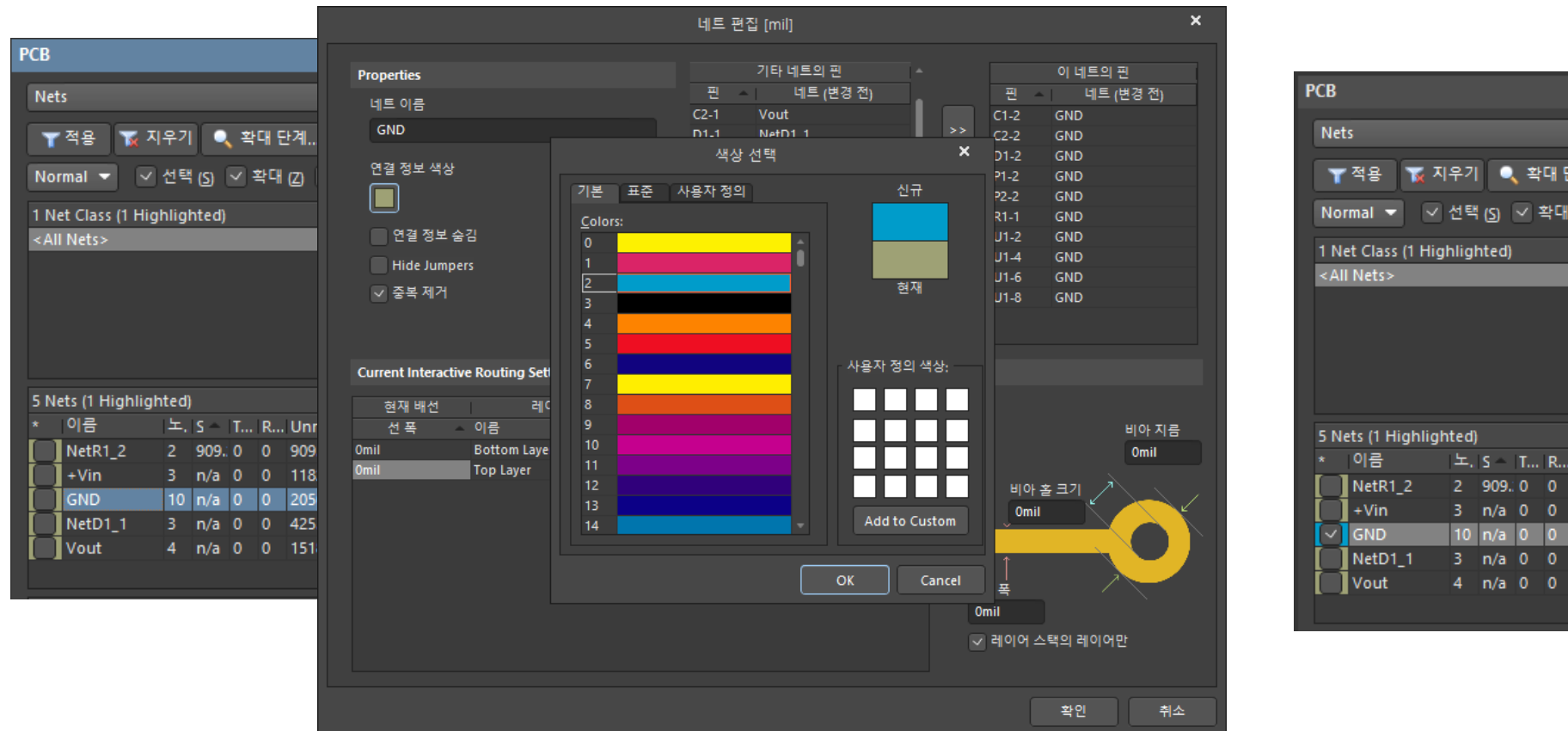
1. PCB Editor UI
2. 적층구조 설정
3. PCB 기판 모양 정의
4. 회로 » PCB 업데이트
5. 부품배치
6. Design Rule / 클래스 설정
7. 라우팅
8. 폴리곤 만들기
9. 비아스티칭/드릴링/패드보강
10. 로고 만들기
11. DRC 검사
12. 기타

기타

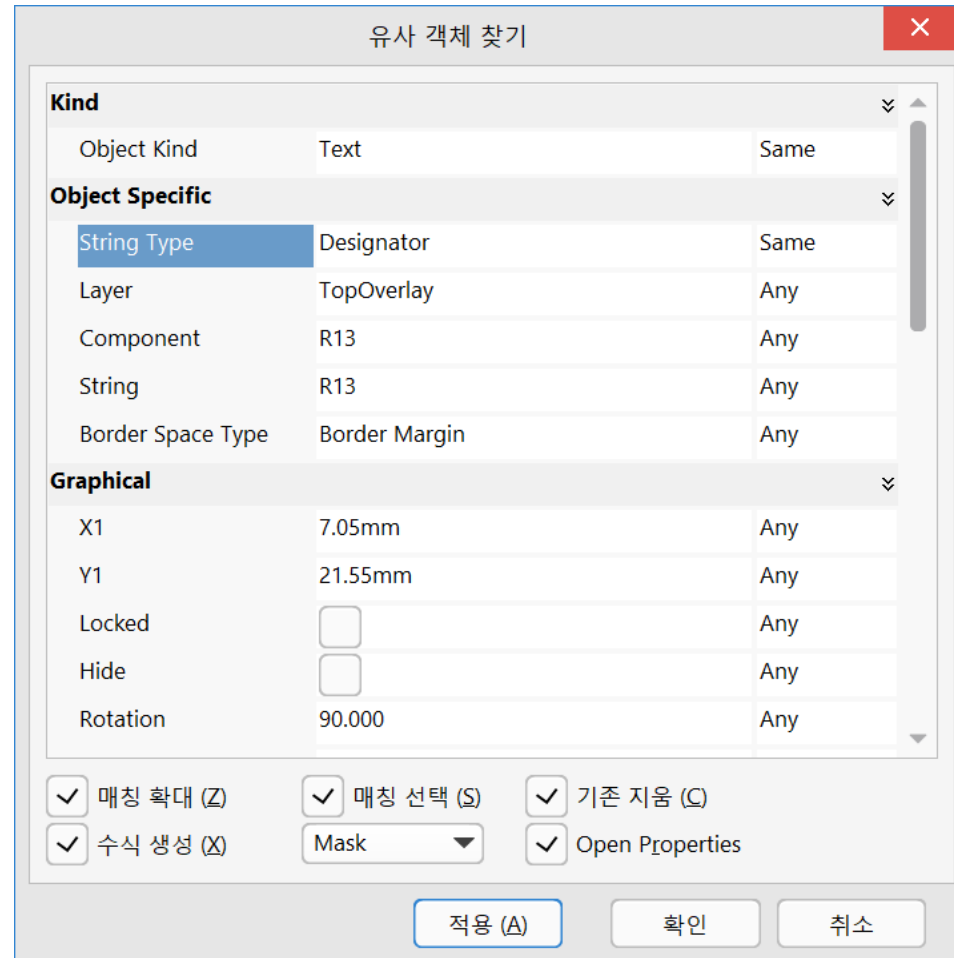
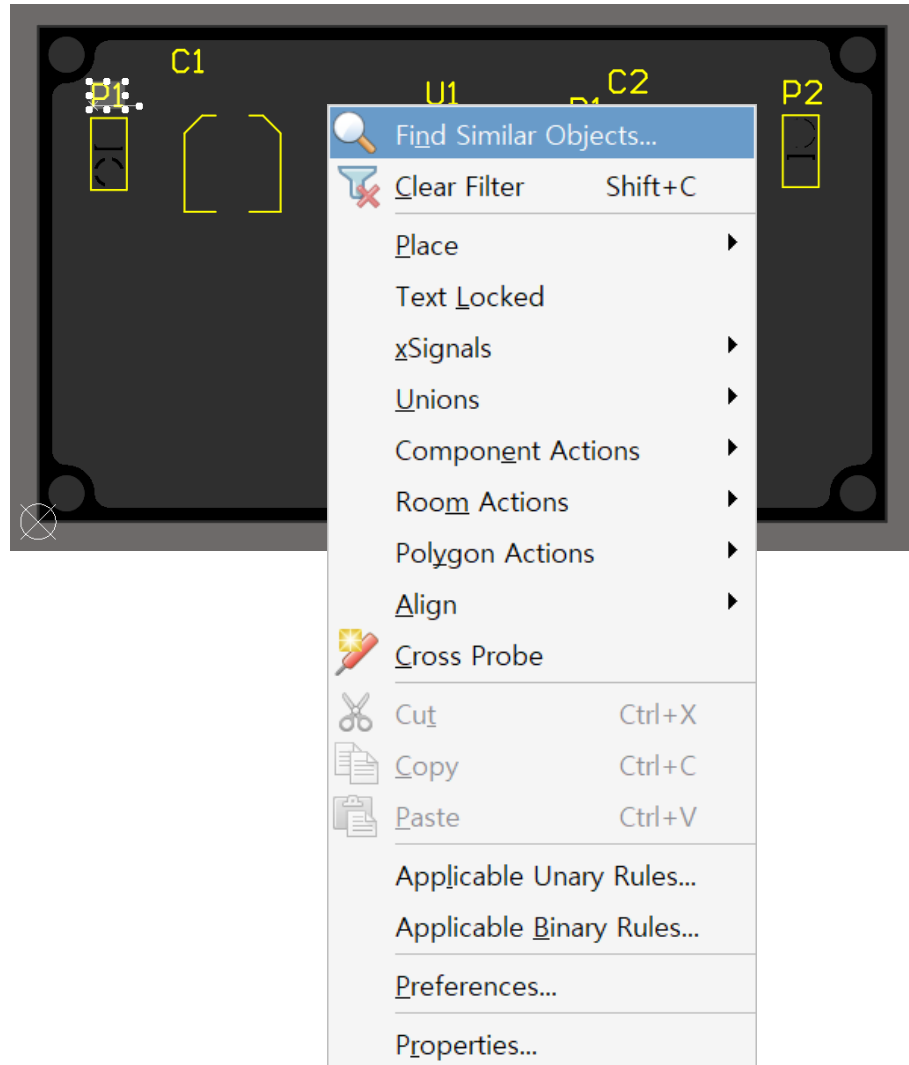
1. 네트 색상 지정하기
2. 유사객체찾기
3. 부품 글자위치 변경
4. PCB 기준 부품 설계참조번호 설정
5. 드릴 테이블
6. 레이어 스택 테이블
7. PCB 연 배열

네트 색상 지정하기

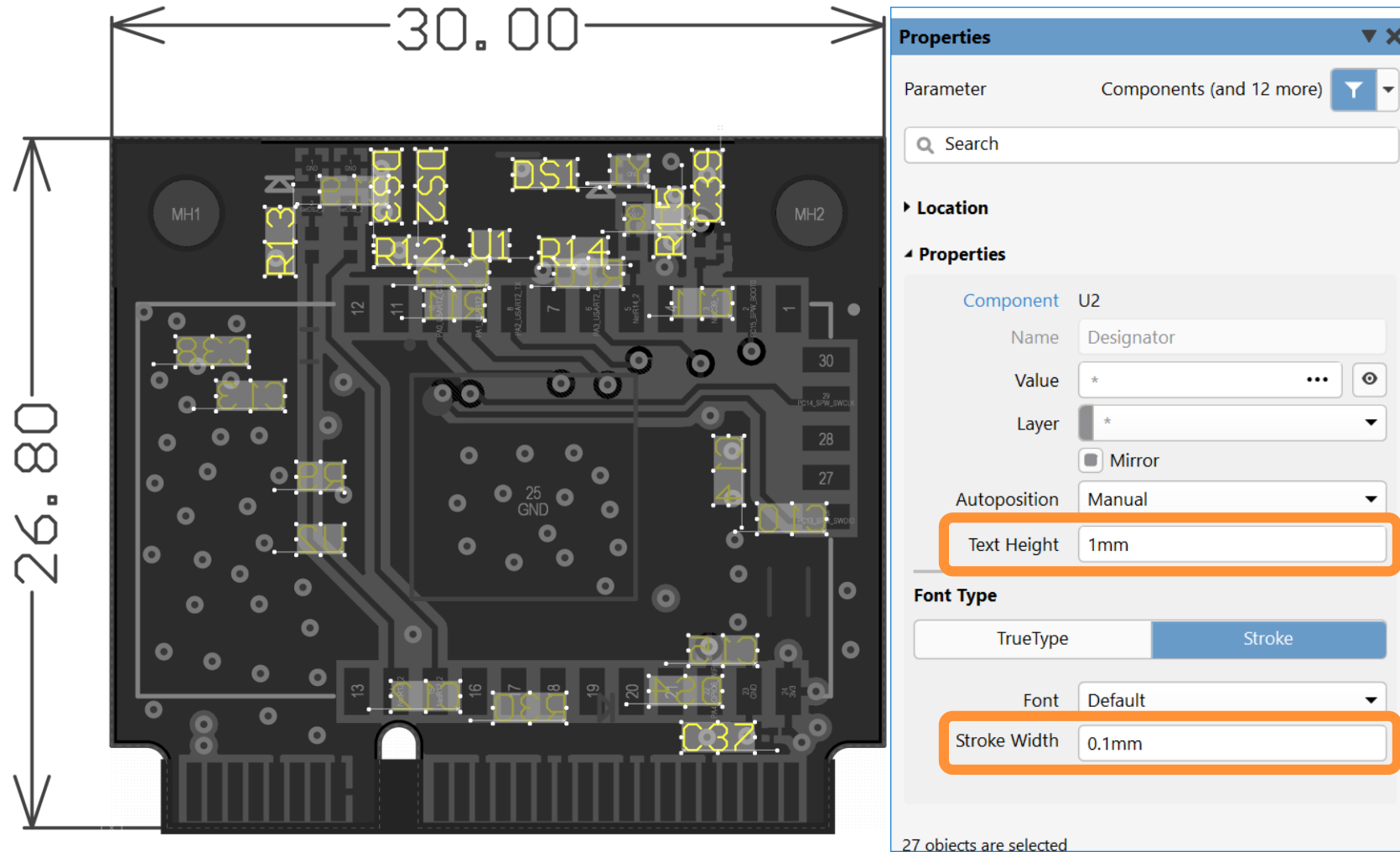
- PCB 패널에서 Nets를 선택 후, 지정할 네트를 더블클릭 한다.
- 네트 편집창에서 연결정보색상에 원하는 색상을 선택하고 확인을 눌러준다.
- 색상 설정을 마친 후 네트에 v 표시를 하면 네트 색상이 연결 정보 색상에서 입력한 값으로 보인다.



유사객체 찾기(1)

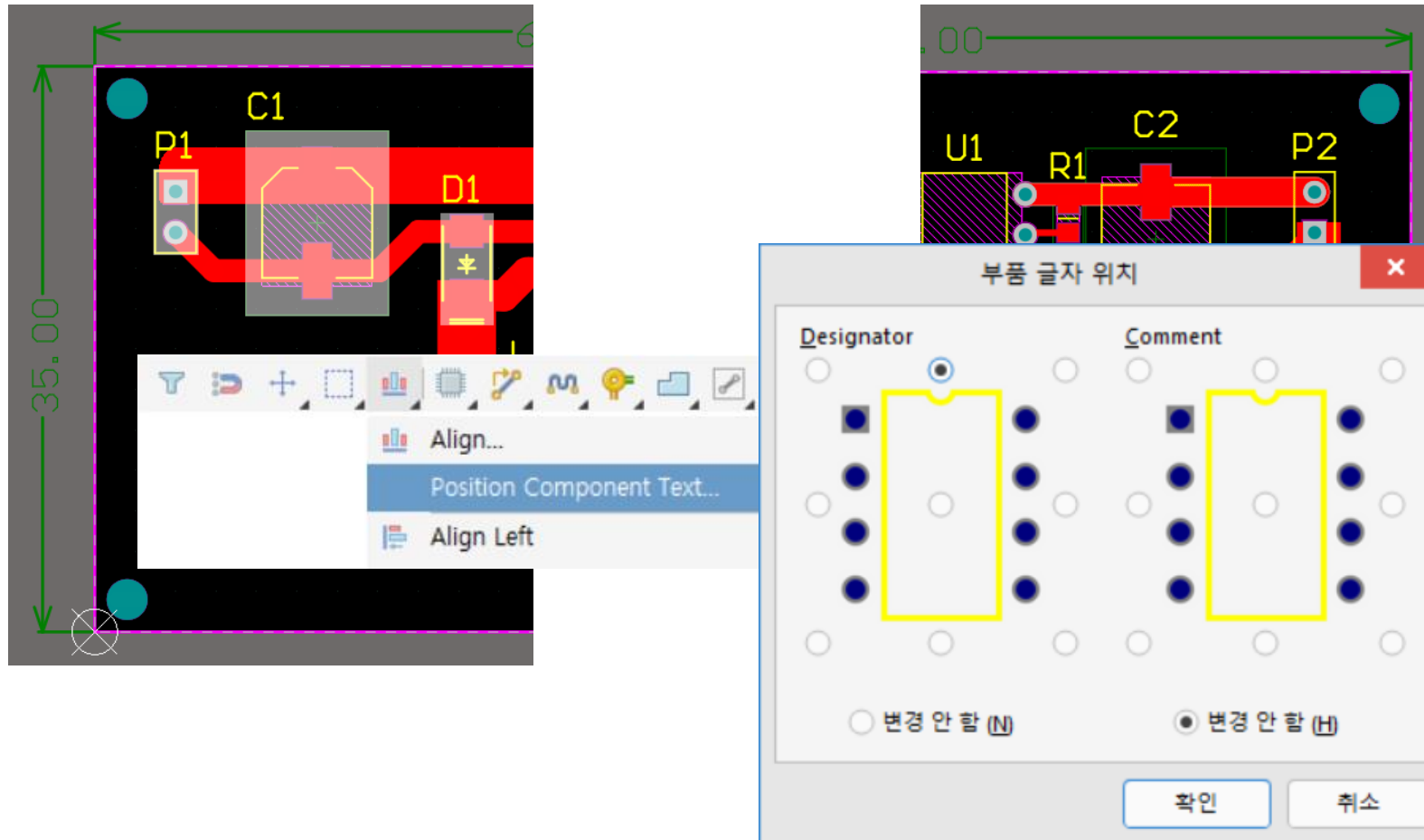


유사객체 찾기(2)



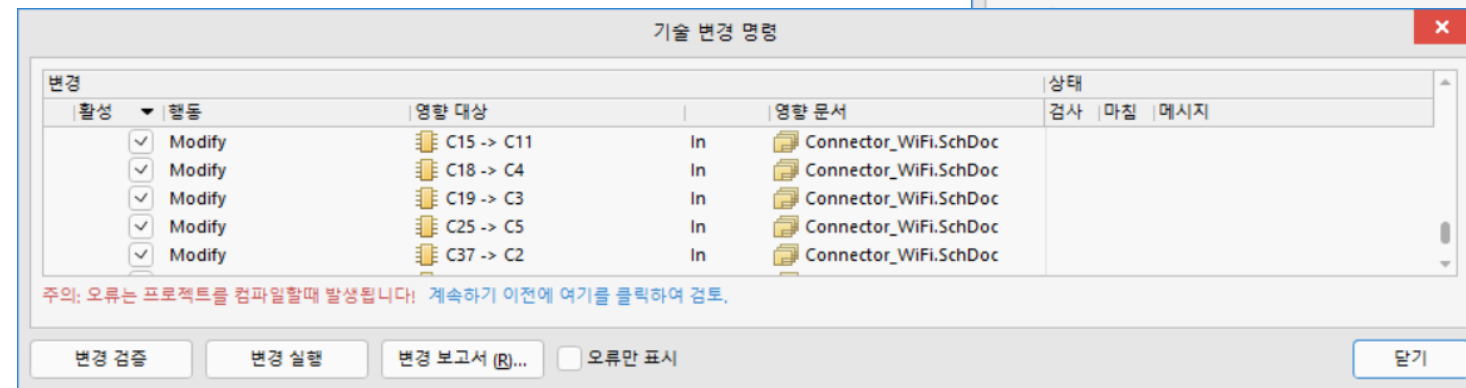
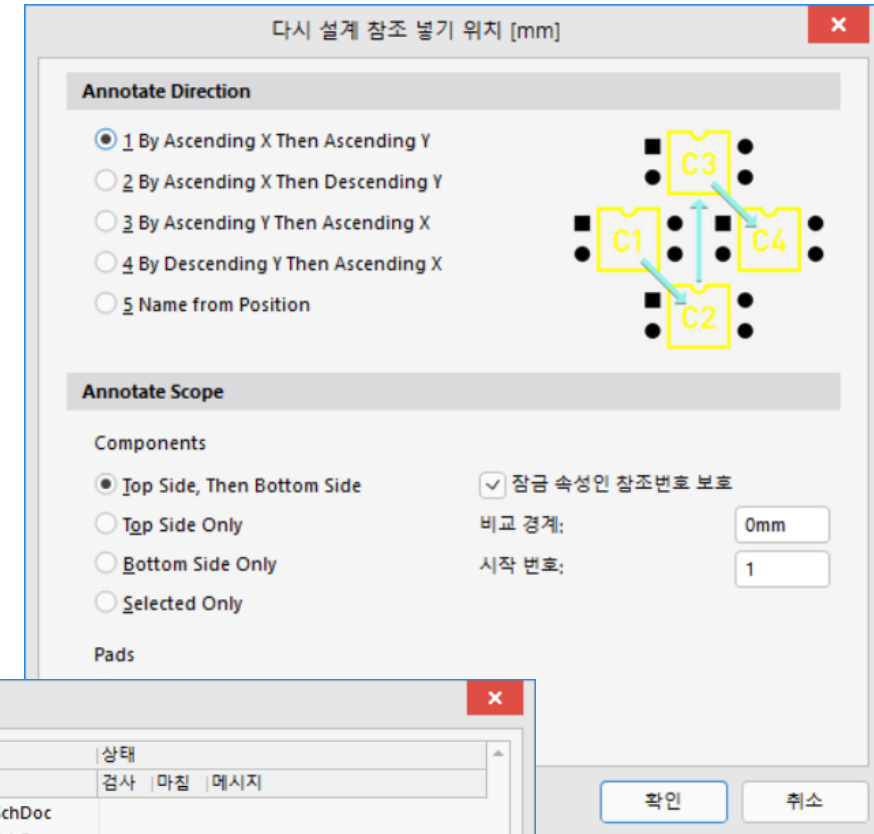
부품 글자 위치

- 부품 선택 » ActiveBar-Position Component Text » 부품 글자 위치 선택



PCB 기준 부품 설계참조번호 설정

- PCB 설계도 기준으로 부품 설계참조번호 설정하기
 - PCB 설계 완료 후, **Tools » Re-Annotate...** 실행한다.
 - 부품 설계참조번호 순서를 설정 후 확인버튼을 누른다.
- PCB 기준으로 회로도에 부품 설계참조번호 업데이트하기
 - PCB 기준으로 변경된 부품 설계참조 번호를 회로도에 업데이트 하기 위해, **Design » Update Schematic in ...*.PrjPcb** 메뉴를 실행한다.
 - 기술 변경 명령 창에서 **변경 검증 → 변경 실행** 후 닫기 버튼을 클릭한다.

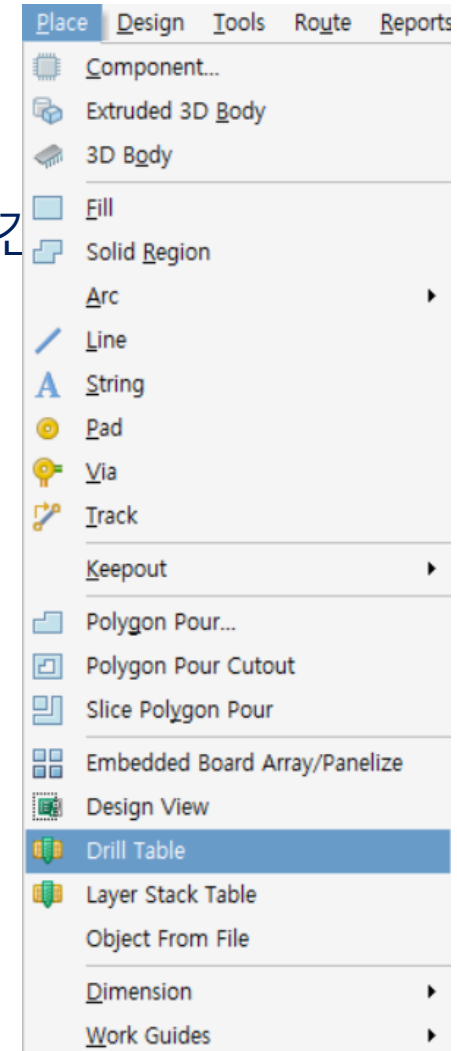


드릴 테이블 (1/2)

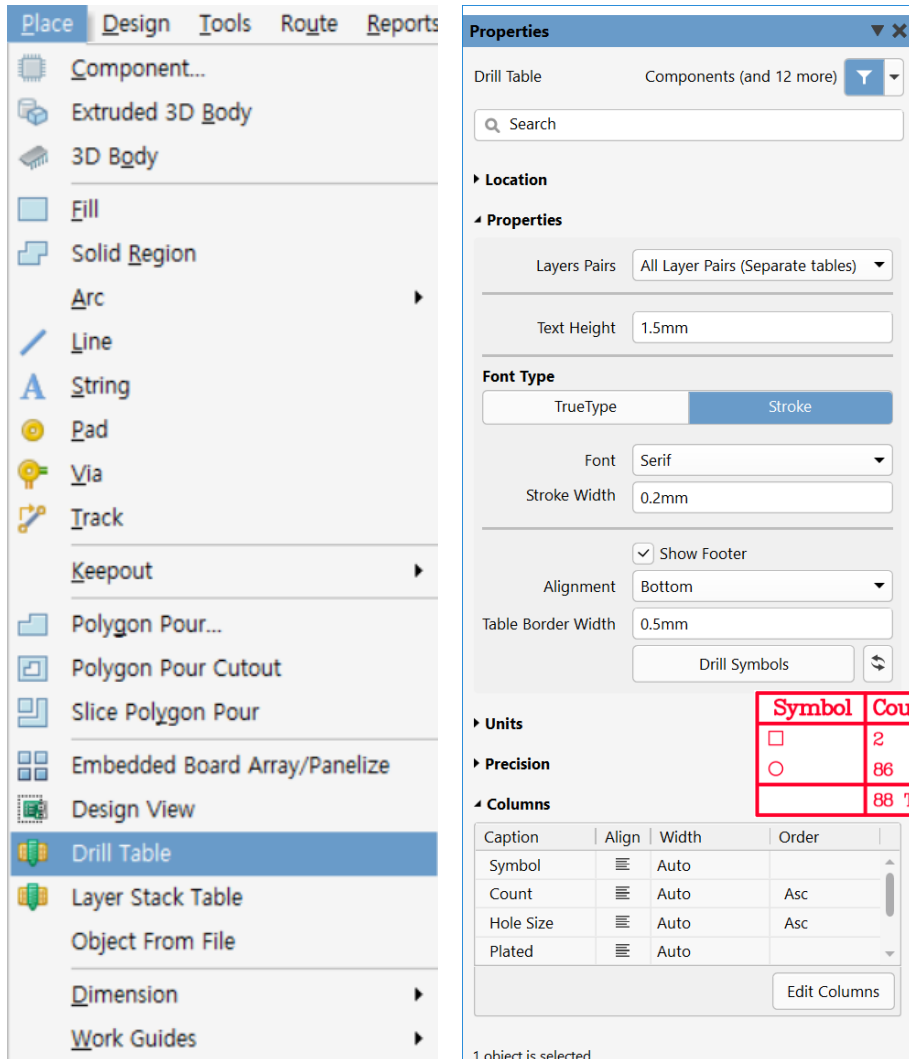
- 드릴 테이블
 - PCB 제조에 필요한 표준 요소.
 - 보드에 사용된 각 드릴의 홀 크기 및 개수 표기
 - 패드 및 비아와 같은 홀을 포함하는 개체 사용에 따라 드릴 테이블 실시
- Place » Drill Table



Symbol	Count	Finished Hole Size	Physical Length	Rout Path Length	Hole Type	Plated	Instructions
□	1201	0.30mm			Round	PTH	
○	3	0.60mm			Round	PTH	
▽	4	0.70mm			Round	PTH	
⊞	1	1.50mm			Round	PTH	
⊞	3	3.40mm			Round	PTH	
⊞	1	6.00mm			Round	PTH	
⊞	1	1.20mm			Round	NPTH	
⊞	1	1.60mm			Round	NPTH	
⊞	2	5.10mm			Round	NPTH	
⊞	2	1.50mm			Square	NPTH	
▽	2	1.00mm	2.00mm	1.00mm	Slot	NPTH	Refer note 1
	1221 Total						



드릴 테이블 (2/2)



• Place » Layer Stack Table

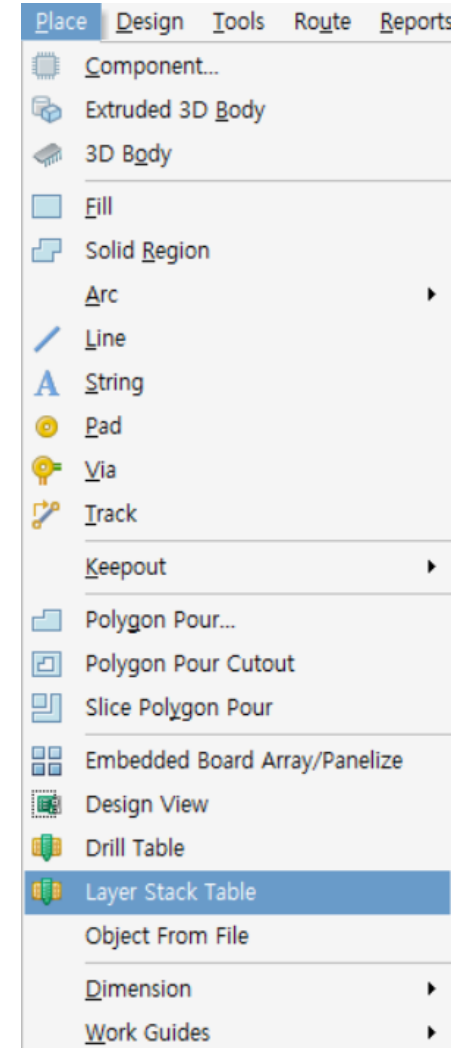
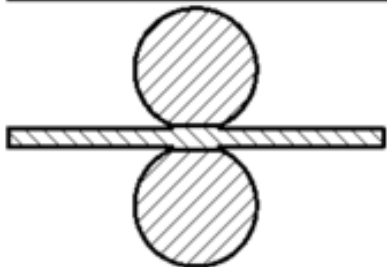
- Columns
 - Symbol
 - Count
 - Hole Size
 - Plated
 - Hole Type
 - Drill Layer Pair
 - Via/Pad
 - Pad Shape
 - Template
 - etc...

Symbol	Count	Hole Size	Plated	Hole Type	Drill Layer Pair	Via/Pad	Pad Shape	Template
□	2	2.60mm (102.36mil)	NPTH	Round	TopLayer - BottomLayer	Pad	Rounded	c230hn260
○	86	0.30mm (11.81mil)	PTH	Round	TopLayer - BottomLayer	Via	Rounded	v70h30m0mx0
	88 Total							

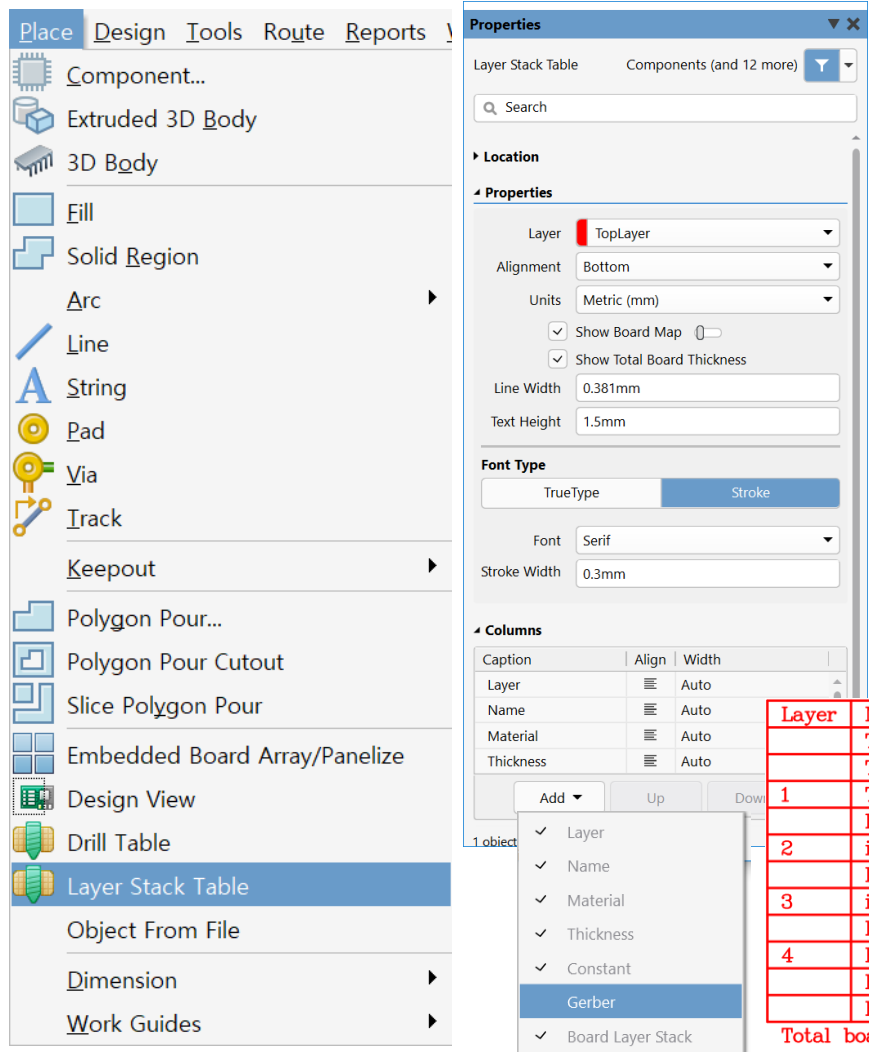
레이어 스택 테이블 (1/2)

- 레이어 스택 테이블
 - PCB 설계에 구현된 레이어, 재료, 두께 및 유전 상수를 나타내는 표
- Place » Layer Stack Table

Layer	Name	Material	Thickness	Constant	Rigid	Flex
1	Top Paste					
2	Top Overlay					
3	Top Solder	Solder Resist	0.40mil	3.5		
4	Top Layer	Copper	1.40mil			
5	Dielectric 1	FR-4	12.60mil	4.8		
6	Mid-Layer 1	Copper	1.40mil			
7	Dielectric 2	FR-4	12.60mil	4.8		
8	Mid-Layer 2	Copper	1.40mil			
9	Dielectric 3	FR-4	3.94mil	4.8		
10	Bottom Layer	Copper	1.40mil			
11	Bottom Solder	Solder Resist	0.40mil	3.5		
12	Bottom Overlay					
13	Bottom Paste					



레이어 스택 테이블 (2/2)



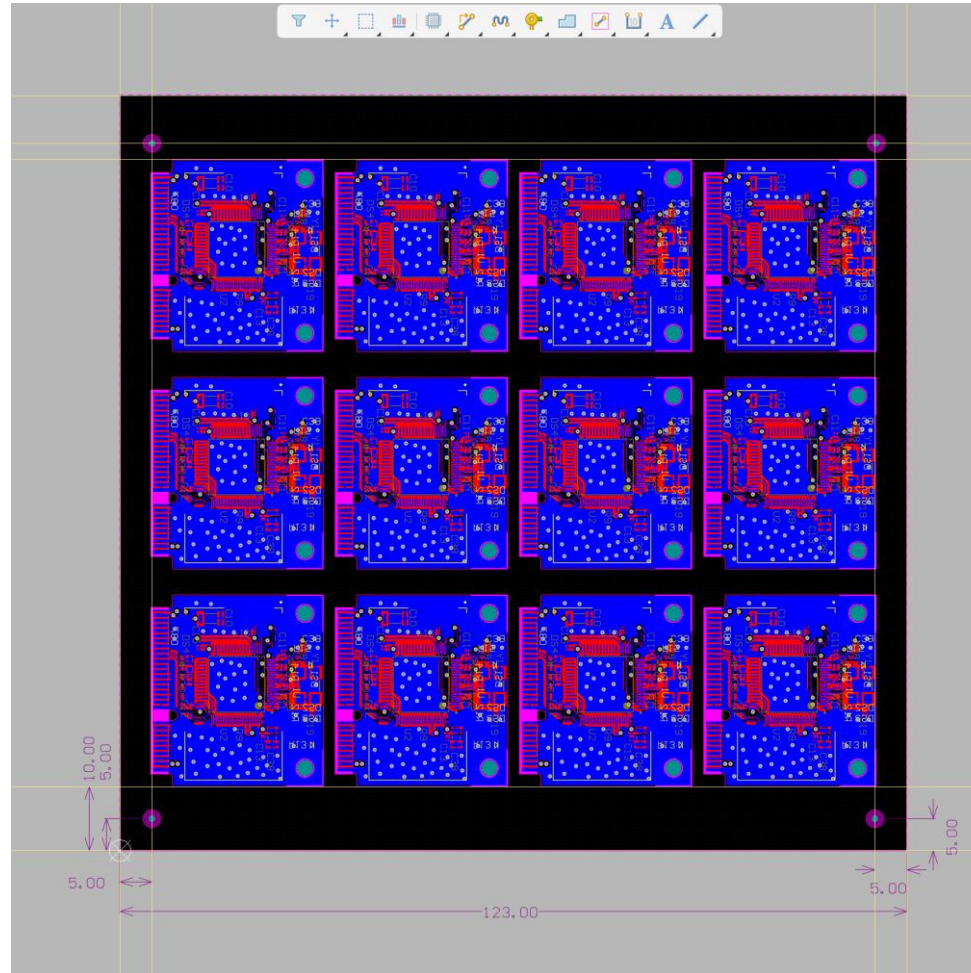
• Place » Layer Stack Table

- Properties
 - ☐ Show Board Map
 - ☒ Show Total Board Thickness
- Properties
 - Layer
 - Name
 - Material
 - Thickness
 - Constant
 - Gerber
 - Board Layer Stack

Layer	Name	Material	Thickness	Constant	Gerber	Board Layer Stack
	TopOverlay				GTO	
	TopSolder	Solder Resist	0.025mm	4.6	GTS	
1	TopLayer	Copper	0.050mm		GTL	
	Dielectric1	FR-4	0.360mm	4.6		
2	int1_power	Copper	0.035mm		G1	
	Dielectric2	FR-4	0.360mm	4.6		
3	int2_gnd	Copper	0.035mm		G2	
	Dielectric3	FR-4	0.360mm	4.6		
4	BottomLayer	Copper	0.050mm		GBL	
	BottomSolder	Solder Resist	0.025mm	4.6	GBS	
	BottomOverlay				GBO	
Total board thickness:			1.300mm			

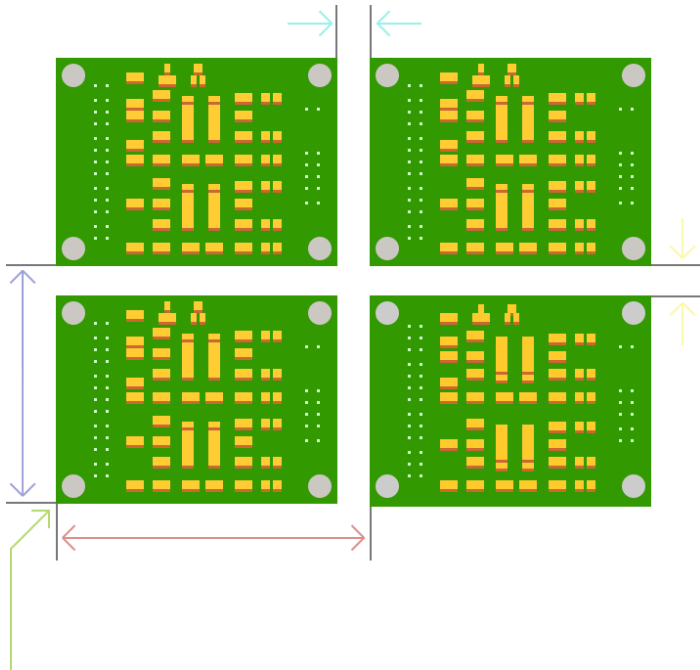
PCB 연 배열 (1/2)

- Place » Embedded Board Array/Panelize



PCB 연 배열 (2/2)

- PCB Document
- Column Count
- Row Count
 - Mirrored
 - Link Location To Embedded Board Origin



Properties

Embedded Board Array Components (and 12 more)

Search

Location

(X/Y) 5mm 10mm

Rotation 270

Properties

PCB Document C:\Users\PC\Desktop\Mini PC - WiFi\WiFi.PcbDoc ...

Column Count 3

Row Count 4

☒ Mirrored

☐ Link Location To Embedded Board Origin

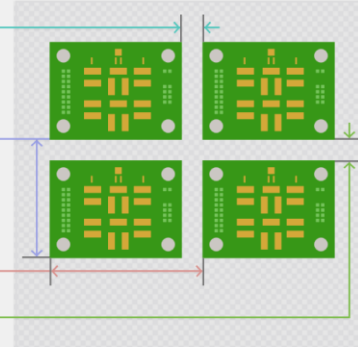
Column Margin 4mm

Row Spacing 28.8mm

Column Spacing 34mm

Row Margin 2mm

Child and Parent PCB Design Layer Stacks are NOT Compatible



Altium Designer 19

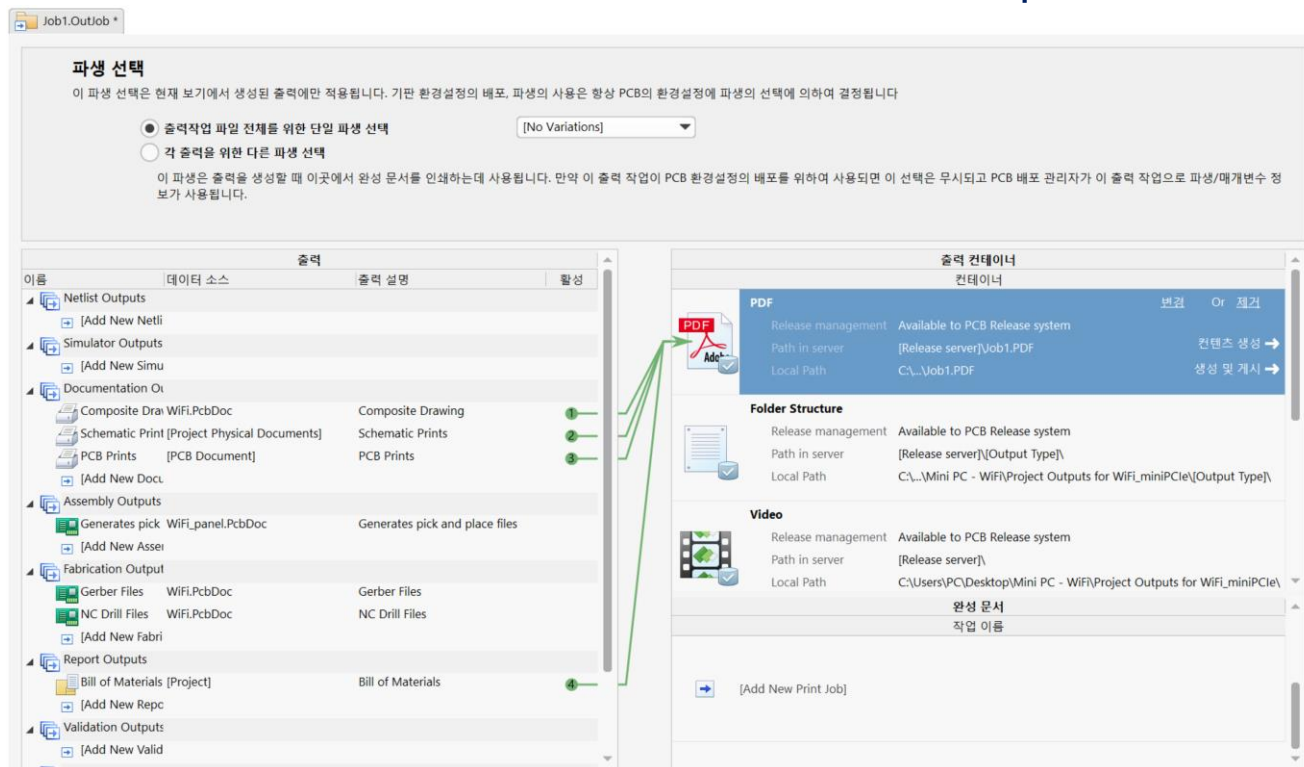
- I. 라이선스 인증 및 프로그램 UI
- II. 환경설정
- III. 회로설계
- IV. PCB설계
- V. 일괄데이터 생성**
- VI. 라이브러리 제작

출력파일 생성

1. **Output Job File** 생성
2. Gerber 파일
3. NC Drill
4. 자삽파일
5. BOM

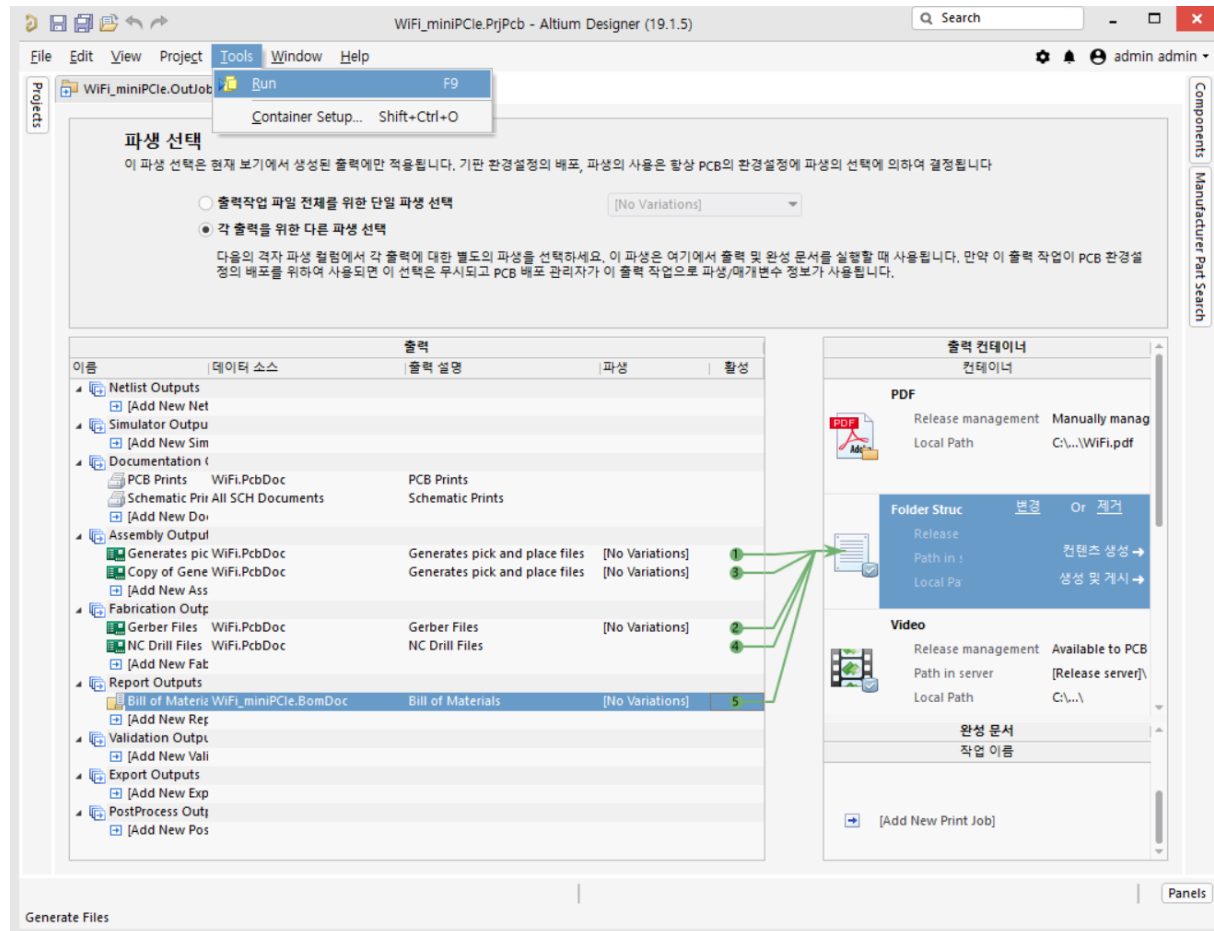
Output Job File 생성

- PCB 설계를 완료하면 Gerber Data, NC Drill Data, Pick &Place, Bill of Material 등의 출력물을 생성해야 한다. 각각의 데이터를 개별적으로 출력할 수 있으며, Output Job File을 이용하면 필요한 데이터를 일괄적으로 출력할 수 있다.
- **File » New » Output Job File** 을 실행해서 아래 그림과 같이 Output Job File(*.OutJob) 파일을 생성한다.



Output Job File 생성

- 출력할 데이터 설정 후, 출력 컨테이너와 연결한다. 그리고 **Tool » Run (F9)** 를 실행하면 일괄적으로 데이터 생성할 수 있다.
- 출력 데이터
 - Netlist Outputs
 - Simulator Outputs
 - Documentation Outputs
 - PCB Prints
 - Schematic Prints
 - Assembly Outputs
 - Generates pick and place file
 - Fabrication Outputs
 - Gerber Files
 - NC Drill Files
 - Report Outputs
 - Bill of Materials
 - Validation Outputs
 - Bill of Materials
 - Export Outputs
 - PostProcess Outputs

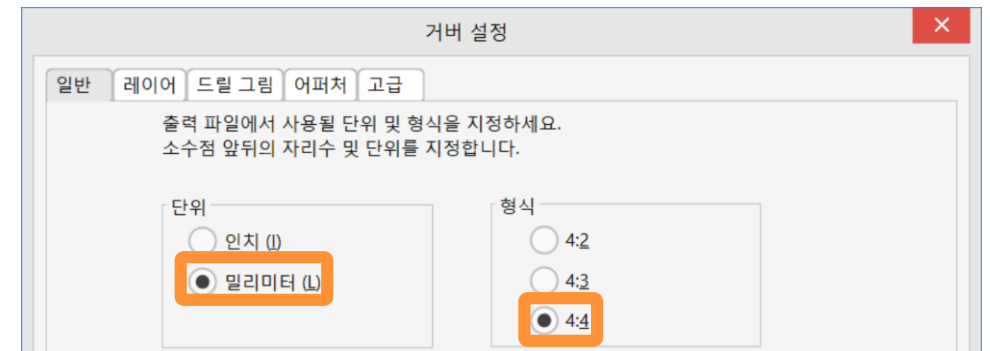


출력파일 생성

1. Output Job File 생성
- 2. Gerber 파일**
3. NC Drill
4. 자삽파일
5. BOM

Gerber 파일 만들기 (1/5)

- 거버 포맷(Gerber Format)이란 PCB의 구성요소(동박패턴, 솔더 마스크, 심볼, 마크등의 계층)와 드릴,라우터 등의 외형 가공용 데이터를 표현한다.
 - **RS-274X(확장 거버, X거버)** : 2D 도면으로 벡터 이미지를 표현하며, 현재 PCB 업계의 가장 일반화된 표준 형식
 - RS-274X는 ASCII 형식 으로 내용이 구성되어 읽을 수 있고 각 명령과 좌표의 순서로 구성된다. 이미지의 기본적인 표현 방식은 주어진 좌표 영역에 라인(DRAW) 플래시 (FLASH), 그리고 주어진 영역을 채우는 방식(outline fill)으로 구성된다. 또한 양화(Positive) / 음화(Negative) 형태로 그래픽 개체를 결합 할 수 있다.
 - RS-274D (표준 거버) : 오래되고 불편하여 개발이 중지되었다. RS-274X에 대체되어 현재는 사용빈도가 적다.
- File » Fabrication Outputs » Gerber Files
- 거버 설정 - 일반
 - 프로젝트 요구사항에 맞게 출력 파일에서 사용할 단위 및 형식을 지정한다.
 - 4 : 2 형식은 0.01mm 해상도, 4 : 3은 0.001mm 해상도, 4 : 4 형식은 0.0001m 해상도다.
 - 더 높은 해상도 중 하나를 사용하는 경우 PCB 제조업체에서 해당 형식을 지원하는지 확인해야 한다.



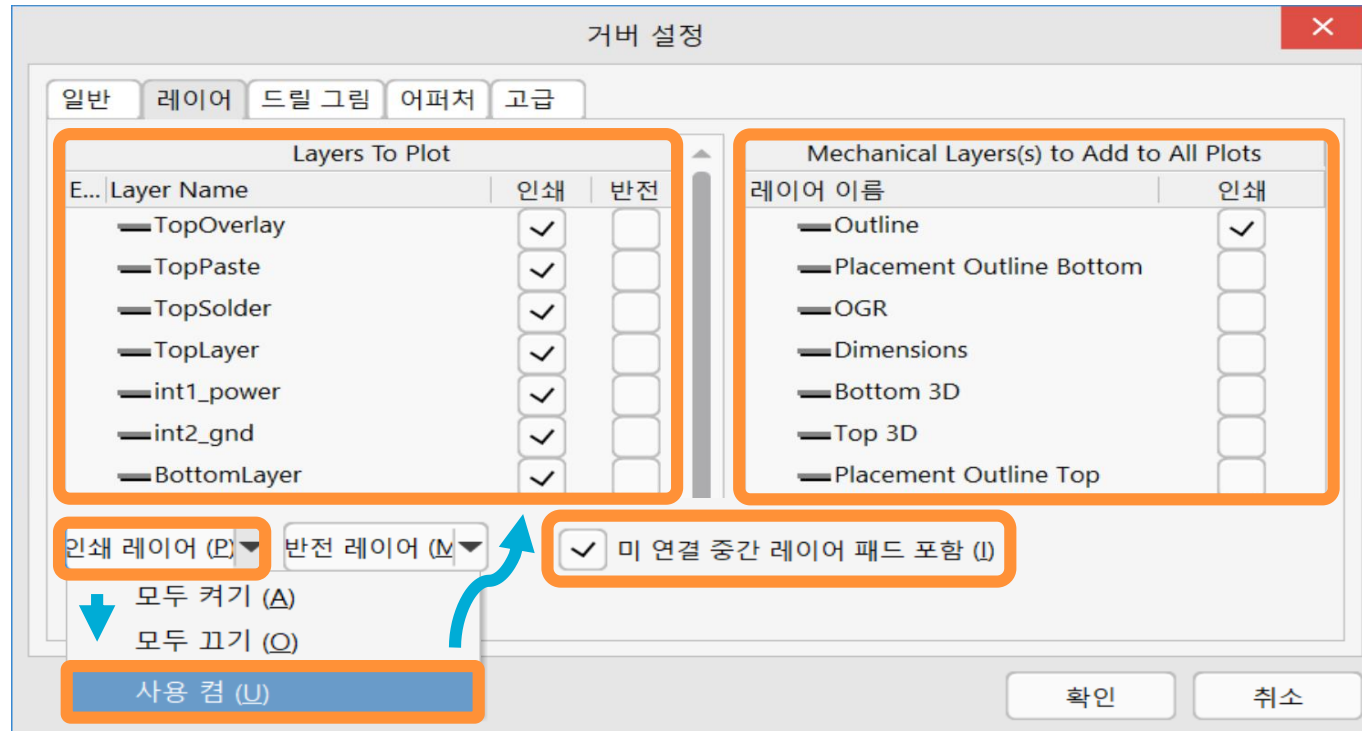
Gerber 파일 만들기 (2/5)

- 거버 설정 - 레이어

- Layer To Plot
 - 인쇄 레이어 - **사용 컴**
- Mechanical Layers(s) to Add to All Plots

- **미 연결 중간 레이어 패드 포함**

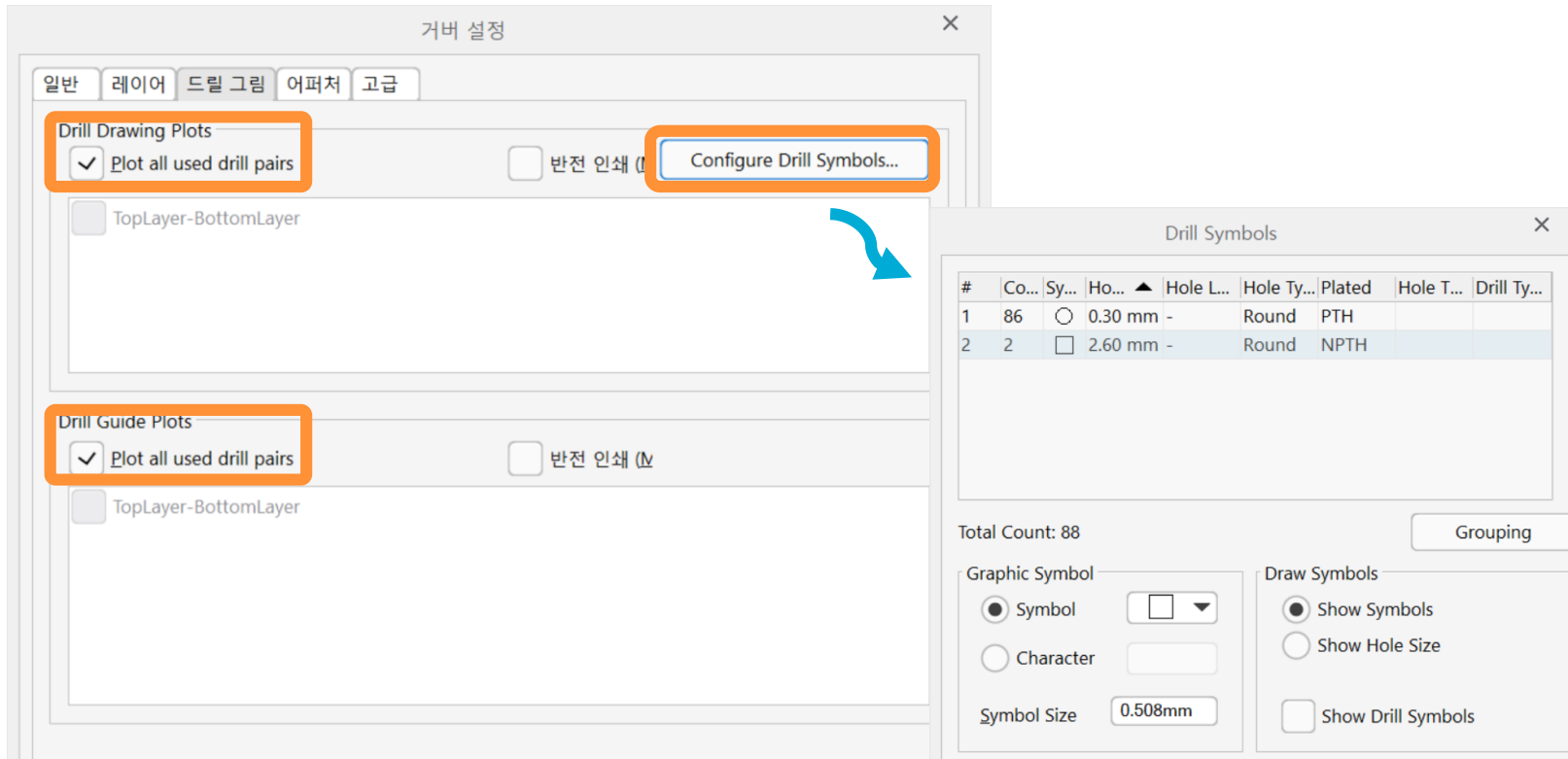
- Multi-Layer의 경우 Layer별로 Net가 연결 되지 않은 부분, Pad가 생성되지 않는 부분이 발생하여 PCB제조 작업 시 문제가 발생할 수 있으므로 상황에 따라 반드시 **"미 연결 중간 레이어 패드 포함"** 을 체크하고 진행한다.



Gerber 파일 만들기 (3/5)

- 거버 설정 - 드릴 그림

- Drill Drawing Plots - ☒ **Plot all used drill pairs**
 - Configure Drill Symbols... : 드릴 심볼 선택 (심볼 그림 / 크기별 문자 / 문자)
- Drill Guide Plots - ☒ **Plot all used drill pairs**



Gerber 파일 만들기 (4/5)

- 거버 설정 - 고급
 - 필름 크기
 - '0'생략
 - 생략하지 않음
 - **앞쪽 생략 - Leading**
 - 뒤쪽 생략 - Trailing
 - Position on Film
 - **절대값 기준점 참고**
 - 상대값 기준점 참고
 - 필름의 가운데

거버 설정

일반 레이어 드릴 그림 어퍼처 고급

필름 크기

X-가로 (X) 508mm

Y-세로 (Y) 406.4mm

기판 크기 (B) 25.4mm

'0' 생략

☐ 생략하지 않음 (K)

☒ 앞쪽 생략 - Leading (Z)

☐ 뒤쪽 생략 - Trailing (I)

어퍼처 매칭 오차

플러스 (L) 0.0001mm

마이너스 (N) 0.0001mm

Position on Film

☒ 절대값 기준점 참고 (A)

☐ 상대값 기준점 참고 (V)

☐ 필름의 가운데 (C)

일괄 모드

☒ 레이어별 파일생성 (I)

☐ 한 레이어에 배열

인쇄 형식

☒ 비 정렬(라스터) (I)

☐ 정렬(벡터) (S)

기타

☐ 어퍼처 변경 G54 (G)

☐ 소프트웨어 원호

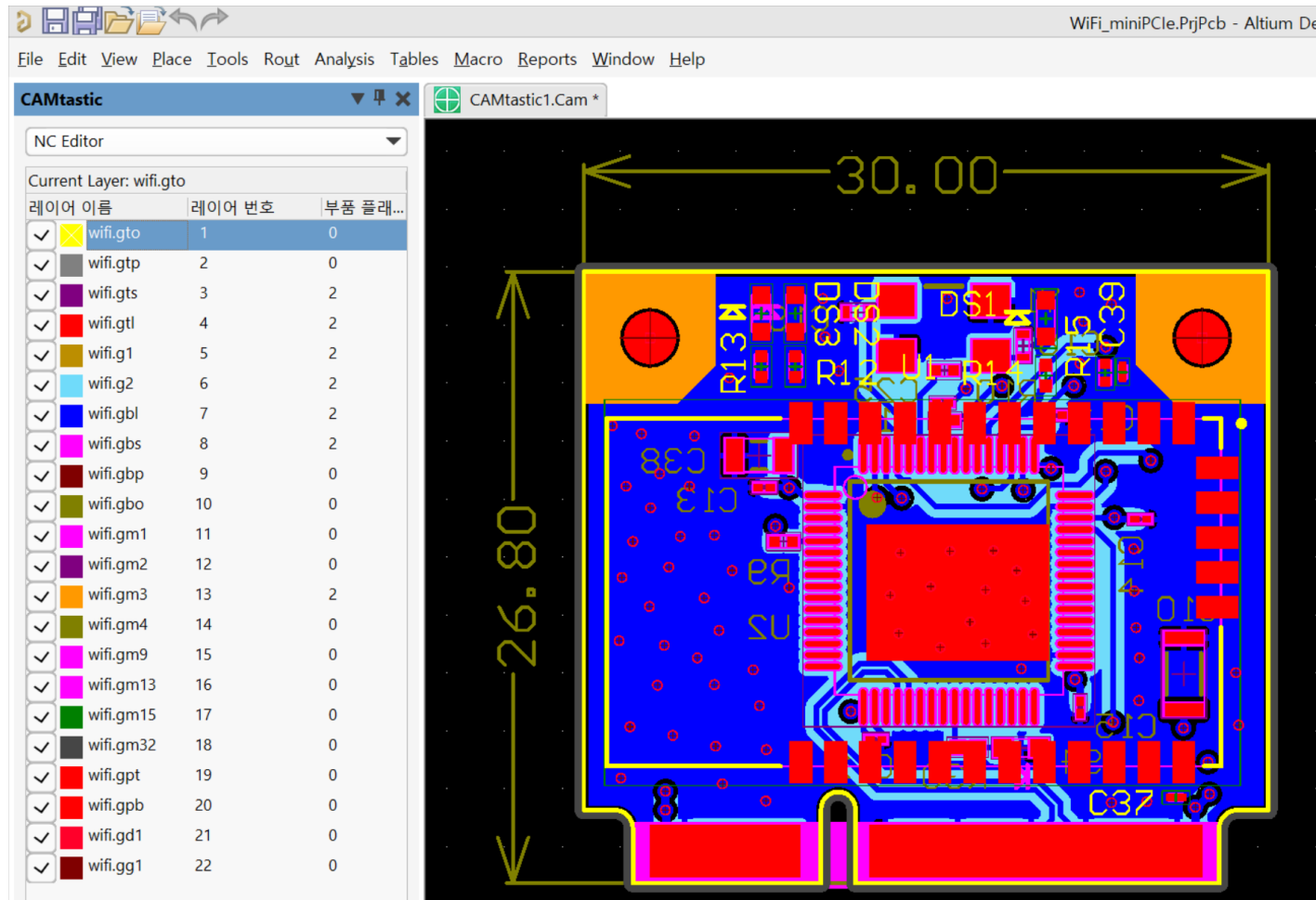
☐ Use polygons for octagonal pads

☒ 위치 변경 명령 간소화 (Q)

☒ 설계 규칙 파일 생성 (G)

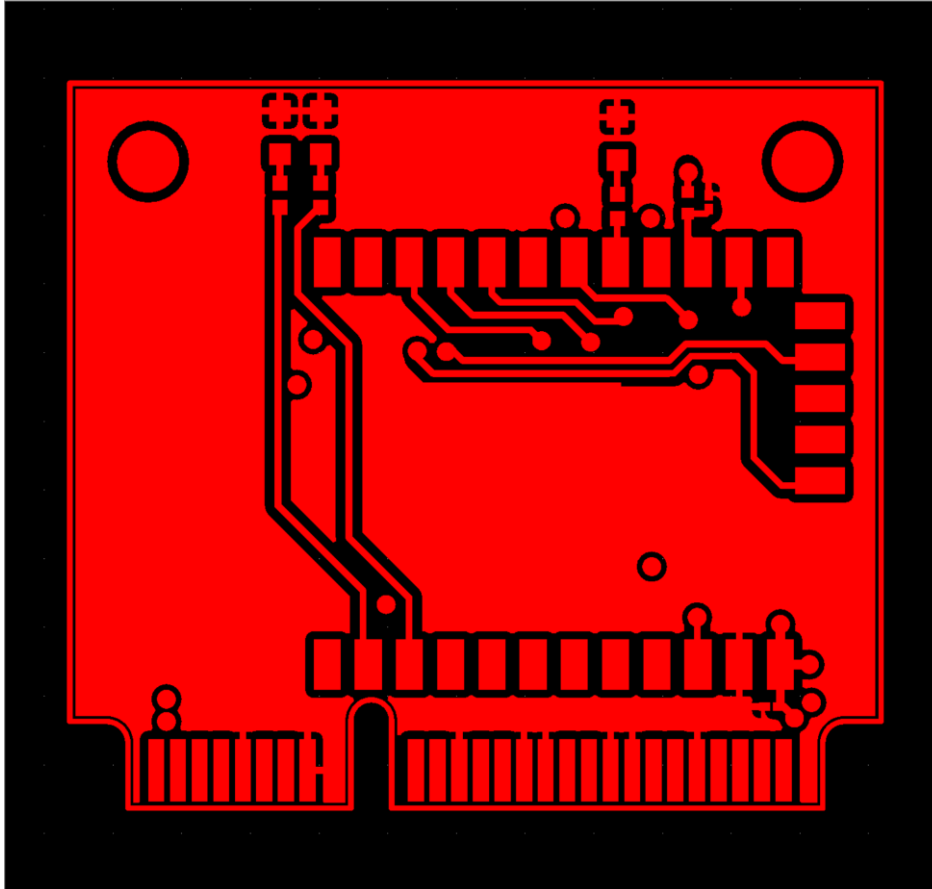
Gerber 파일 만들기 (5/5)

- CAMtastic에서 거버파일 확인

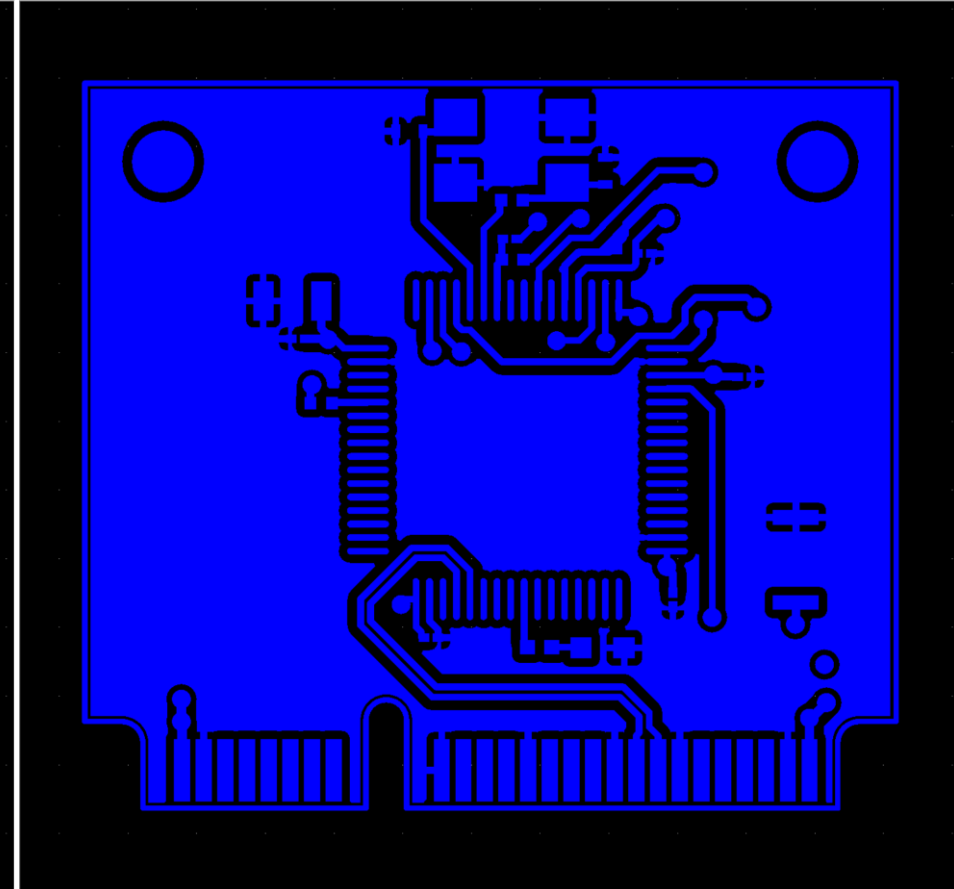


거버파일

- *.gtl Top Layer Gerber Data

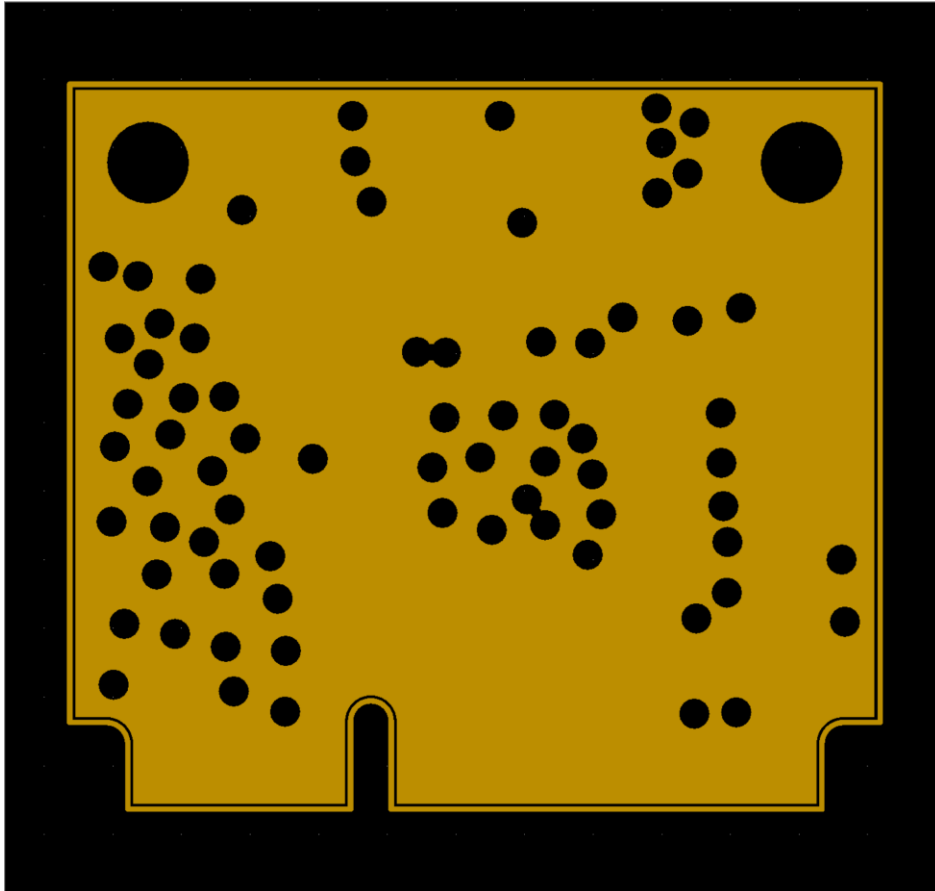


- *.gbl Bottom Layer Gerber Data

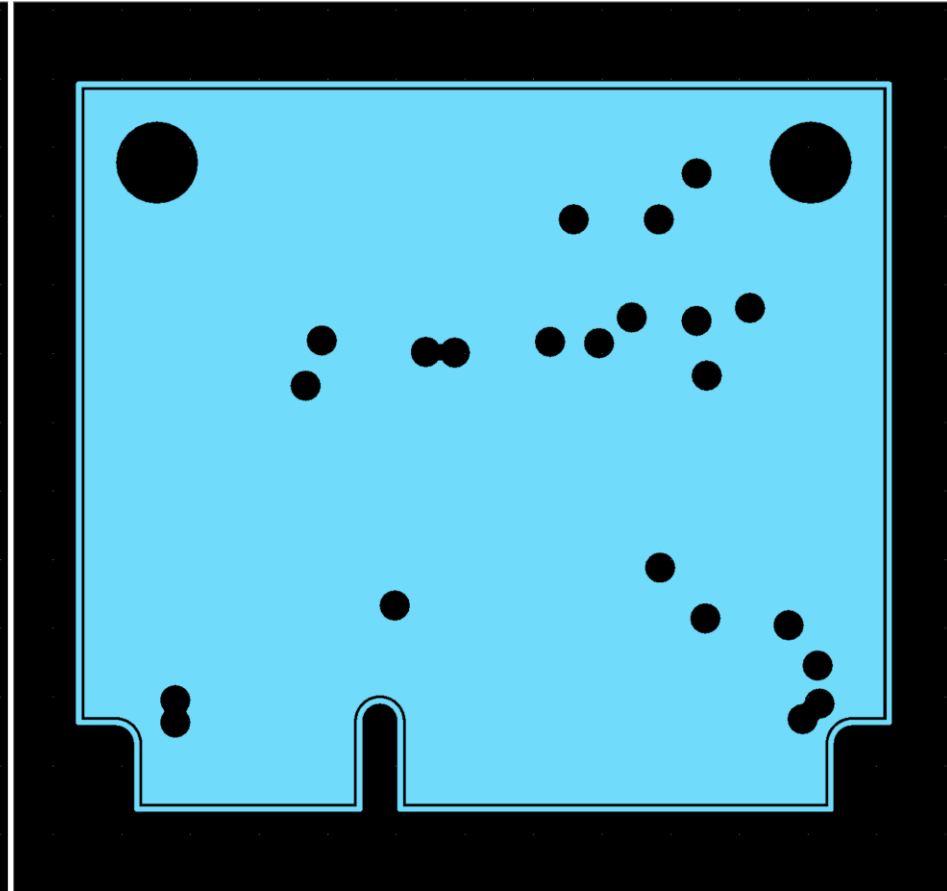


거버파일

- *.g1 Mid Layer 1 Gerber Data

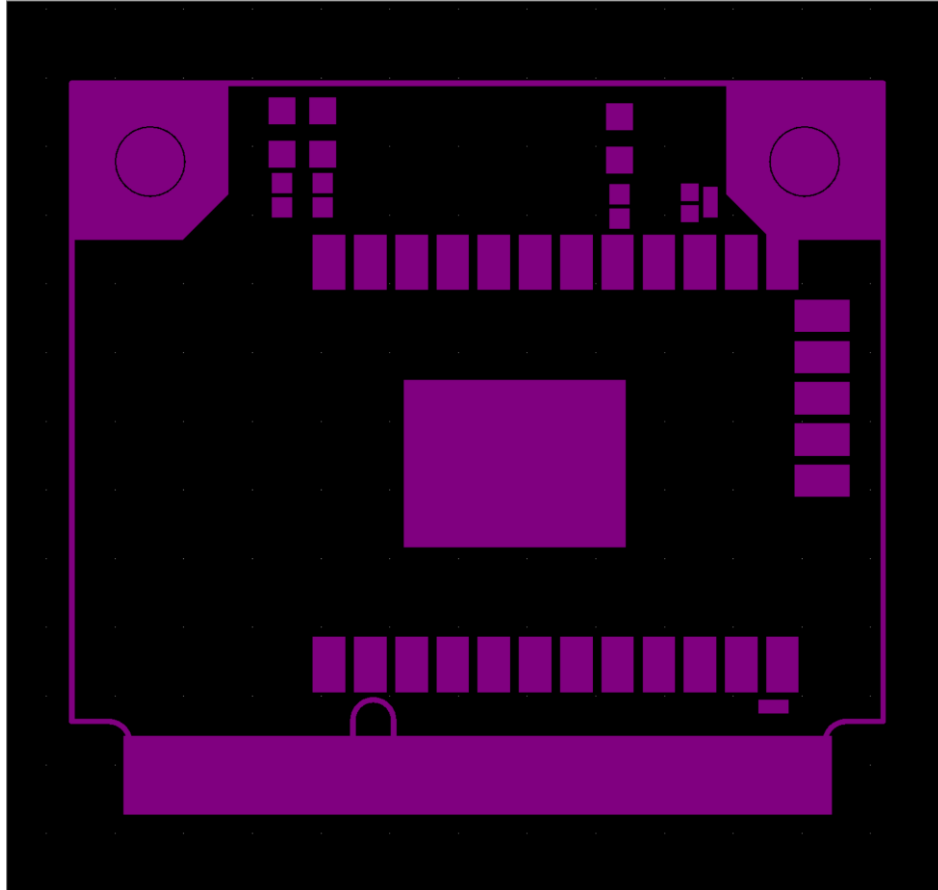


- *.g2 Mid Layer 2 Gerber Data

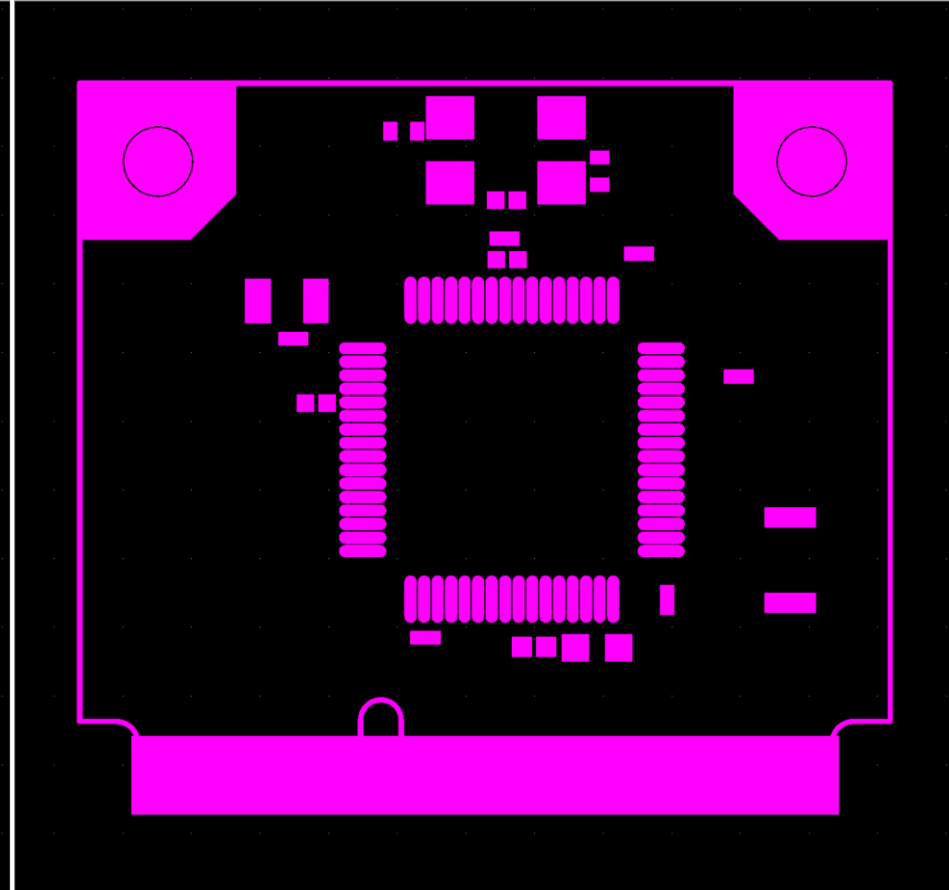


거버파일

- *.gts Top Solder Mask Gerber Data

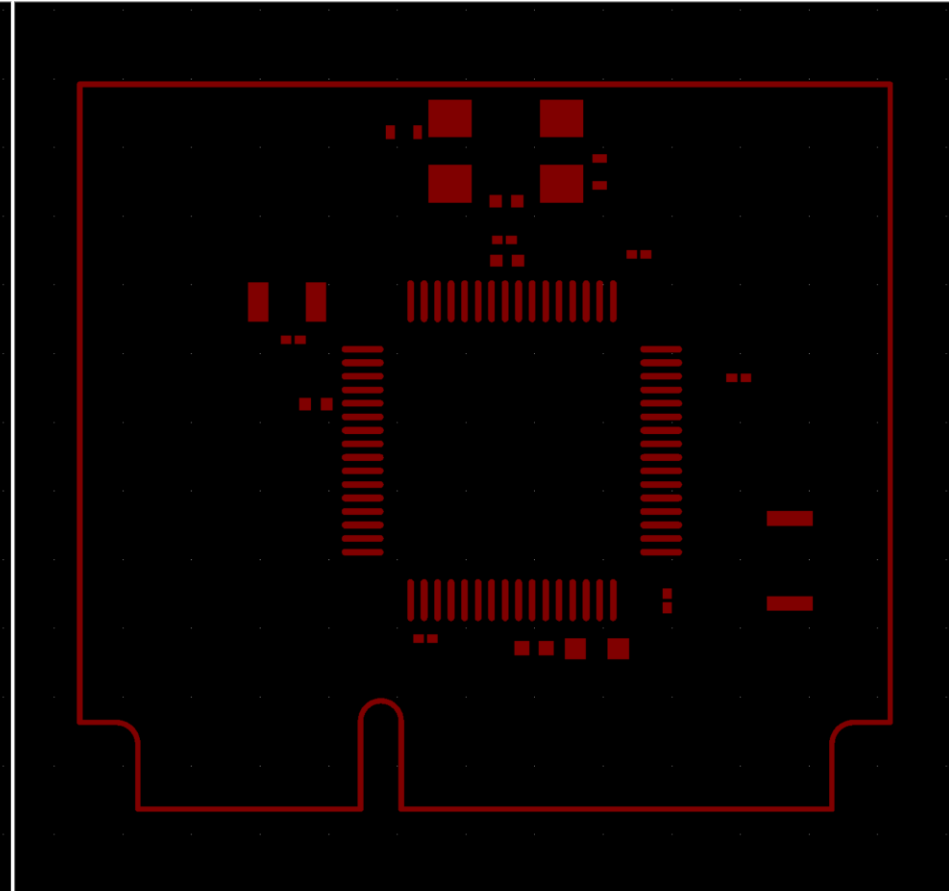
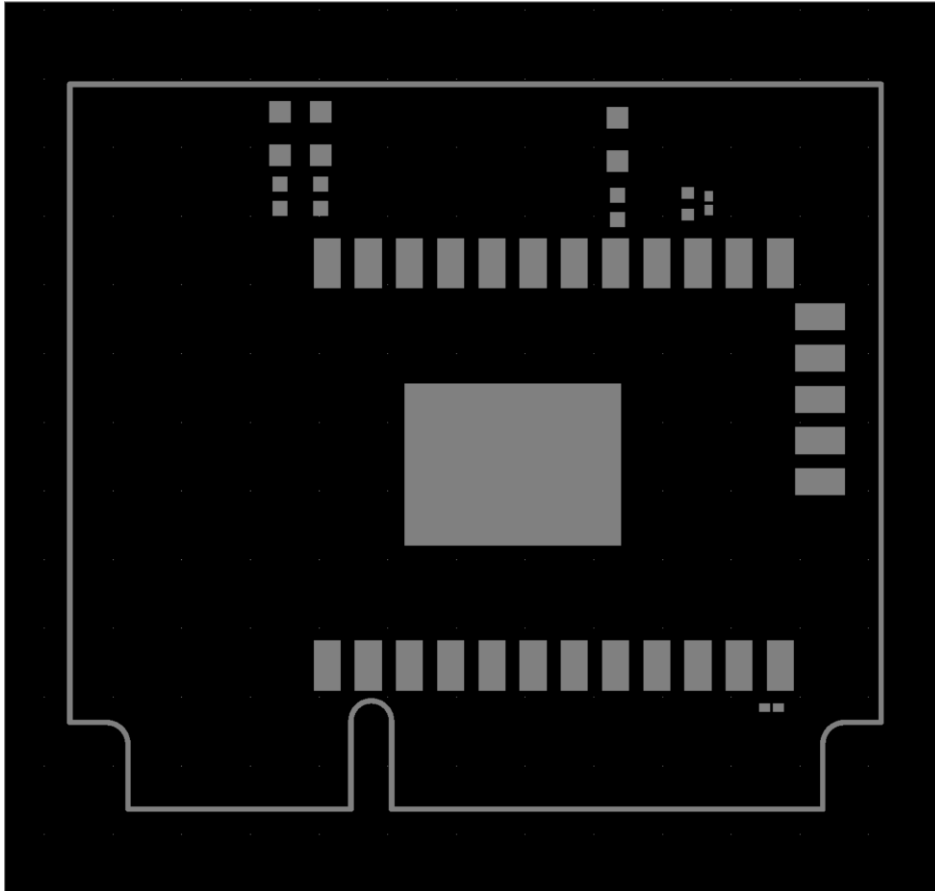


- *.gbs Bottom Solder Mask Gerber Data



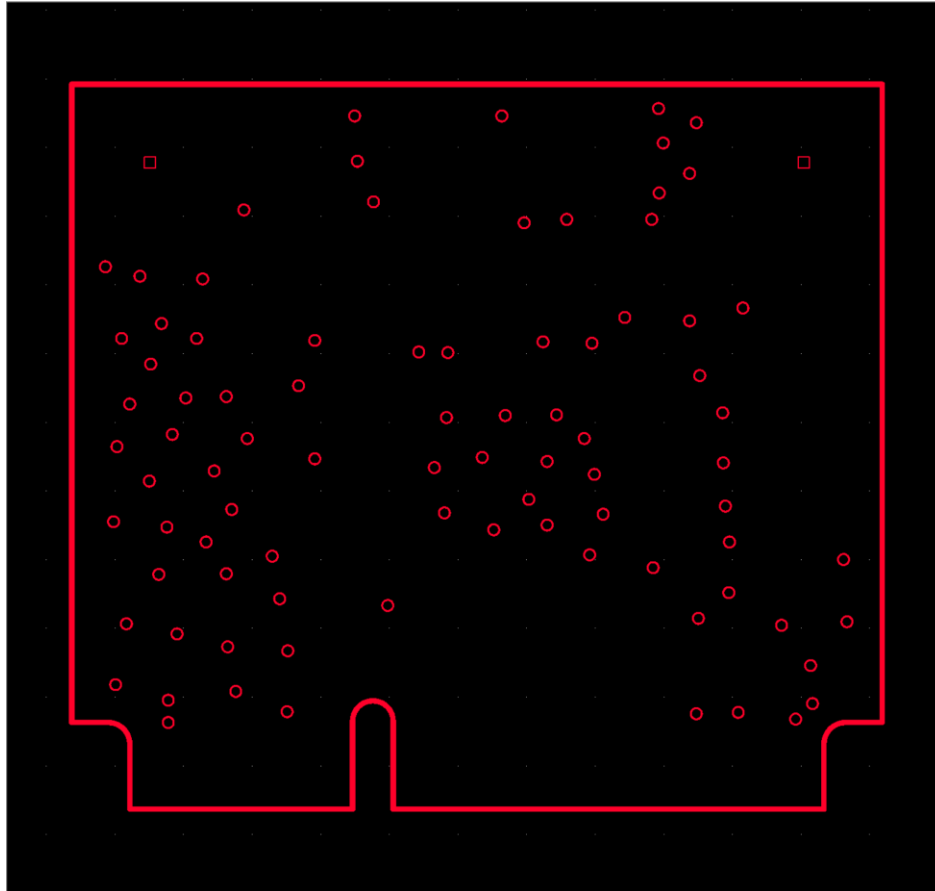
거버파일

- *.gtp Top Paste Mask Gerber Data
- *.gbp Bottom Paste Mask Gerber Data

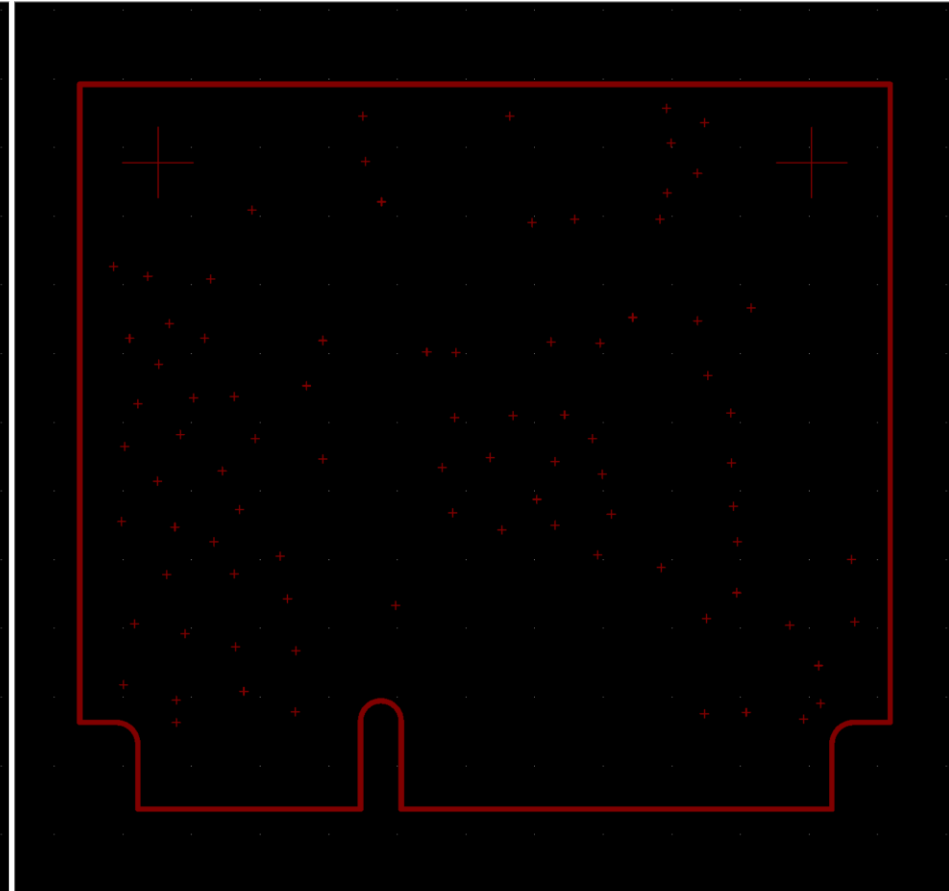


거버파일

- *.gd1 Drill Symbol



- *.ggd Drill Guide



Gerber Data에 대한 확장자 설명

- *.G1, *G2, etc Mid-layer 1,2 etc.
- *.GBL Bottom Layer
- *.GBO Bottom Overlay
- *.GBP Bottom Paste Mask
- *.GBS Bottom Solder Mask
- *.GD1, GD2, etc. Drill Drawing
- *.GG1, GG2, etc. Drill Guide
- *.GKO Keep Out Layer
- *.GM1, GM2, etc. Mechanical Layer 1, 2, etc.
- *.GP1, GP2, etc. Internal Plane Layer 1, 2, etc.
- *.GPB Pad Master Bottom
- *.GPT Pad Master Top
- *.GTL Top Layer
- *.GTO Top Overlay
- *.GTP Top Paste Mask
- *.GTS Top Solder Mask
- *.P01, P02, etc. Gerber Panels
- *.APR Aperture File (generated when Embedded apertures (RS274X) on the Apertures tab is enabled)
- *.APT Aperture File (generated when Embedded apertures (RS274X) on the Apertures tab is not enabled)

출력파일 생성

1. Output Job File 생성
2. Gerber 파일
- 3. NC Drill**
4. 자삽파일
5. BOM

NC Drill 파일 만들기

- File » Fabrication Outputs » NC Drill Files

- NC 드릴 형식

- 단위 (인치/밀리미터)
- 형식 (4:2 / 4:3 / 4:4)

- '0' 생략

- 생략하지 않음
- 앞쪽 생략 - Leading
- 뒤쪽 생략 - Trailing

- 좌표 위치

- 절대값 기준점 참고
- 상대값 기준점 참고

NC 드릴 설정

NC 드릴 형식
NC 드릴 출력 파일에서 사용될 단위 및 형식을 지정하세요.
이것은 단위 (인치 또는 밀리미터) 및 정수 자리, 소수 자리를 지정 할 수 있습니다.

단위
☐ 인치 (I)
☒ 밀리미터 (M)

형식
☐ 4:2
☐ 4:3
☒ 4:4

The format should be set to suit the requirements of your design.
The 4:2 format has a 0.01 mm resolution, 4:3 has a 1 um resolution, and 4:4 has a 0.1 um resolution.

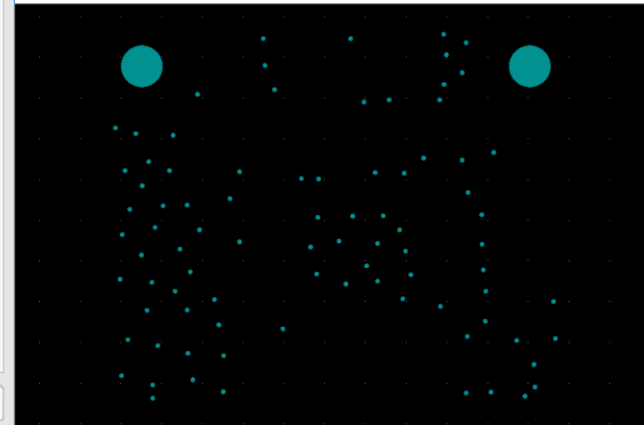
If you are using one of the higher resolutions you should check that the PCB manufacturer supports that format.

'0' 생략
☐ 생략하지 않음 (K)
☒ 앞쪽 생략 - Leading (L)
☐ 뒤쪽 생략 - Trailing (I)

좌표 위치
☒ 절대값 기준점 참고 (A)
☐ 상대값 기준점 참고 (V)

기타
☒ 위치 변경 명령 간소화 (Q)
☐ 도금 / 비도금 홀을 구분하여 출력 (G)
☐ 각홀 명령 사용(G85) (U)
☐ 기판 외곽 절개 경로 생성 (R)
절개 톨 지름 (D) 200mil
☐ EIA 이진 드릴파일 생성 (.DRL)

확인 취소



출력파일 생성

1. Output Job File 생성
2. Gerber 파일
3. NC Drill
- 4. 자삽파일**
5. BOM

자습 파일 만들기

- File » Assembly Outputs » Generates pick and place files
 - Output Setting
 - 단위 (인치/**밀리미터**)
 - ☐ Show Units

자습 설정

All Columns	Show	Designator	Comment	Layer	Footprint	Center-X(mm)	Center-Y(mm)	Rotation	Description
Center-X(mm)	<input checked="" type="checkbox"/>	C10	C3216X5R1A476M160AB	BottomLayer	CAPC3216X180X20LL20	26.3000	9.1750	270	Chip Capacitor, 4
Center-Y(mm)	<input checked="" type="checkbox"/>	C11	GRM033R60J104KE19D	BottomLayer	CAPC0603X33X15LL03T05	20.7000	20.5000	180	Chip Capacitor, 1
Comment	<input checked="" type="checkbox"/>	C12	GRM033R60J104KE19D	BottomLayer	CAPC0603X33X15LL03T05	12.8000	6.3000	180	Chip Capacitor, 1
ComponentKind	<input type="checkbox"/>	C13	GRM033R60J104KE19D	BottomLayer	CAPC0603X33X15LL03T05	7.9000	17.3500	360	Chip Capacitor, 1
Description	<input checked="" type="checkbox"/>	C14	GRM033R60J104KE19D	BottomLayer	CAPC0603X33X15LL03T05	24.4000	15.9500	180	Chip Capacitor, 1
Designator	<input checked="" type="checkbox"/>	C15	GRM033R60J104KE19D	BottomLayer	CAPC0603X33X15LL03T05	21.7500	7.7000	90	Chip Capacitor, 1
Footprint	<input checked="" type="checkbox"/>	C18	C1005C0G1H220J050BA	BottomLayer	CAPC1005X55X10LL05	19.2500	23.5500	270	Chip Capacitor, 2
Footprint Description	<input type="checkbox"/>	C19	C1005C0G1H220J050BA	BottomLayer	CAPC1005X55X10LL05	12.0000	25.0250	180	Chip Capacitor, 2
Height(mm)	<input type="checkbox"/>	C25	GRM033R60J104KE19D	BottomLayer	CAPC0603X33X15LL03T05	15.7250	21.0500	180	Chip Capacitor, 1
Layer	<input checked="" type="checkbox"/>	C37	GRM033R60J104KE19D	TopLayer	CAPC0603X33X15LL03T05	25.9500	3.7500	360	Chip Capacitor, 1
Pad-X(mm)	<input type="checkbox"/>	C38	C2012X5R1C106K085AC	BottomLayer	CAPC2013X100X20NL20	7.6750	18.7500	360	Chip Capacitor, 1
Pad-Y(mm)	<input type="checkbox"/>	C39	GRM033R60J104KE19D	TopLayer	CAPC0603X33X15LL03T05	23.6250	22.4000	90	Chip Capacitor, 1
Ref-X(mm)	<input type="checkbox"/>	DS1	150060VS75000	TopLayer	WE-150060VS75000_V	20.2500	24.7500	270	WL-SMCW SMD
Ref-Y(mm)	<input type="checkbox"/>	DS2	150060VS75000	TopLayer	WE-150060VS75000_V	9.2750	24.9750	270	WL-SMCW SMD
Rotation	<input checked="" type="checkbox"/>	DS3	150060VS75000	TopLayer	WE-150060VS75000_V	7.7750	24.9750	270	WL-SMCW SMD
Variation	<input type="checkbox"/>								

Output Settings

Units ☐ Imperial ☒ Metric

☐ Show Units

Separator .

형식 ☒ CSV ☐ Text

☐ Exclude Filter Parameters

☐ Include Variation Component

확인 취소

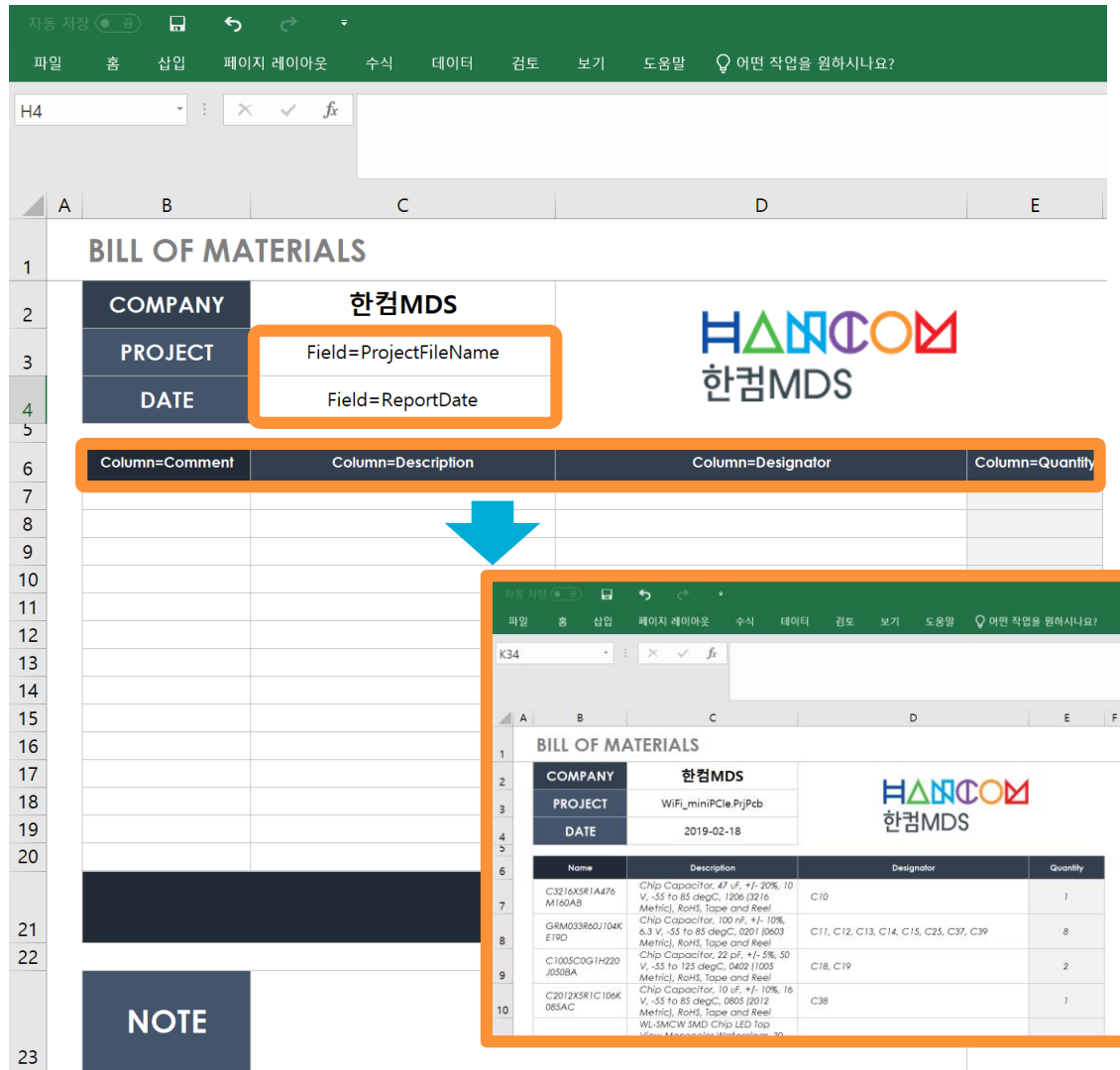
출력파일 생성

1. Output Job File 생성
2. Gerber 파일
3. NC Drill
4. 자삽파일
5. **BOM**

BOM

1. BOM 엑셀 서식파일 제작
2. BOM 출력

엑셀 서식파일 만들기



- AD19 엑셀 서식파일 경로
 - C:\Users\Public\Documents\Altium\AD19\Templates
 - Board Stack Report.XLT
 - BOM Default Template 95.xlt
 - BOM Default Template.XLT
 - BOM Manufacturer.XLT
 - BOM Purchase.XLT
 - BOM Review.XLT
 - BOM Simple.XLT
 - BOM Supplier Links.XLT
 - BOM Variant Template.XLT
 - Component Default Template.XLT
- 엑셀 서식 생성
 - Files 표현
 - Filed=FieldName**
 - Field=ProjectFileName** 프로젝트 파일명
 - Field=ReportDate** BOM 레포트 생성일
 - Columns 표현
 - Column=ColumnName**
 - Column=Comment** 부품 주석
 - Column=Description** 부품 설명
 - Column=Designator** 설계 참조번호
 - Column=Quantity** 부품 수량
 - 그 외
 - 엑셀 함수 사용 (ex. =SUM(E7:E20))

프로젝트 레벨, BOM 헤더 정보 매핑 (1/2)

- 프로젝트 레벨 정보는 일반적으로 Filed=Statement를 사용하여 BOM 문서의 헤더에 매핑된다.

- 이용 가능한 시스템 필드

- FIELD

DESCRIPTION

보고서 관리자 대화상자의 공급자 옵션 영역에서 선택한 currency

- Currency

BOM 데이터에 사용된 소스 파일 이름

- DataSourceFileName

BOM 데이터에 사용된 소스 전체 경로 + 파일 이름

- DataSourceFullPath

For a BOM, this field displays Bill of Materials.

- GeneratorDescription

보고서 관리자가 출력 생성시, BOM 생성자 이름

- GeneratorName

보고서 관리자에 표시되는 BOM 제목

- OutputName

("BOM문서 [<DataSourceFileName>]"텍스트 제외).

- OutputType

BOM의 경우 필드에는 BOM_PartType이 표시

- PCBDataSourceFileName

PCB 데이터 소스파일 이름

- ProductionQuantity

보고서 관리자 대화상자에 정의된 생산 수량

- ProjectFileName

PrjPcb 파일 이름 (파일 확장명 포함).

- ProjectFullPath

전체 경로 + 프로젝트 파일명

프로젝트 레벨, BOM 헤더 정보 매핑 (2/2)

• FIELD	DESCRIPTION
• ReportDate	보고서가 생성된 날짜
• ReportDateTime	보고서가 생성된 날짜 및 시간
• ReportTime	보고서가 생성된 시간
• TotalQuantity	BOM 품목 수량 열의 합계
• Title	BOM 보고서 대화상자 상단에 표시되는 제목
• VariantName	Variant(파생) 관리자 대화상자에서 정의된 variant(파생) 이름
• VersionControl_RevNumber	BOM문서의 현재 개정판
• VersionControl_ProjFolderRevNumber	프로젝트의 현재 개정판 (전체 프로젝트에 Commint 수행시 증가).
• <UserProjectParameter_n>	사용자 정의 UserProjectParameter-n에 할당된 값을 표시

문서 및 프로젝트 매개변수 매핑

- 시스템 필드는 물론, 회로도 문서 매개변수 (회로도 문서의 Properties 패널에 입력된 기본 및 사용자 정의 매개변수) 및 프로젝트 매개변수 (Project » Project Options... - Parameters)는 Fields 또는 Columns로 사용할 수 있다.

- 기본 문서 매개변수

- | | | |
|---------------------------|---------------------------|----------------|
| • Address1 | • CurrentDate | • Index |
| • Address2 | • CurrentTime | • ModifiedDate |
| • Address3 | • Date | • Organization |
| • Address4 | | • Revision |
| | • DocumentFullPathAndName | • Rule |
| • ApprovedBy | • DocumentName | • SheetNumber |
| • Author | • DocumentNumber | • SheetTotal |
| • CheckedBy | • DrawnBy | • Time |
| • CompanyName | • Engineer | |
| • ConfigurationParameters | • ImagePath | |

- 동일한 매개변수가 문서 매개변수와 프로젝트 매개변수에 모두 존재하면, 프로젝트 매개변수가 우선된다. 동일한 문서 매개변수가 여러 문서에 있는 경우 계층 구조에서 상위 수준인 문서의 매개변수가 우선한다

BOM 품목 정보 매핑

- 부품 매개변수

- Comment
- ComponentKind
- Description
- Designator
- DesignItemId
- Footprint
- LibRef
- LogicalDesignator
- PartType
- PhysicalPath
- Quantity
- UniqueIdName
- UniqueIdPath
- <UserParameter_n>

- PCB 부품 데이터

- enter-X(Mil)
- Center-Y(Mil)
- Center-X(mm)
- Center-Y(mm)
- Pad-X(Mil)
- Pad-Y(Mil)
- Pad-X(mm)
- Pad-Y(mm)
- Ref-X(Mil)
- Ref-Y(Mil)
- Ref-X(mm)
- Ref-Y(mm)
- Layer
- Rotation

- 공급자 데이터

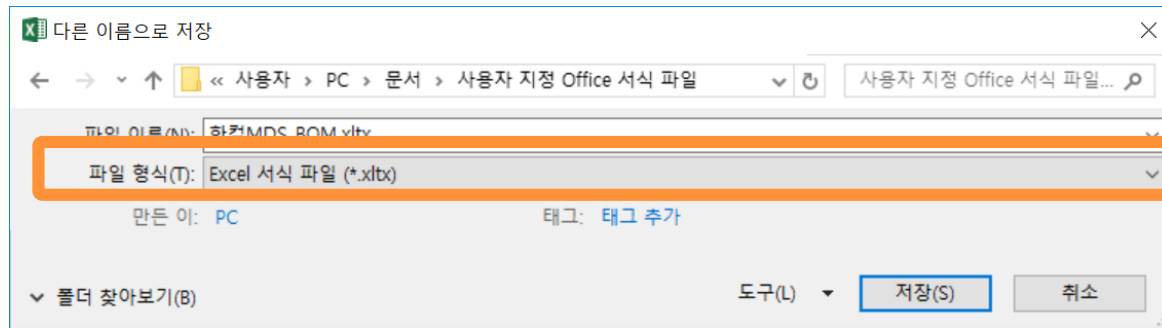
- Manufacturer x
- Manufacturer Part Number x
- Supplier x
- Supplier Currency x
- Supplier Order Qty x
- Supplier Part Number x
- Supplier Stock x
- Supplier Subtotal x
- Supplier Unit Price x

- 사용자 정의 칼럼

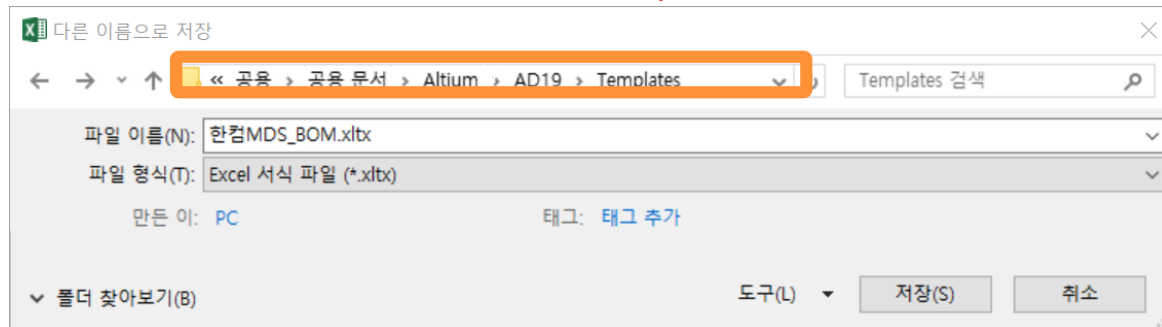
- Colum=ColumnName

엑셀BOM 서식파일 저장

- 엑셀 형식의 BOM 서식파일 저장은 반드시 아래 순서에 따라 진행한다.
- ① 파일 형식 : Excel 서식 파일 (*.xltx) 선택한다.
 - 서식 파일 저장경로가 자동으로 MS Office 서식파일 기본 경로("C:\Users\PC\Documents\사용자 지정 Office 서식 파일")로 변경된다.



- ② 파일 저장경로 설정
 - 서식파일은 Altium Designer 메뉴 사용시, 쉽게 템플릿 확인이 가능하도록, AD19 템플릿 기본 경로("C:\Users\Public\Documents\Altium\AD19\Templates")에 저장하는 것을 권장한다.

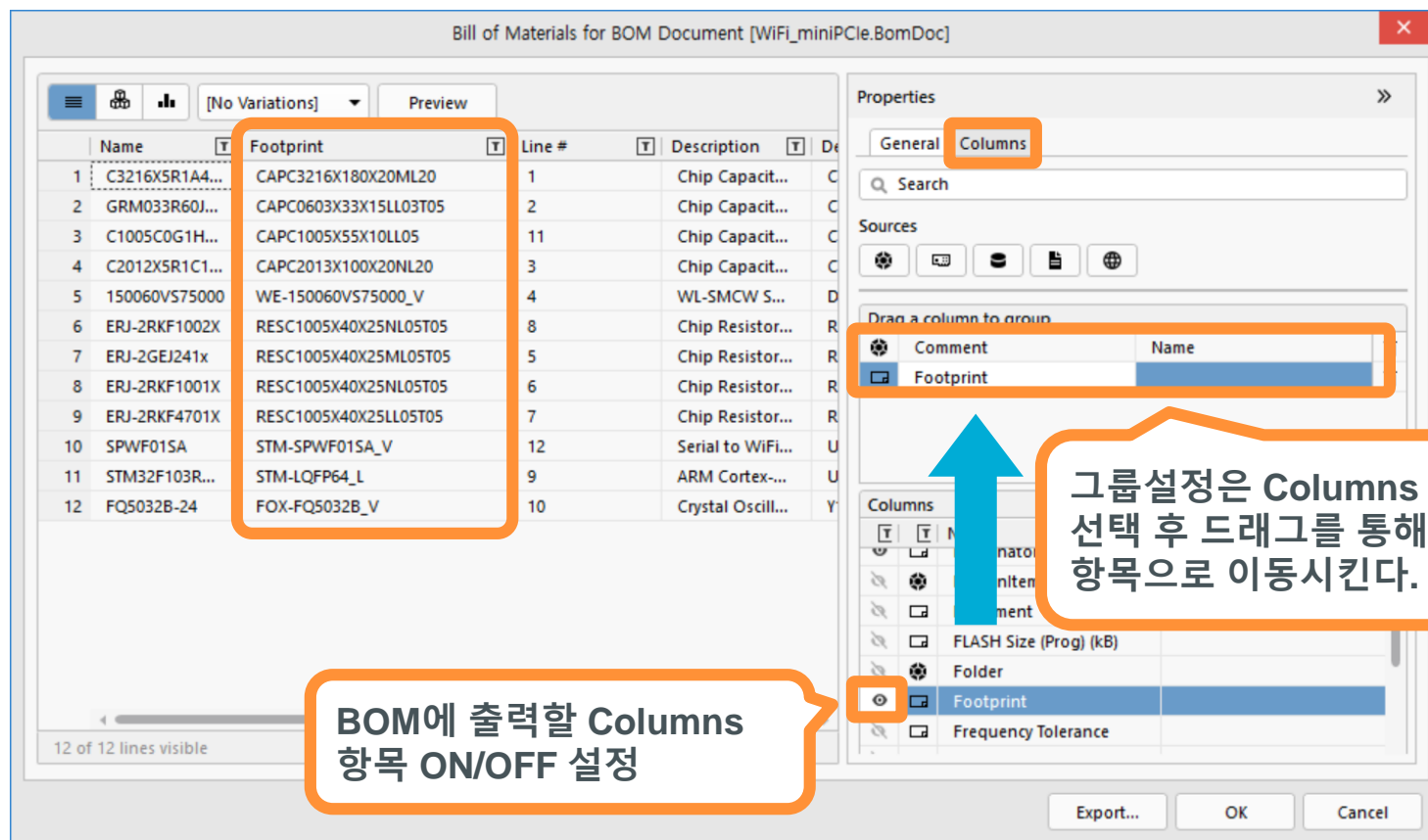


BOM

1. BOM 엑셀 서식파일 제작
2. BOM 출력

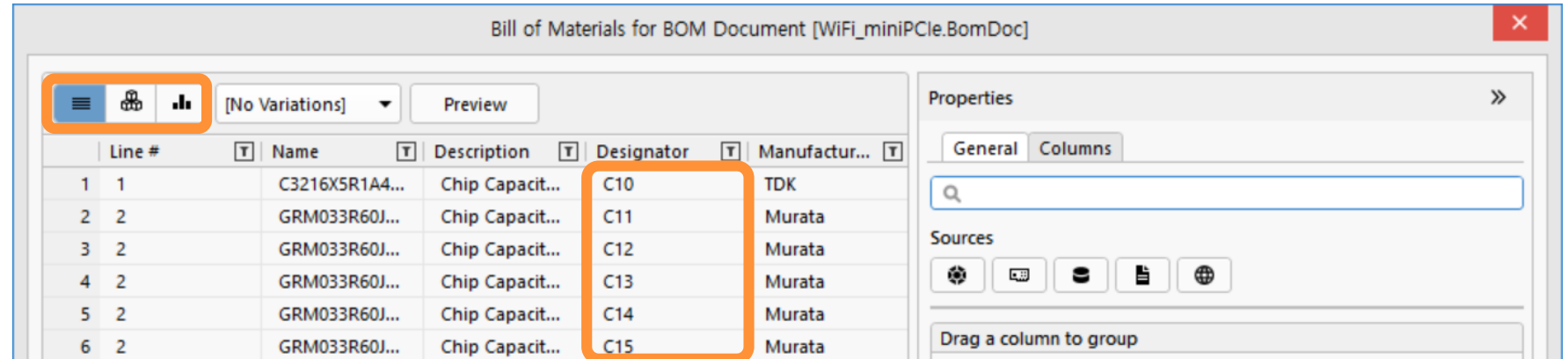
BOM 출력

- 회로도 또는 PCB 문서에서 Report » Bill of Materials을 실행 → 옵션 설정 후 Export... 클릭
 - General 탭 - BOM 형식 및 템플릿을 설정
 - Columns 탭 - 출력할 매개변수 값을 선택



BOM 아이템 목록 표기 모드 설정

- Flat view (평면보기)
 - 모든 부품에 대한 행을 표시



Bill of Materials for BOM Document [WiFi_miniPCle.BomDoc]

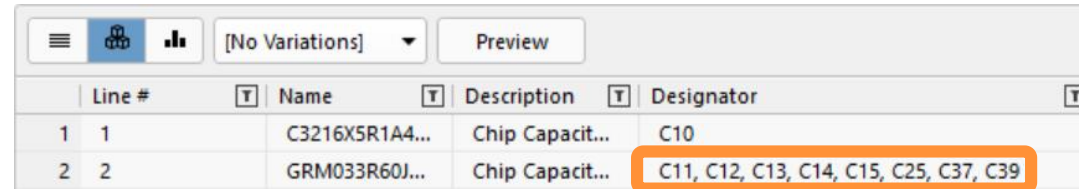
Properties: General, Columns

Sources: [Icons]

Drag a column to group

Line #	Name	Description	Designator	Manufactur...
1 1	C3216X5R1A4...	Chip Capacit...	C10	TDK
2 2	GRM033R60J...	Chip Capacit...	C11	Murata
3 2	GRM033R60J...	Chip Capacit...	C12	Murata
4 2	GRM033R60J...	Chip Capacit...	C13	Murata
5 2	GRM033R60J...	Chip Capacit...	C14	Murata
6 2	GRM033R60J...	Chip Capacit...	C15	Murata

- Base view (기본 보기)
 - 프로젝트의 각 고유 부품에 대한 행을 표시. Designator 열에는 이 유형의 모든 부품의 Designator가 나열된다.

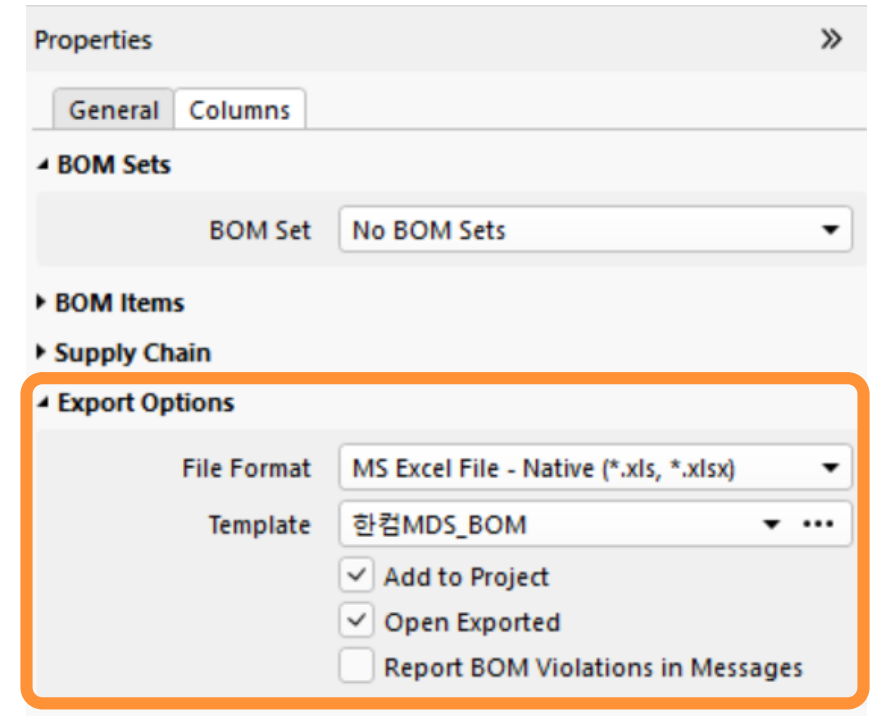


Line #	Name	Description	Designator
1 1	C3216X5R1A4...	Chip Capacit...	C10
2 2	GRM033R60J...	Chip Capacit...	C11, C12, C13, C14, C15, C25, C37, C39

- Consolidated view (통합 보기)
 - 프로젝트에 Variant(조립 파생품)가 등록된 경우, 모든 Variant(조립 파생품) 정보를 통합 BOM에서 표시

BOM 출력 옵션

- File Format : BOM 형식 설정
 - CSV (쉼표로 구분) (*.csv)
 - Microsoft Excel Worksheet (*.xls, *.xlsx, *.xlt, *.xltx)
 - Portable Document Format (*.pdf)
 - Tab Delimited Text (*.txt)
 - Web Page (*.htm, *.html)
 - XML Spreadsheet (*.xml)
- Template : 서식 선택
- Add to Project : BOM 생성시, 프로젝트 추가하기
- Open Exported : BOM 파일 내보내기&저장 후 Excel에서 바로 열기
- Report BOM Violations in Messages : BOM 생성 중 Active BOM의 BOM 확인.



Altium Designer 19

- I. 라이선스 인증 및 프로그램 UI
- II. 환경설정
- III. 회로설계
- IV. PCB설계
- V. 일괄데이터 생성
- VI. 라이브러리 제작**

라이브러리 제작 Gerber 파일

1. 회로심볼 만들기
2. Footprint 만들기
3. 패드/비아 라이브러리 만들기

회로심볼 만들기

1. 표준 부품 설계참조 번호
2. 회로 심볼 만들기

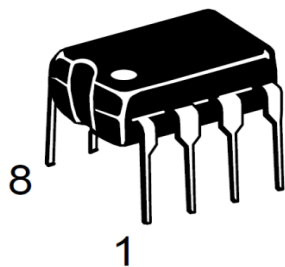
표준 부품 설계 참조 번호

A	separably assembly	LS	loudspeaker, buzzer
AR	amplifier	M	meter
AT	attenuator, isolator	MG	motor-generator
B	blower, motor	MH*	mounting hole
BT	battery	MK	microphone
C	capacitor	MP	mechanicalpart
CB	circuit breaker	P	connector, plug, male
CP	connector adapter, coupling	PS	power supply
CN	capacitor network	Q	transistor
D or CR	diode	R	resistor
D or VR	breakdown diode	RN	resistor network
DC	directional coupler	RT	thermistor
DL	delay line	S	switch
DS	display, lamp	T	transformer
E	terminal	TB	terminal board, terminal strip
F	fuse	TC	thermocouple
FD*	fiducial	TP**	test point, in-circuit test points
FL	filter	TZ	transzorb
G	generator, oscillator	U	inseparable assembly, IC pkg
GN	genera network	V	electron tube
H	hardware	VR	voltage regulator
HY	circulator, directional coupler	W	wire, cable, cable assembly
J	connector, jack, female	X	fuse holder, lamp holder, socket
K	contactor, relay	Y	crystal, magnetostriction oscillator
L	coil, inductor, bead, ferrite bead	Z	miscellaneous

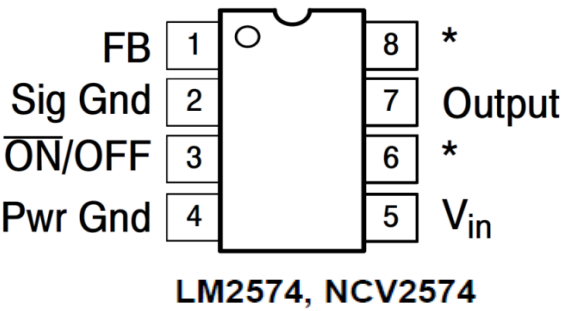
회로심볼 만들기

1. 표준 부품 설계참조 번호
2. 회로 심볼 만들기

회로심볼 만들기



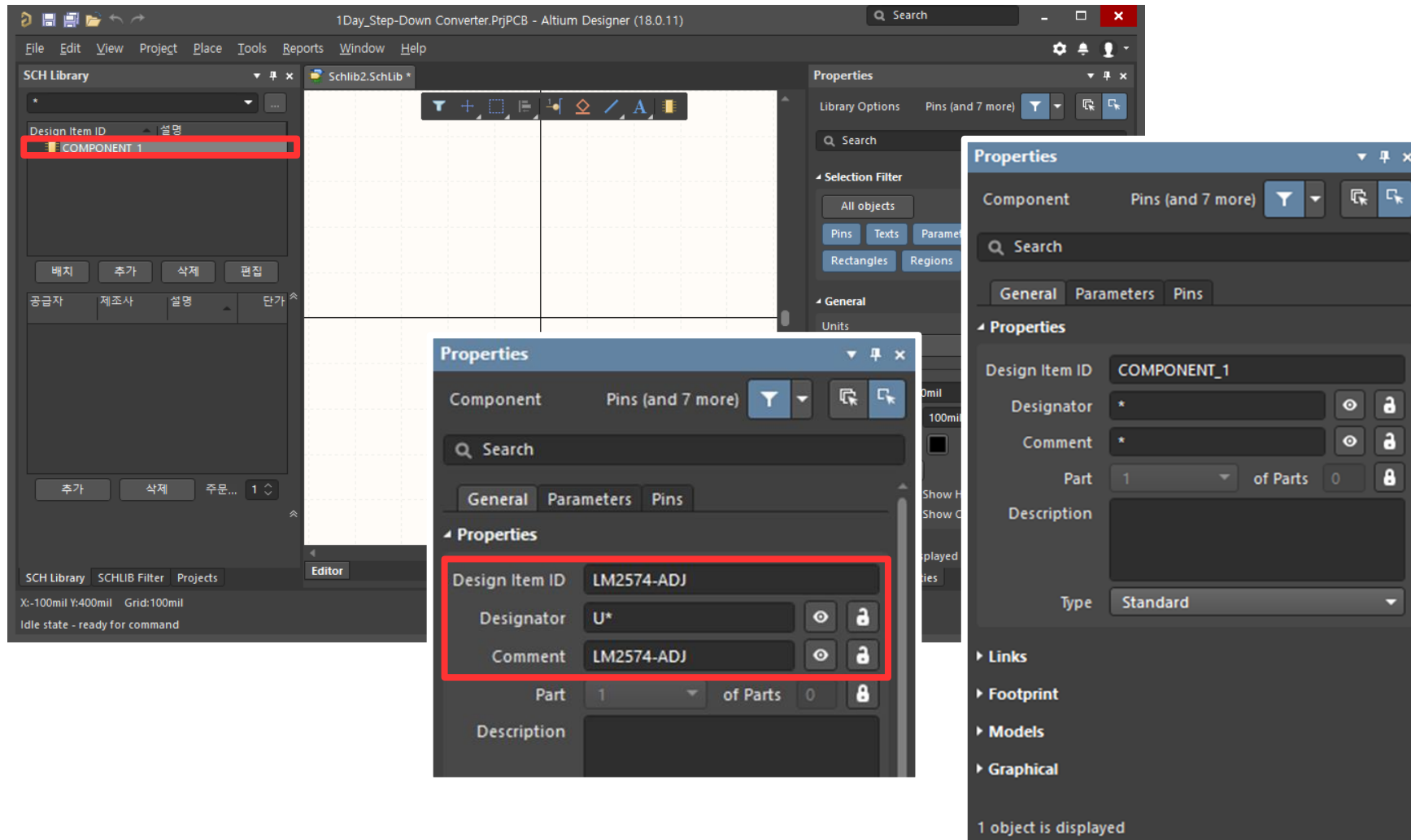
PDIP-8
N SUFFIX
CASE 626



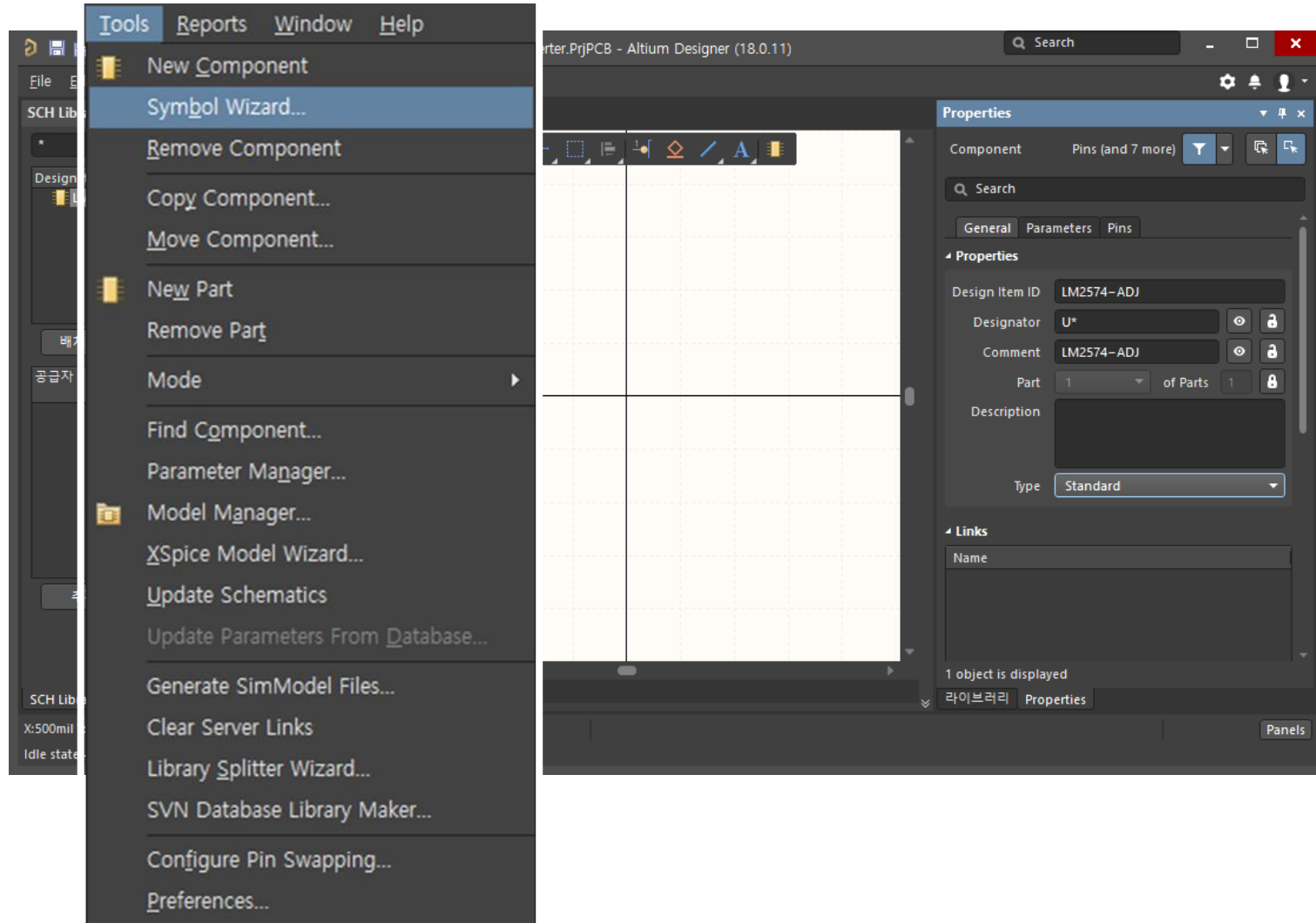
PIN FUNCTION DESCRIPTION

Pin		Symbol	Description (Refer to Figure 1)
SO-16W	PDIP-8		
12	5	V_{in}	This pin is the positive input supply for the LM2574 step-down switching regulator. In order to minimize voltage transients and to supply the switching currents needed by the regulator, a suitable input bypass capacitor must be present (C_{in} in Figure 1).
14	7	Output	This is the emitter of the internal switch. The saturation voltage V_{sat} of this output switch is typically 1.0 V. It should be kept in mind that the PCB area connected to this pin should be kept to a minimum in order to minimize coupling to sensitive circuitry.
4	2	Sig Gnd	Circuit signal ground pin. See the information about the printed circuit board layout.
6	4	Pwr Gnd	Circuit power ground pin. See the information about the printed circuit board layout.
3	1	Feedback	This pin senses regulated output voltage to complete the feedback loop. The signal is divided by the internal resistor divider network R2, R1 and applied to the non-inverting input of the internal error amplifier. In the Adjustable version of the LM2574 switching regulator, this pin is the direct input of the error amplifier and the resistor network R2, R1 is connected externally to allow programming of the output voltage.
5	3	$\overline{ON/OFF}$	It allows the switching regulator circuit to be shut down using logic level signals, thus dropping the total input supply current to approximately 80 μA . The input threshold voltage is typically 1.5 V. Applying a voltage above this value (up to $+V_{in}$) shuts the regulator off. If the voltage applied to this pin is lower than 1.5 V or if this pin is left open, the regulator will be in the "on" condition.

회로심볼 부품 속성값 입력

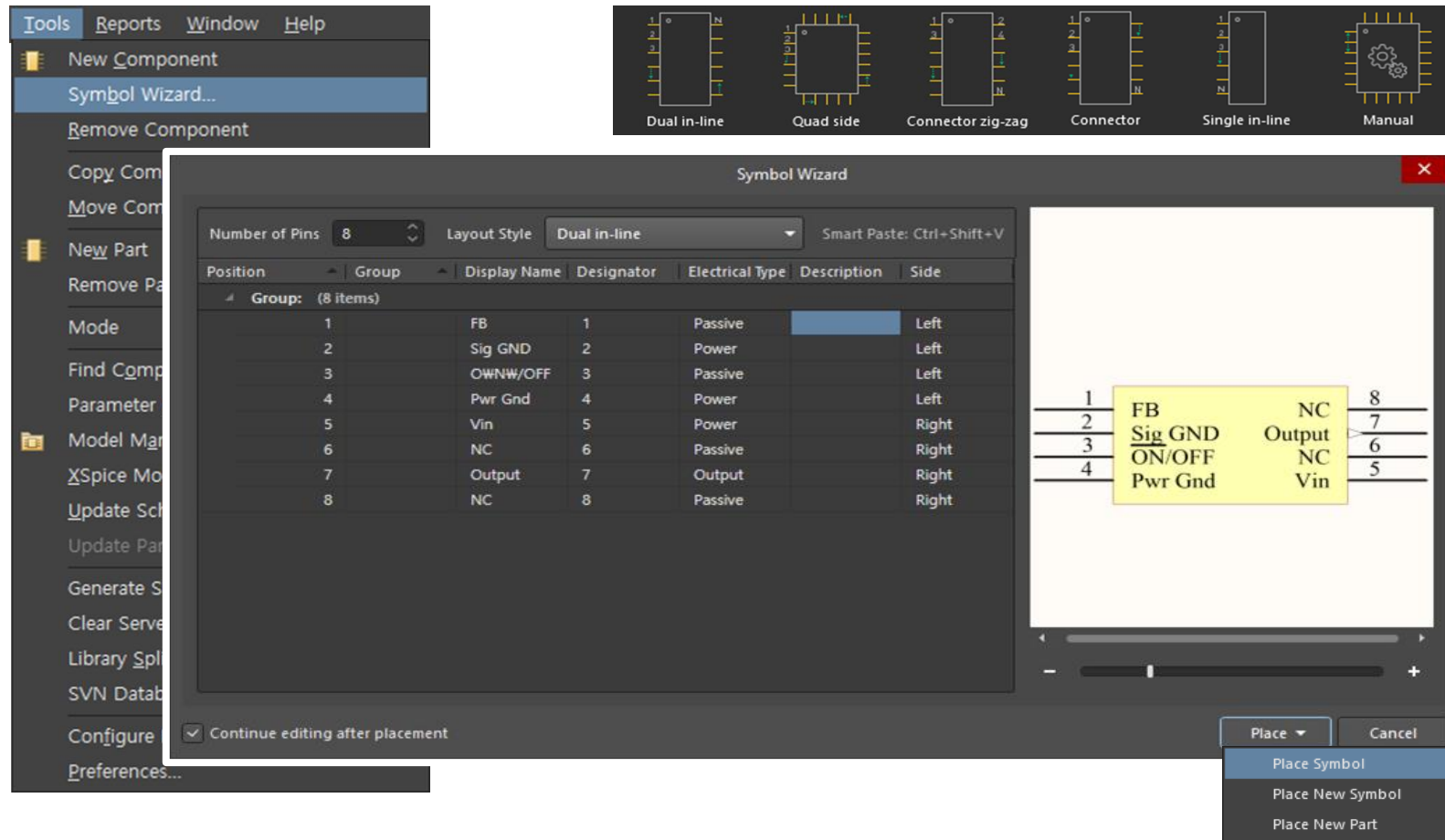


Symbol Wizard를 이용하여 회로심볼 제작



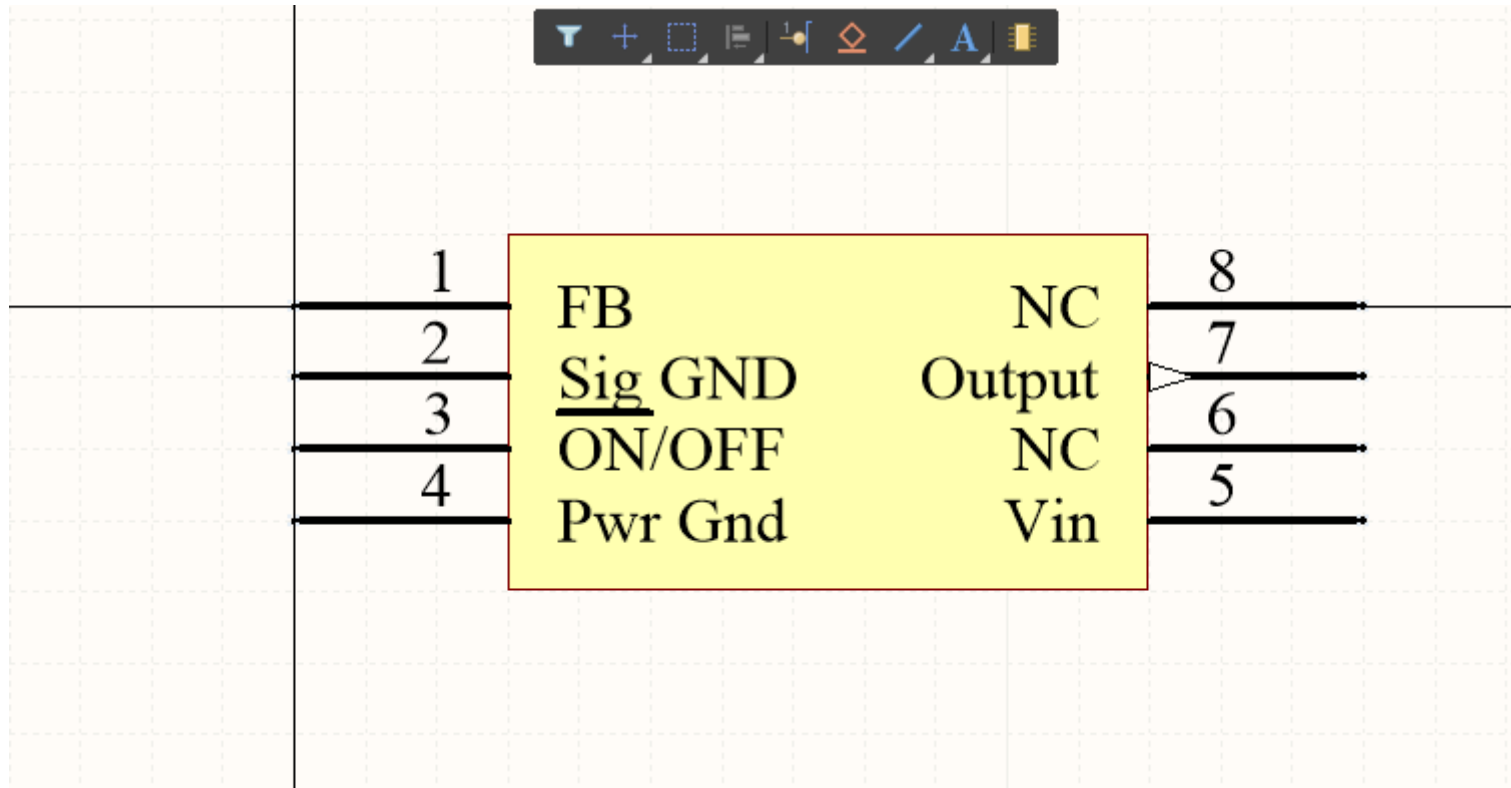
Symbol Wizard를 이용하여 회로심볼 제작

- 아래 그림처럼 정형화된 회로심볼을 만들기 위해서는 **Tools → Symbol Wizard...** 메뉴를 실행한다.



Symbol Wizard

- Symbol Wizard를 사용해서 제작한 심볼이 만들어졌다.

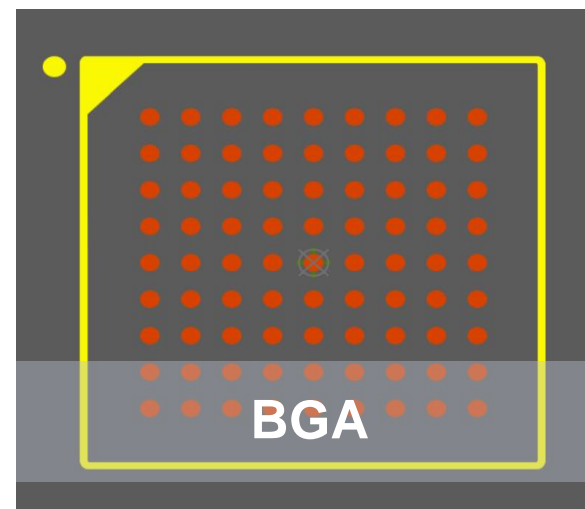
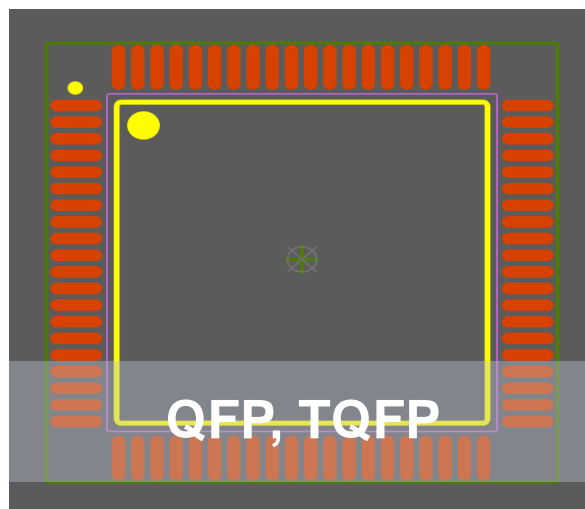
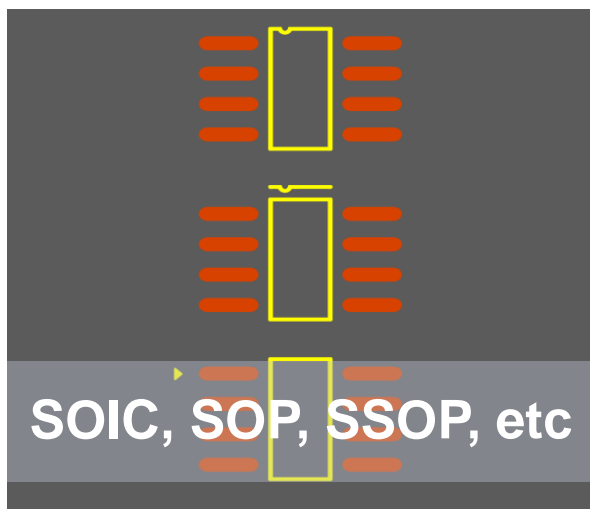
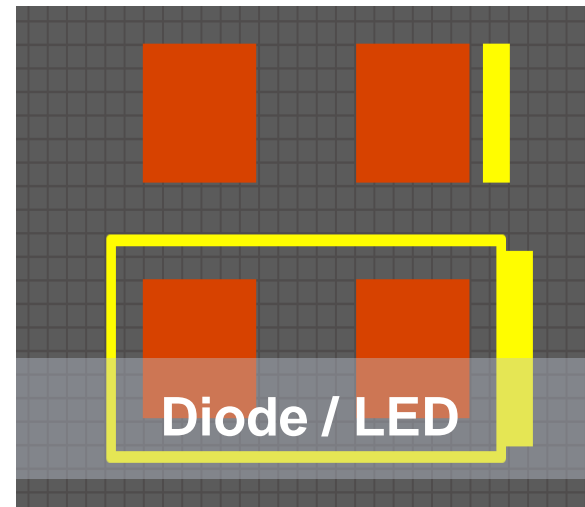
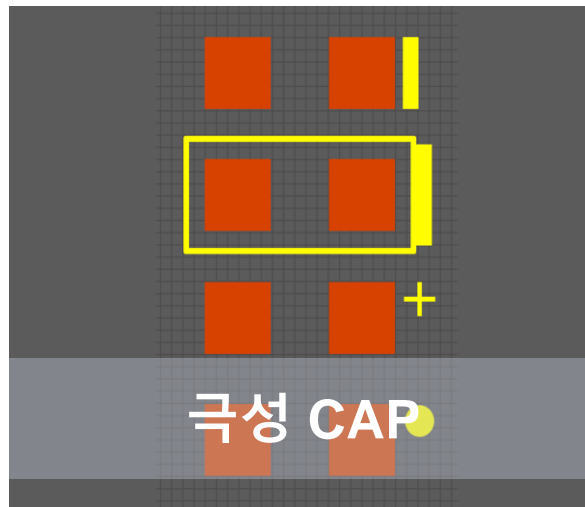
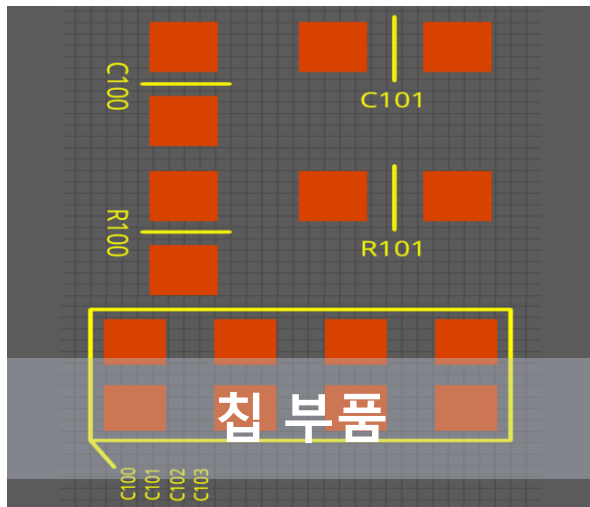


라이브러리 제작 Gerber 파일

1. 회로심볼 만들기
- 2. Footprint 만들기**
3. 패드/비아 라이브러리 만들기

Footprint 만들기

1. Footprint 제작 규격
2. IPC Compliant Footprint Wizard...
3. Footprint Wizard...
4. 수동으로 만들기

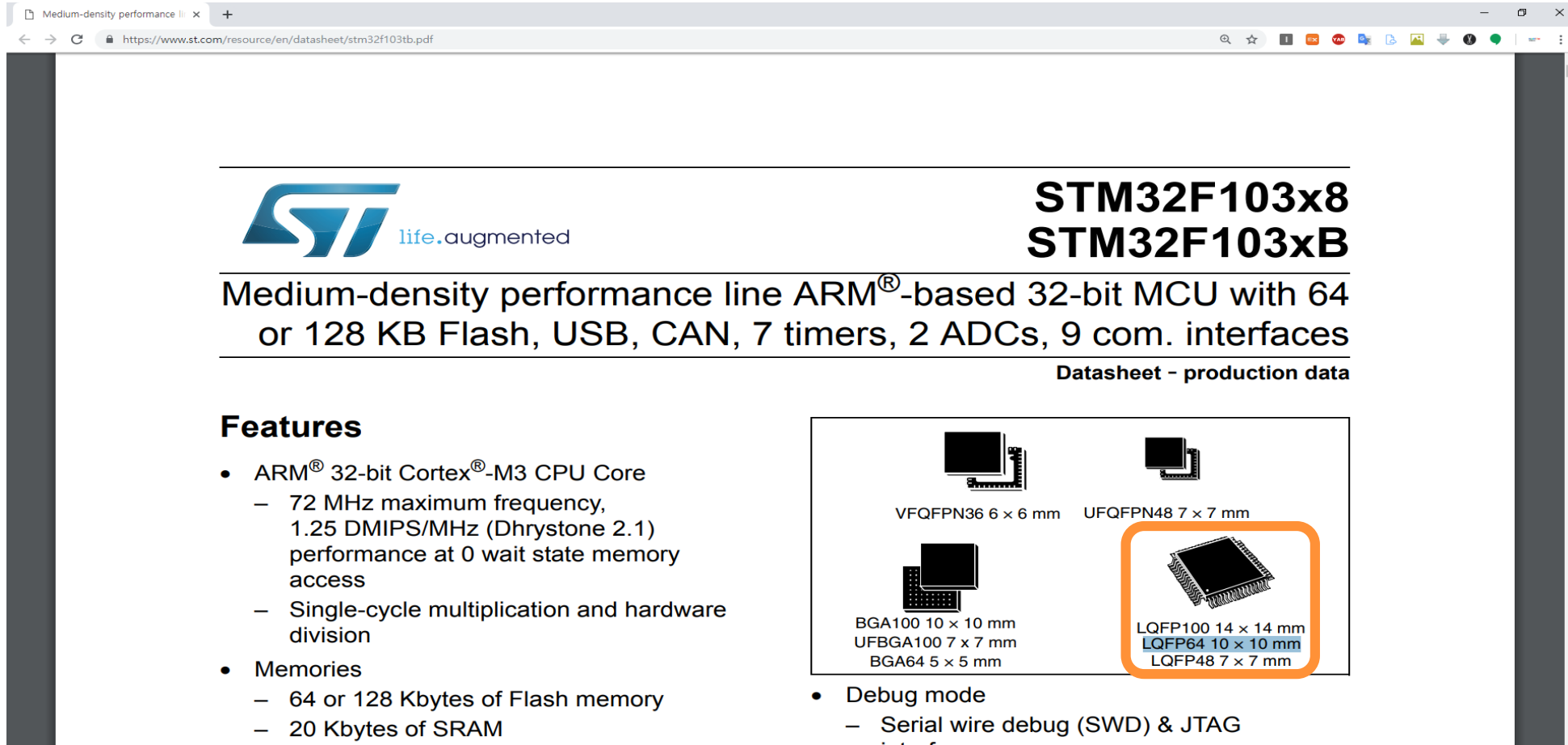


Footprint 만들기

1. Footprint 제작 규격
2. **IPC Compliant Footprint Wizard...**
3. Footprint Wizard...
4. 수동으로 만들기

IPC Compliant Footprint Wizard : STM-LQFP64_L (1/22)

- <https://www.st.com/resource/en/datasheet/stm32f103tb.pdf>



The screenshot shows the STM32F103x8 and STM32F103xB datasheet page. The page features the ST logo and the text "life.augmented". The title "STM32F103x8 STM32F103xB" is prominently displayed. Below the title, it states "Medium-density performance line ARM®-based 32-bit MCU with 64 or 128 KB Flash, USB, CAN, 7 timers, 2 ADCs, 9 com. interfaces". The section "Features" lists the ARM® 32-bit Cortex®-M3 CPU Core with 72 MHz maximum frequency, 1.25 DMIPS/MHz (Dhrystone 2.1) performance at 0 wait state memory access, single-cycle multiplication and hardware division, and memories including 64 or 128 Kbytes of Flash memory and 20 Kbytes of SRAM. A table of package types is shown, with the LQFP64 10 x 10 mm package highlighted in an orange box. The table lists VFQFPN36 6 x 6 mm, UFQFPN48 7 x 7 mm, BGA100 10 x 10 mm, UFBGA100 7 x 7 mm, BGA64 5 x 5 mm, LQFP100 14 x 14 mm, LQFP64 10 x 10 mm, and LQFP48 7 x 7 mm. The "Debug mode" section lists serial wire debug (SWD) & JTAG interfaces.

Medium-density performance line ARM®-based 32-bit MCU with 64 or 128 KB Flash, USB, CAN, 7 timers, 2 ADCs, 9 com. interfaces

Datasheet - production data

Features

- ARM® 32-bit Cortex®-M3 CPU Core
 - 72 MHz maximum frequency, 1.25 DMIPS/MHz (Dhrystone 2.1) performance at 0 wait state memory access
 - Single-cycle multiplication and hardware division
- Memories
 - 64 or 128 Kbytes of Flash memory
 - 20 Kbytes of SRAM

VFQFPN36 6 x 6 mm	UFQFPN48 7 x 7 mm
BGA100 10 x 10 mm	LQFP100 14 x 14 mm
UFBGA100 7 x 7 mm	LQFP64 10 x 10 mm
BGA64 5 x 5 mm	LQFP48 7 x 7 mm

- Debug mode
 - Serial wire debug (SWD) & JTAG interfaces

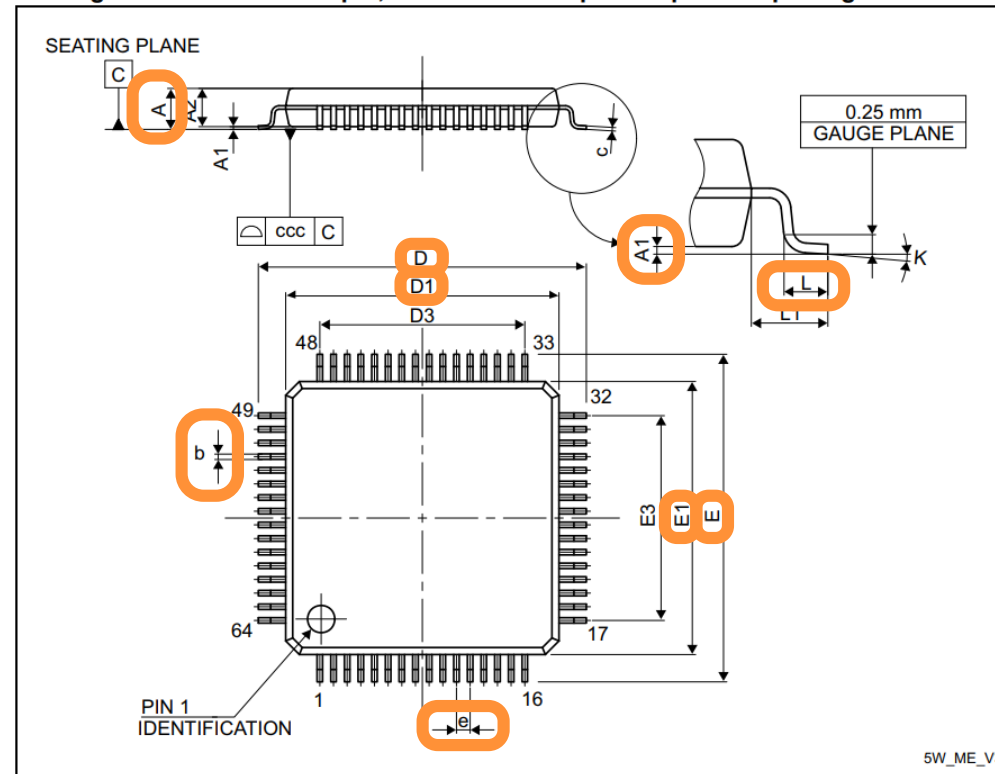
IPC Compliant Footprint Wizard : STM-LQFP64_L (1/22)

Package information

STM32F103x8, STM32F103xB

6.6 LQFP64 10 x 10 mm, 64-pin low-profile quad flat package information

Figure 56. LQFP64 - 64-pin, 10 x 10 mm low-profile quad flat package outline



1. Drawing is not to scale.

IPC Compliant Footprint Wizard : STM-LQFP64_L (3/22)

Table 58. LQFP64 - 64-pin, 10 x 10 mm low-profile quad flat package
mechanical data

Symbol	millimeters			inches ⁽¹⁾		
	Min	Typ	Max	Min	Typ	Max
A	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	-	12.000	-	-	0.4724	-
D1	-	10.000	-	-	0.3937	-
D3	-	7.500	-	-	0.2953	-
E	-	12.000	-	-	0.4724	-
E1	-	10.000	-	-	0.3937	-

IPC Compliant Footprint Wizard : STM-LQFP64_L (4/22)

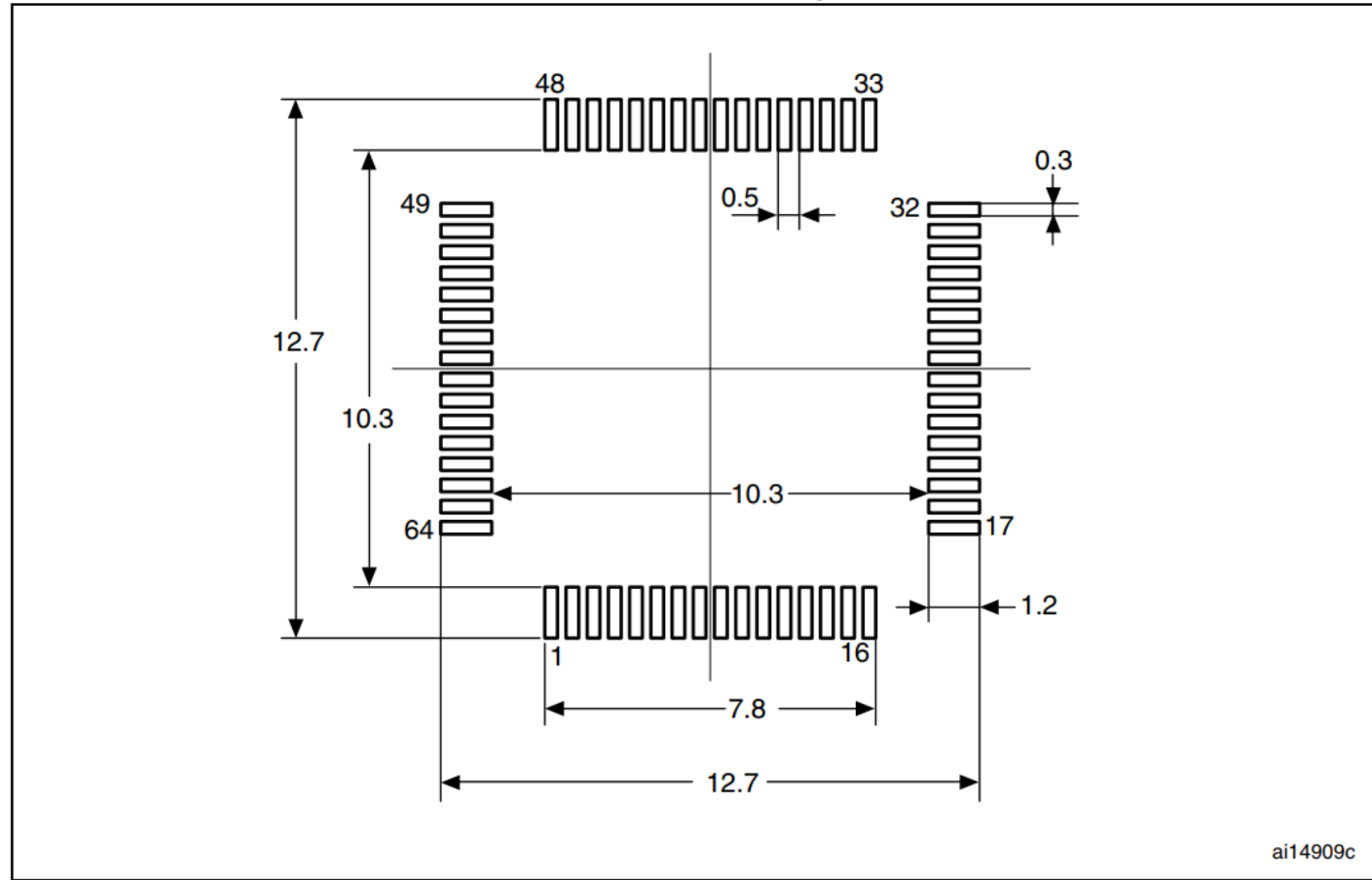
Table 58. LQFP64 - 64-pin, 10 x 10 mm low-profile quad flat package mechanical data (continued)

Symbol	millimeters			inches ⁽¹⁾		
	Min	Typ	Max	Min	Typ	Max
E3	-	7.500	-	-	0.2953	-
e	-	0.500	-	-	0.0197	-
K	0°	3.5°	7°	0°	3.5°	7°
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
ccc	-	-	0.080	-	-	0.0031

1. Values in inches are converted from mm and rounded to 4 decimal digits.

IPC Compliant Footprint Wizard : STM-LQFP64_L (5/22)

Figure 57. LQFP64 - 64-pin, 10 x 10 mm low-profile quad flat package
recommended footprint



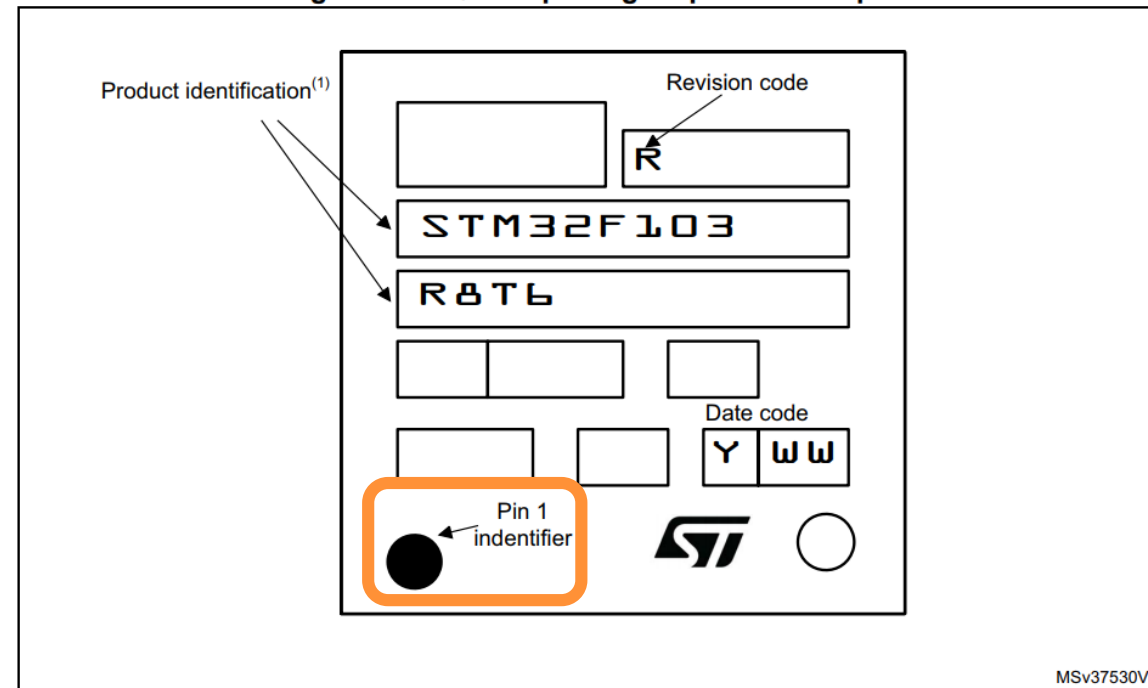
1. Dimensions are expressed in millimeters.

IPC Compliant Footprint Wizard : STM-LQFP64_L (6/22)

Marking of engineering samples

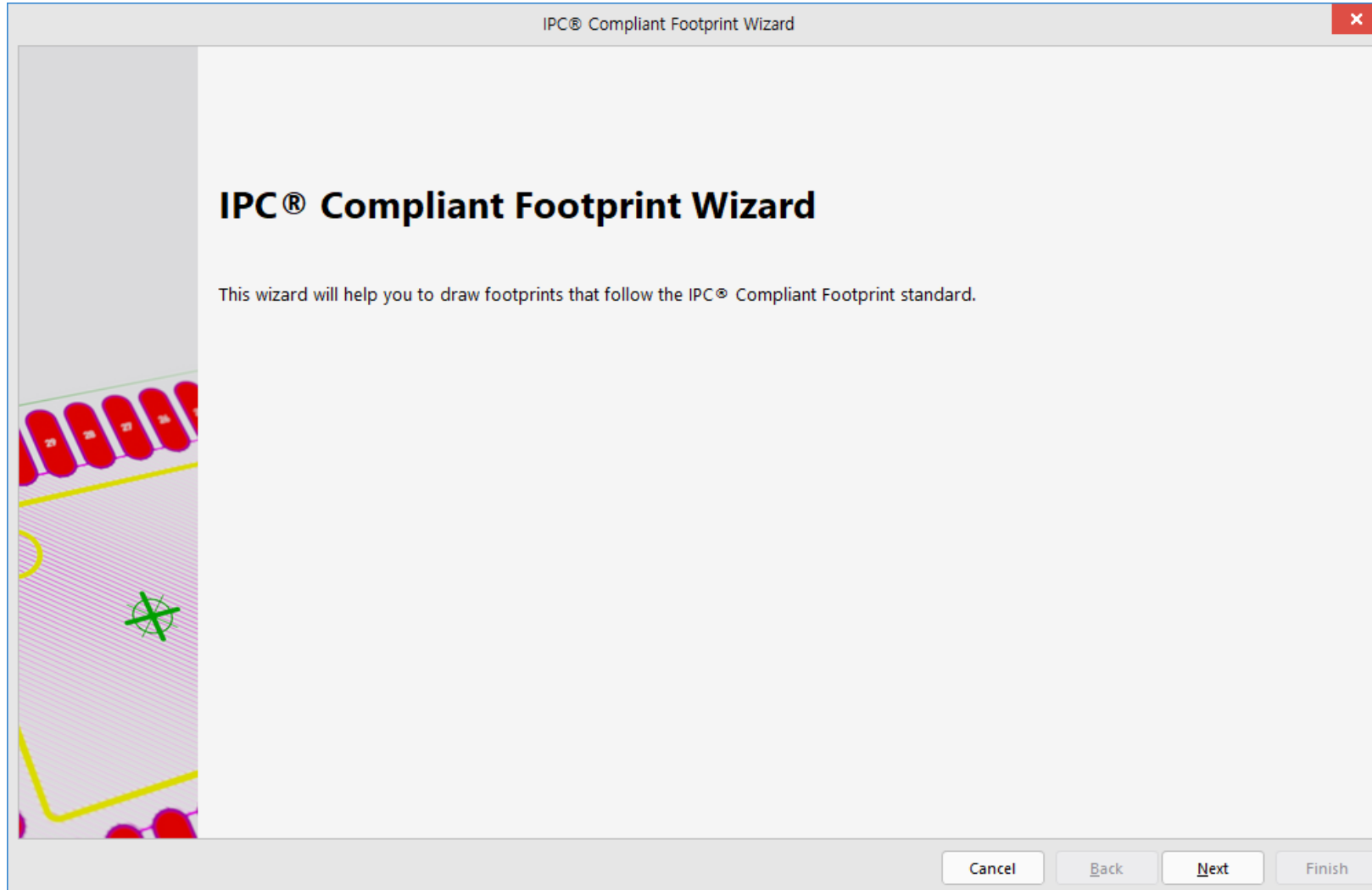
The following figure gives an example of topside marking orientation versus pin 1 identifier location.

Figure 58. LQFP64 package top view example

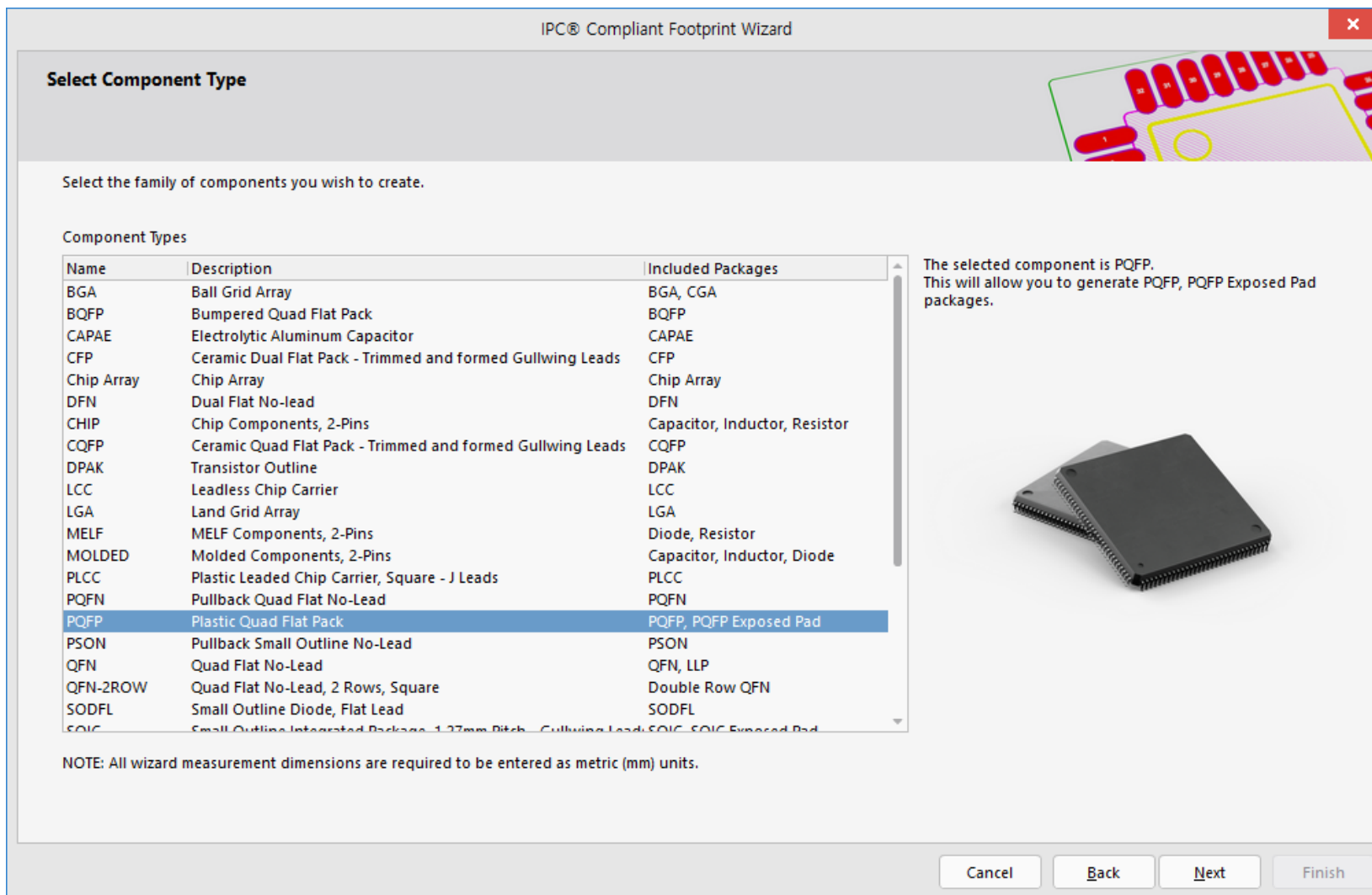


1. Parts marked as "ES", "E" or accompanied by an Engineering Sample notification letter, are not yet qualified and therefore not yet ready to be used in production and any consequences deriving from such usage will not be at ST charge. In no event, ST will be liable for any customer usage of these engineering samples in production. ST Quality has to be contacted prior to any decision to use these Engineering samples to run qualification activity.

IPC Compliant Footprint Wizard : STM-LQFP64_L (7/22)



IPC Compliant Footprint Wizard : STM-LQFP64_L (8/22)



IPC Compliant Footprint Wizard : STM-LQFP64_L (9/22)

IPC® Compliant Footprint Wizard

PQFP Package Overall Dimensions
Enter the required package values.

Lead Span Range (E)	Minimum	12mm
	Maximum	12mm
Lead Span Range (D)	Minimum	12mm
	Maximum	12mm
Maximum Height (A)		1.6mm
Minimum Standoff Height (A1)		0.05mm

Pin 1 Location

☒ Side of D

☐ Center of E

☒ Generate STEP Model Preview

Top View

Side View

Preview

3D

Cancel Back Next Finish

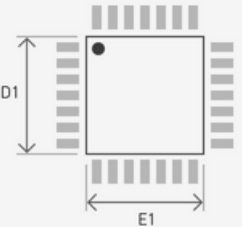
IPC Compliant Footprint Wizard : STM-LQFP64_L (10/22)

IPC® Compliant Footprint Wizard


PQFP Package Pin Dimensions
Enter the required package values.

Lead Width Range (B)	Minimum	0.17mm
	Maximum	0.27mm
Lead Length Range (L)	Minimum	0.45mm
	Maximum	0.75mm
Pitch (e)		0.5mm
Body Width Range (E1)	Minimum	10mm
	Maximum	10mm
Body Length Range (D1)	Minimum	10mm
	Maximum	10mm
Number of pins (E)		16
Number of pins (D)		16
This package has 64 leads		

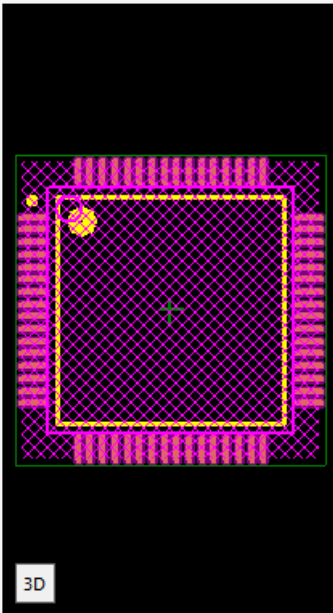
Top View



Side View



Preview



3D

☒ Generate STEP Model Preview

Cancel Back Next Finish

IPC Compliant Footprint Wizard : STM-LQFP64_L (11/22)

IPC® Compliant Footprint Wizard

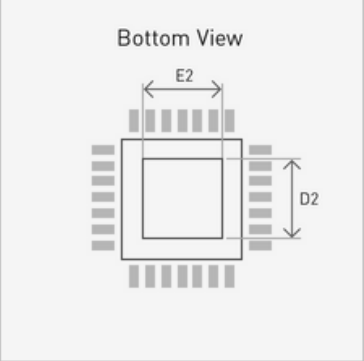
PQFP Package Thermal Pad Dimensions
Enter the required thermal pad values.

☐ Add Thermal Pad

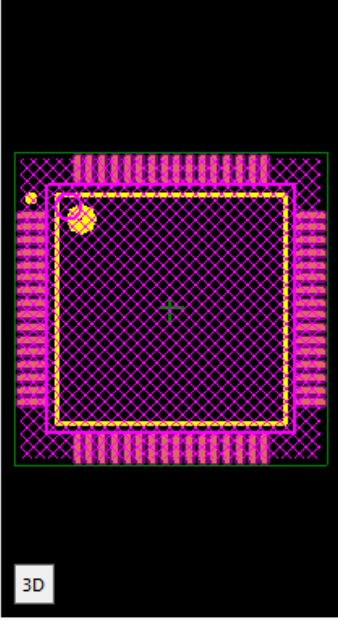
Thermal Pad Range (E2) Minimum 0mm Maximum 0mm

Thermal Pad Range (D2) Minimum 0mm Maximum 0mm

Bottom View



Preview



3D

☒ Generate STEP Model Preview

Cancel Back Next Finish

IPC Compliant Footprint Wizard : STM-LQFP64_L (12/22)

IPC® Compliant Footprint Wizard

PQFP Package Heel Spacing

Enter the heel spacing values.

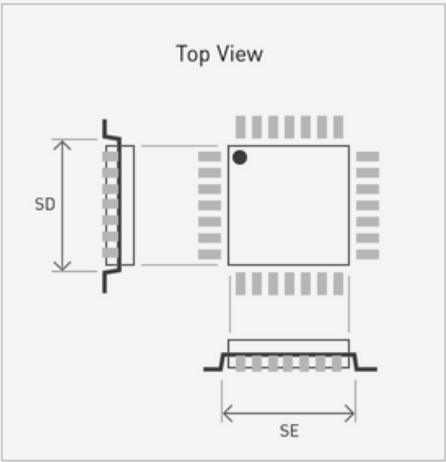
The minimum heel spacing is calculated by subtracting twice the Maximum Lead Length Range from the Minimum Body Width Range.

The maximum heel spacing is calculated by adding the tolerance on the inner distance between the heels of the opposing rows of leads to the minimum heel spacing.

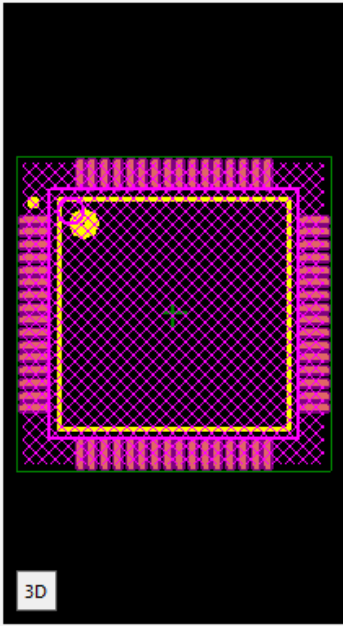
☒ Use calculated values

SE Minimum	10.5mm
SE Maximum	10.9243mm
SD Minimum	10.5mm
SD Maximum	10.9243mm

Top View



Preview



3D

☒ Generate STEP Model Preview

Cancel Back Next Finish

IPC Compliant Footprint Wizard : STM-LQFP64_L (13/22)

IPC® Compliant Footprint Wizard

PQFP Solder Fillets
Enter the required fillet values.

Solder fillet refers to the shape of the solder joint between the component lead and the PCB pad. Adequate fillet is required to ensure both the strength and reliability of the solder joints. A solder joint may be described by three fillets: toe, heel, and side. Minimum values for solder fillets at the toe, heel and side of the component lead have been determined by IPC®, based on industry empirical knowledge and reliability testing. These values are displayed below; however they may be adjusted to suit specific conditions.

☒ Use default values

Board density Level

Level A - Low density

Toe Fillet (JT Min)

0.55mm

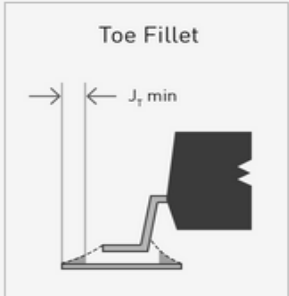
Heel Fillet (JH Min)

0.45mm

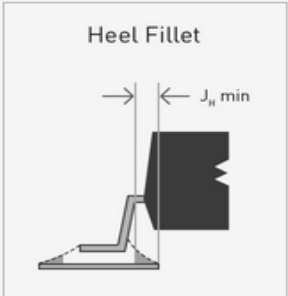
Side Fillet (JS Min)

0.01mm

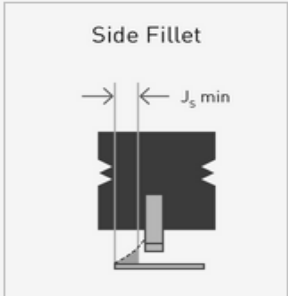
Toe Fillet



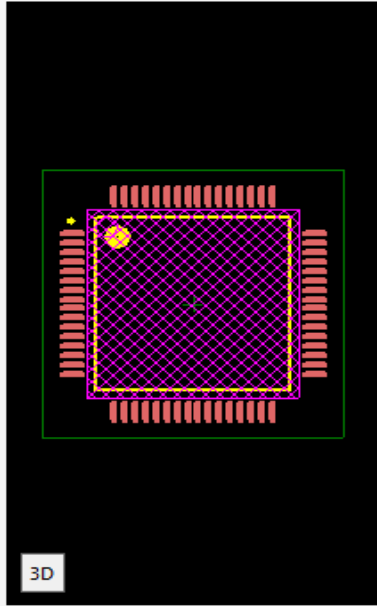
Heel Fillet



Side Fillet



Preview



3D

☐ Generate STEP Model Preview

Cancel

Back

Next

Finish

IPC Compliant Footprint Wizard : STM-LQFP64_L (14/22)

IPC® Compliant Footprint Wizard

PQFP Component Tolerances
Enter the required package values.

Component manufacturers usually specify the minimum and maximum value for each package dimension. Component tolerance ranges are derived by subtracting the minimum value from the maximum. These ranges may be adjusted based upon experience from suppliers. Three component tolerances are taken into consideration:

☒ Use calculated component tolerances

Tolerance on the overall width of the component, including leads

Tolerance on the inner distance between the heels of the opposing rows of leads

Tolerance on the width of the component leads

Side D0mm

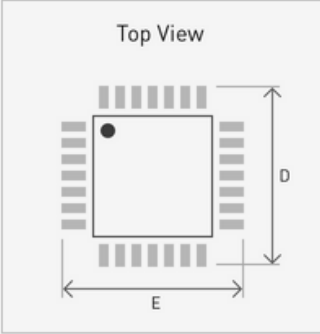
Side E0mm

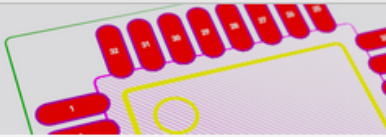
Side D0.4243mm

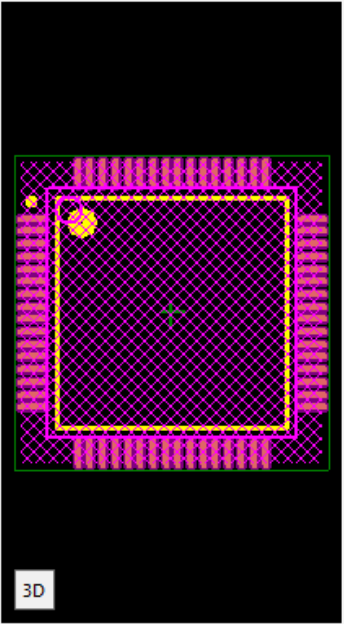
Side E0.4243mm

0.1mm

Top View




Preview


3D

☒ Generate STEP Model Preview

Cancel

Back

Next

Finish

Altium.

279

HANCOM 한컴MDS

IPC Compliant Footprint Wizard : STM-LQFP64_L (15/22)

IPC® Compliant Footprint Wizard

PQFP IPC Tolerances
Enter the required tolerance values.

IPC® specifies certain tolerances for a number of standardized surface-mount package types. These tolerances are assumed by this wizard in order to calculate a corresponding PCB footprint. You can modify here the tolerances related to fabrication and placement. Such modification may result in the creation of non IPC® compliant PCB footprints.

☒ Use Default Values

Fabrication Tolerance Assumption

This allowance may be adjusted according to the accuracy of the PCB fabricator to reproduce the PCB footprint dimensions on the printed board.

0.1mm

Placement Tolerance Assumption

This allowance may be adjusted according to the accuracy of the assembler to center the component on the PCB footprint.

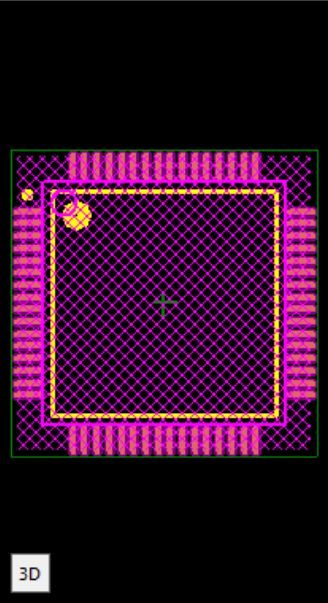
0.1mm

Courtyard Excess

The Courtyard of a PCB footprint defines the area required for electrical and mechanical clearance of both the component and its footprint. The dimensions of the courtyard boundary are calculated by the addition of a courtyard excess to the maximum dimensions of the combined component and footprint. The value of the courtyard excess differs according to the density level of the printed circuit board.

0.1mm

Preview



3D

☒ Generate STEP Model Preview

Cancel

Back

Next

Finish

Altium

280

HANCOM 한컴MDS

IPC Compliant Footprint Wizard : STM-LQFP64_L (16/22)

IPC® Compliant Footprint Wizard

PQFP Footprint Dimensions
The footprint dimensions can now be inferred from the package dimensions. You can review and modify them here.

The footprint has 64 leads and a pitch (P) of 0.50mm. You can modify here the calculated dimensions of the footprint.

☐ Use calculated footprint values

Pad Dimensions

X	0.3
Y	1.2

Pad Spacing

C1	11.5mm
C2	11.5mm

Pad Shape

☐ Rounded
☒ Rectangular

Top View

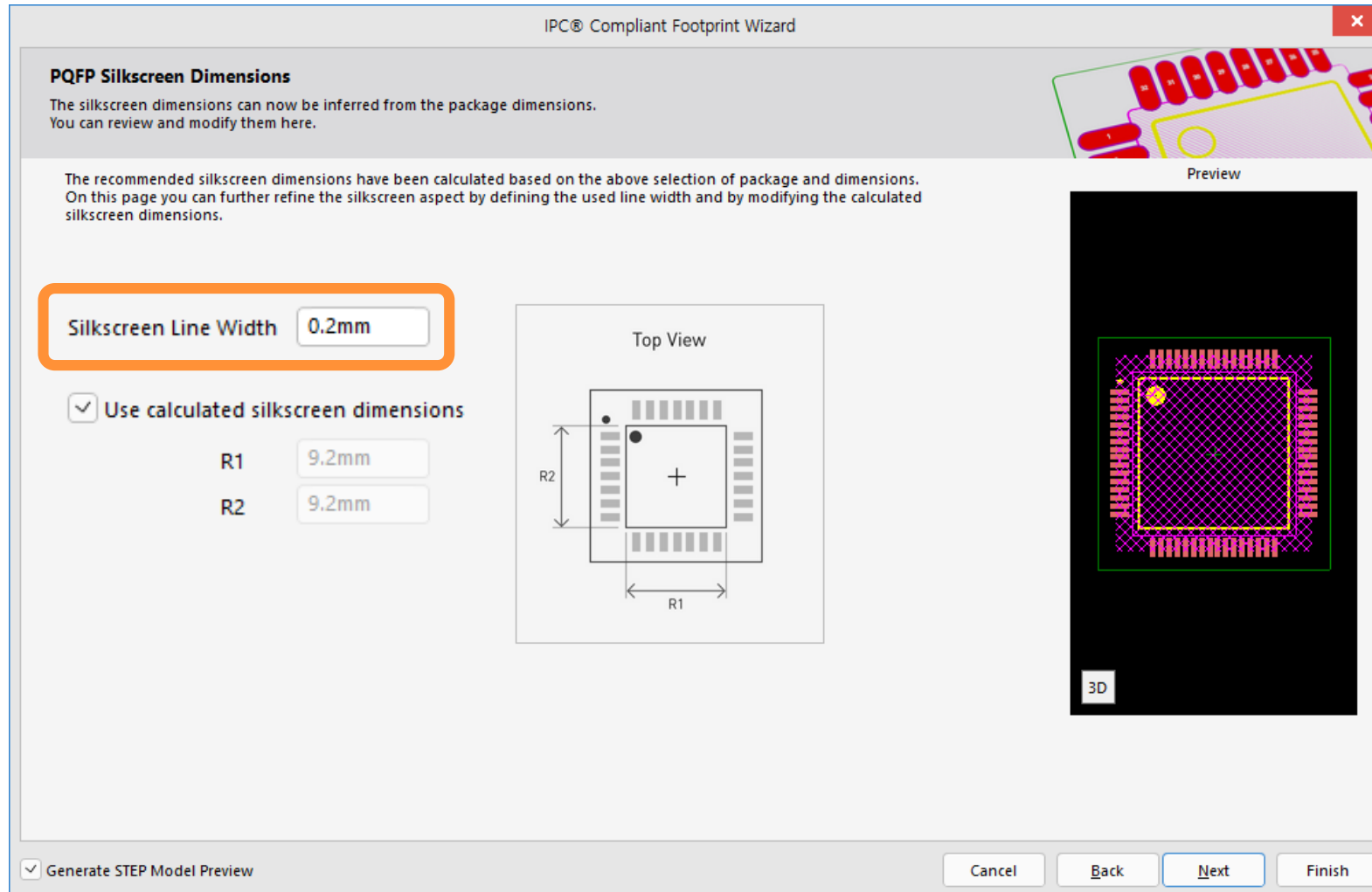
Preview

3D

☒ Generate STEP Model Preview

Cancel Back Next Finish

IPC Compliant Footprint Wizard : STM-LQFP64_L (17/22)



IPC Compliant Footprint Wizard : STM-LQFP64_L (18/22)

IPC® Compliant Footprint Wizard

PQFP Courtyard, Assembly and Component Body Information

The mechanical dimensions can now be inferred from the package dimensions. You can review and modify them here.

Choose here whether to add Courtyard and Assembly information to the component drawing. For each of these, you can use either the IPC® calculated dimensions values, or enter the values manually. You can also choose the mechanical layer on which the drawing will be added, and the used line thickness. Finally you can decide whether or not to add a component body, which contains the volumetric information corresponding to the package dimensions.

☒ Add Courtyard Information

☒ Use calculated values

V1 Line Width

V2 Layer

☒ Add Assembly Information

☒ Use calculated values

A Line Width

B Layer

☒ Add Component Body Information

☒ Use calculated values

Width Layer

Length

☒ Generate STEP Model Preview

Top View

Preview

3D

Cancel Back Next Finish

IPC Compliant Footprint Wizard : STM-LQFP64_L (19/22)

IPC® Compliant Footprint Wizard

PQFP Footprint Description
The footprint values can now be inferred from the package dimensions.
You can review and modify them here.

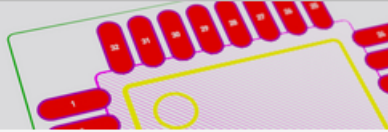
☐ Use suggested values

Name

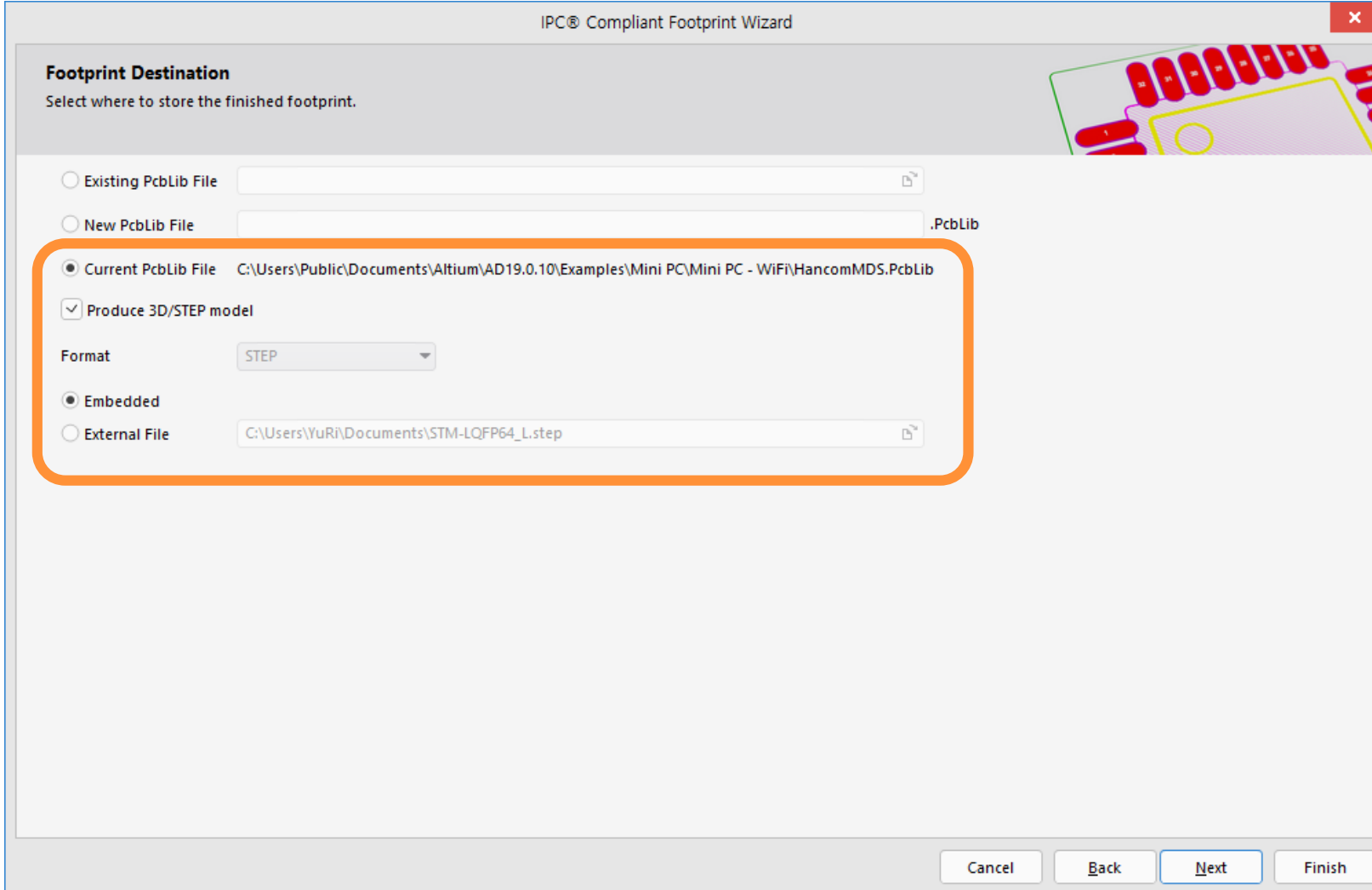
Description

☐ Generate STEP Model Preview

Cancel Back Next Finish



IPC Compliant Footprint Wizard : STM-LQFP64_L (20/22)



IPC® Compliant Footprint Wizard

Footprint Destination
Select where to store the finished footprint.

☐ Existing PcbLib File

☐ New PcbLib File .PcbLib

☒ Current PcbLib File C:\Users\Public\Documents\Altium\AD19.0.10\Examples\Mini PC\Mini PC - WiFi\HancorMDS.PcbLib

☒ Produce 3D/STEP model

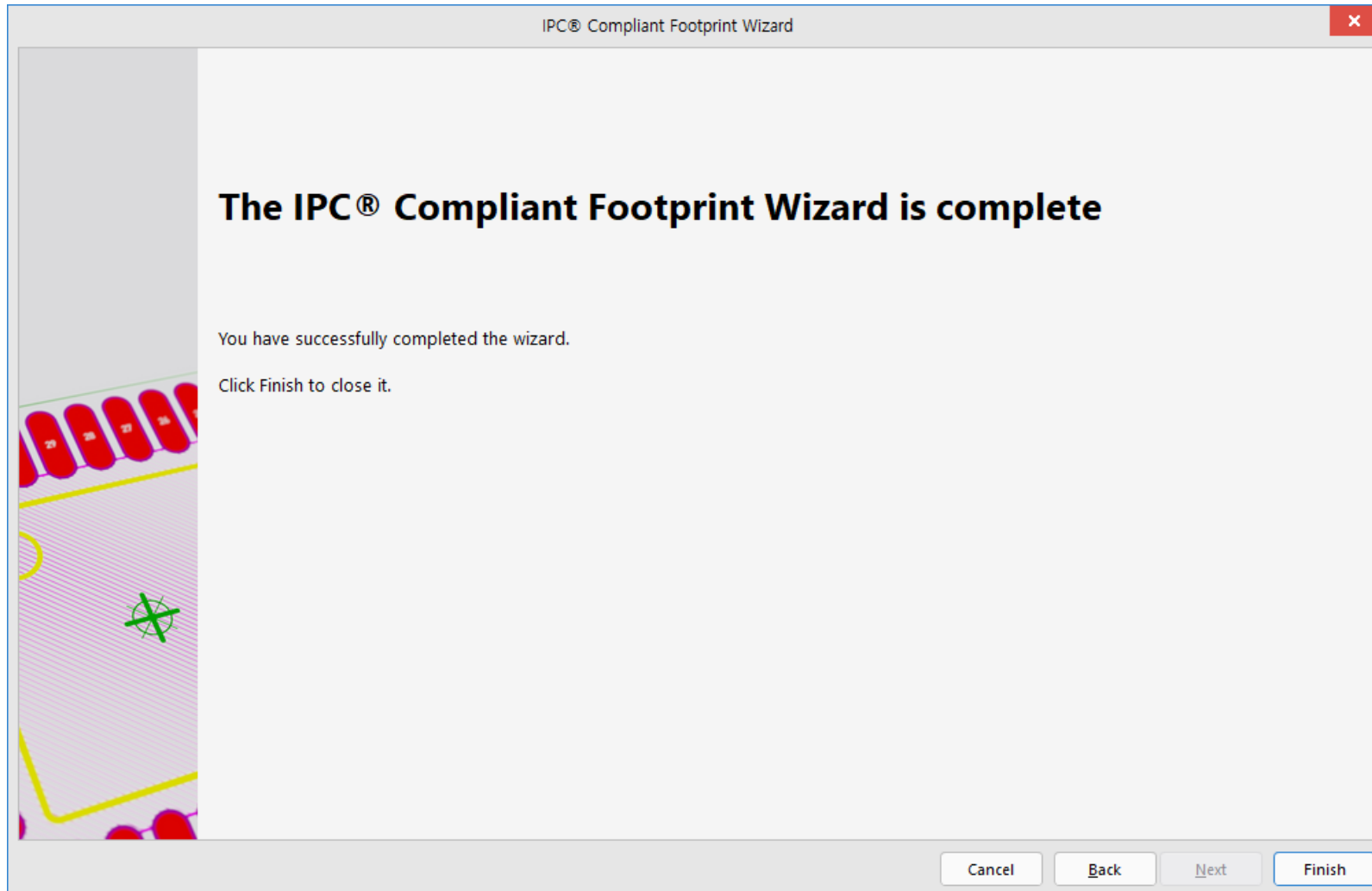
Format: STEP

☒ Embedded

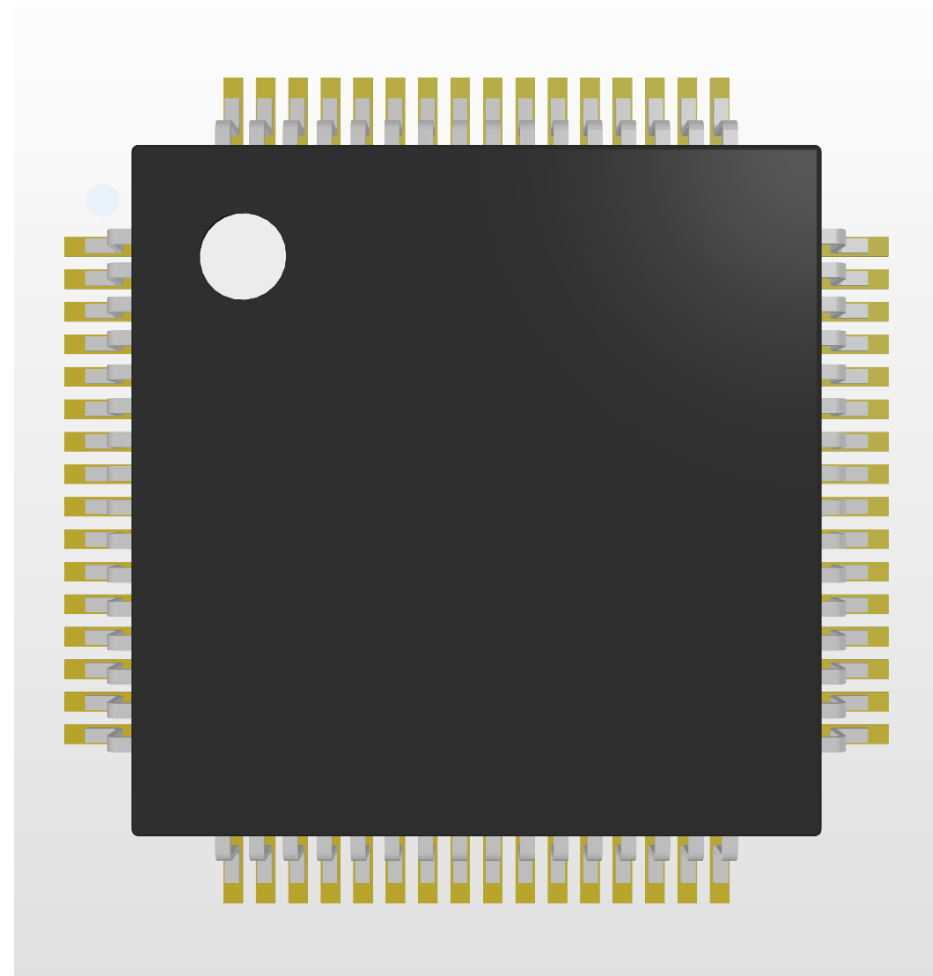
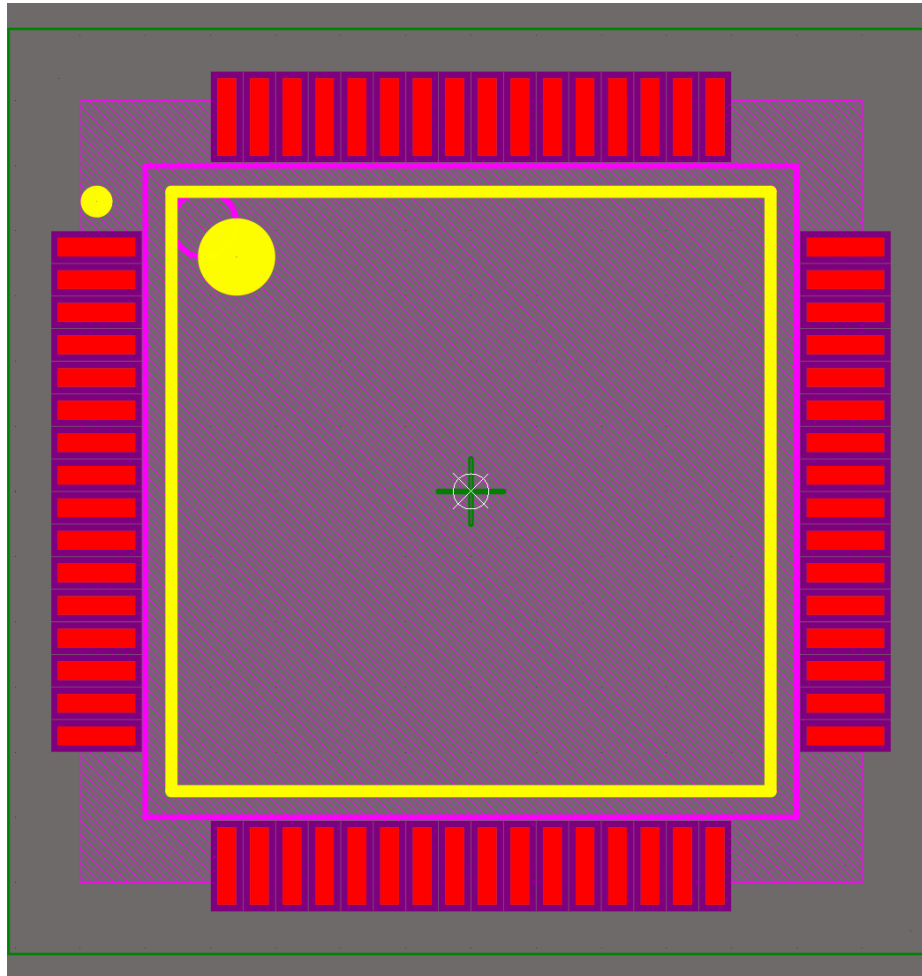
☐ External File C:\Users\Yuri\Documents\STM-LQFP64_L.step

Cancel Back **Next** Finish

IPC Compliant Footprint Wizard : STM-LQFP64_L (21/22)



IPC Compliant Footprint Wizard : STM-LQFP64_L (22/22)

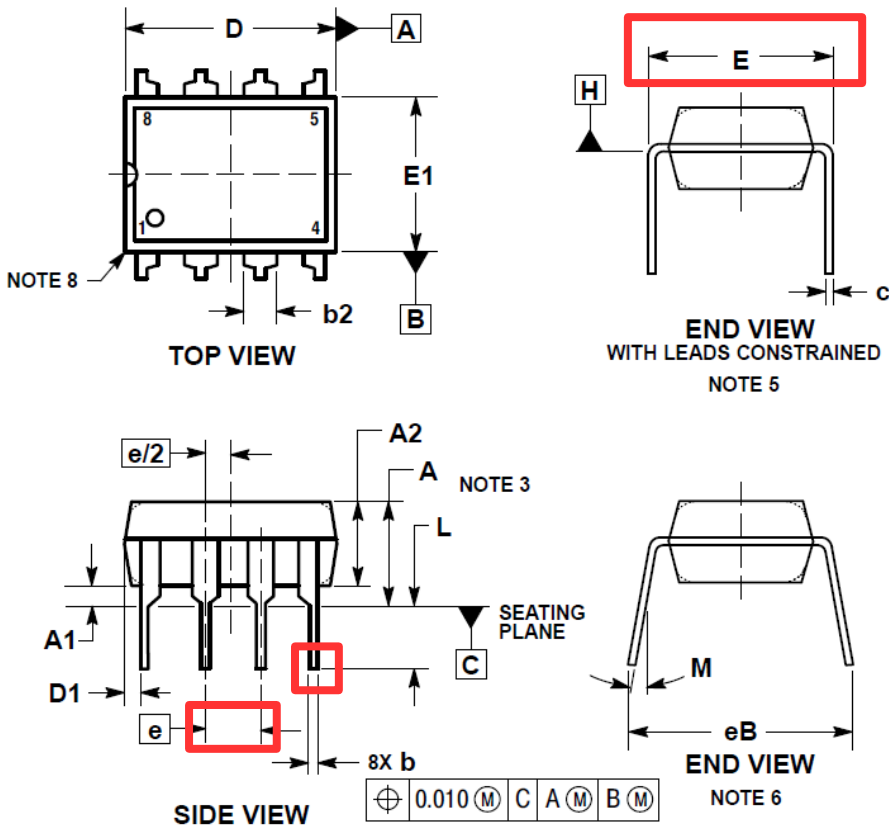


Footprint 만들기

1. Footprint 제작 규격
2. IPC Compliant Footprint Wizard...
3. **Footprint Wizard...**
4. 수동으로 만들기

PDIP-8 데이터시트

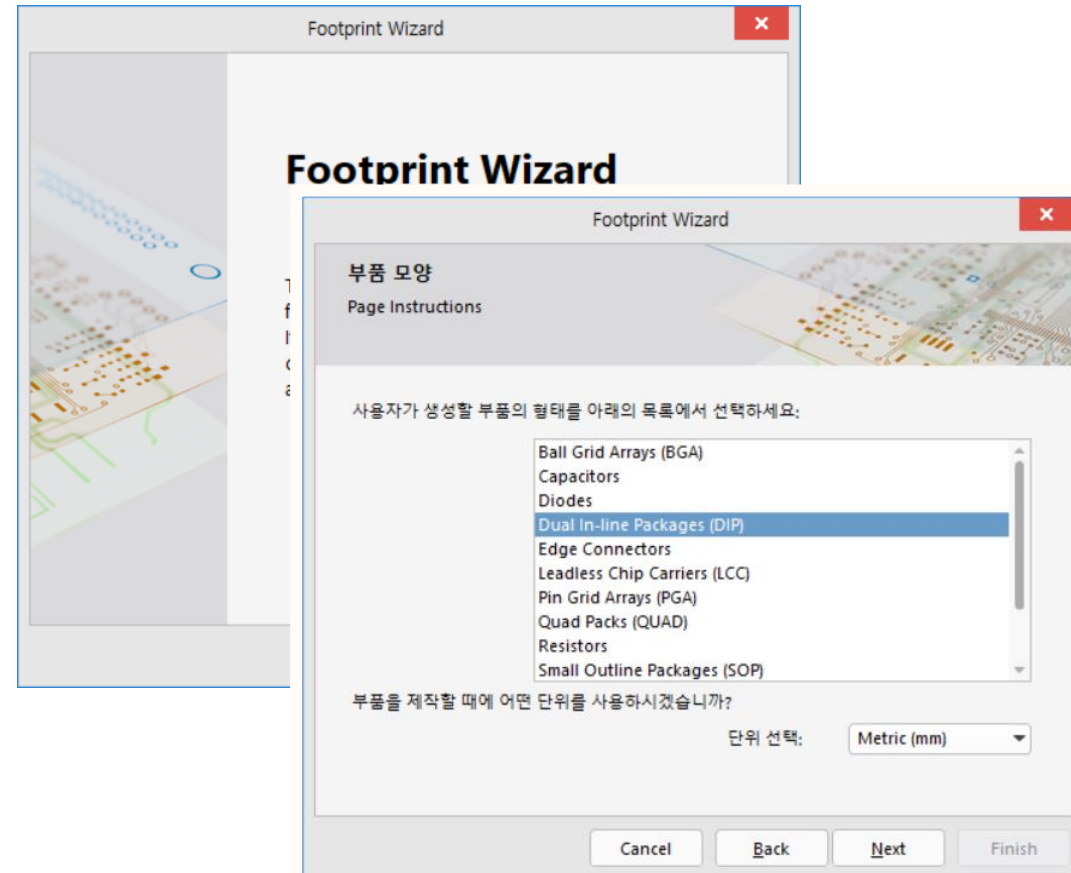
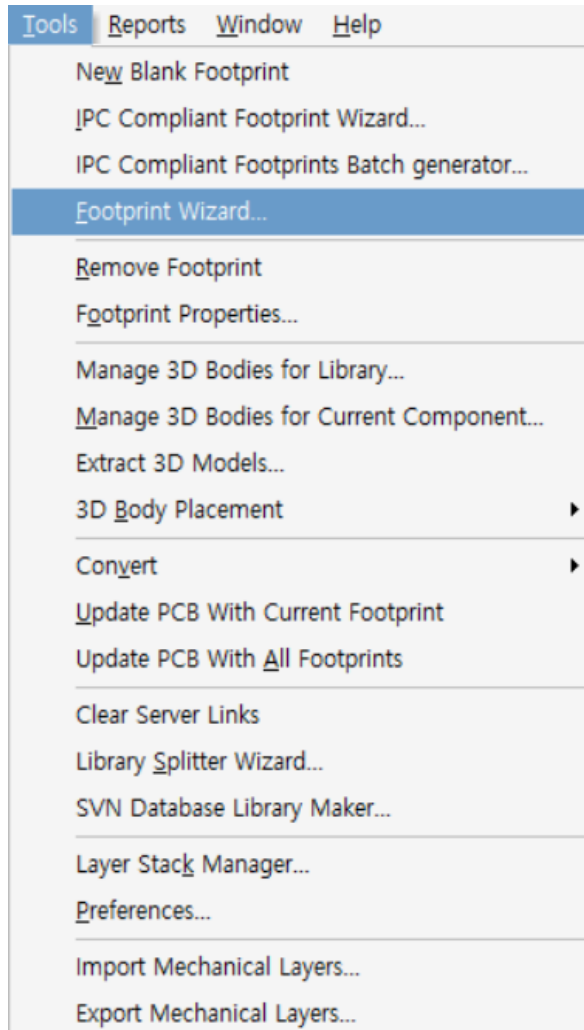
PDIP-8
CASE 626-05
ISSUE N



- NOTES:
- DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
 - CONTROLLING DIMENSION: INCHES.
 - DIMENSIONS A, A1 AND L ARE MEASURED WITH THE PACKAGE SEATED IN JEDEC SEATING PLANE GAUGE GS-3.
 - DIMENSIONS D, D1 AND E1 DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS ARE NOT TO EXCEED 0.10 INCH.
 - DIMENSION E IS MEASURED AT A POINT 0.015 BELOW DATUM PLANE H WITH THE LEADS CONSTRAINED PERPENDICULAR TO DATUM C.
 - DIMENSION E3 IS MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
 - DATUM PLANE H IS COINCIDENT WITH THE BOTTOM OF THE LEADS, WHERE THE LEADS EXIT THE BODY.
 - PACKAGE CONTOUR IS OPTIONAL (ROUNDED OR SQUARE CORNERS).

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	—	0.210	—	5.33
A1	0.015	—	0.38	—
A2	0.115	0.195	2.92	4.95
b	0.014	0.022	0.35	0.56
b2	0.060 TYP		1.52 TYP	
C	0.008	0.014	0.20	0.36
D	0.355	0.400	9.02	10.16
D1	0.005	—	0.13	—
E	0.300	0.325	7.62	8.26
E1	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
eB	—	0.430	—	10.92
L	0.115	0.150	2.92	3.81
M	—	10°	—	10°

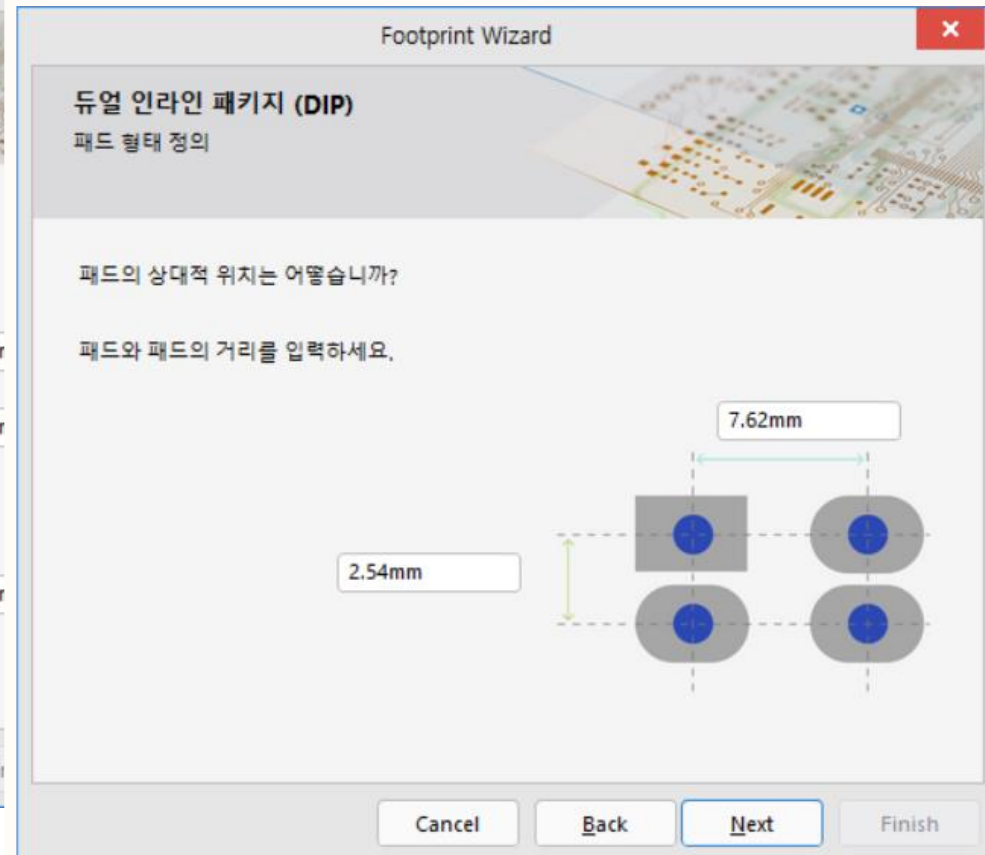
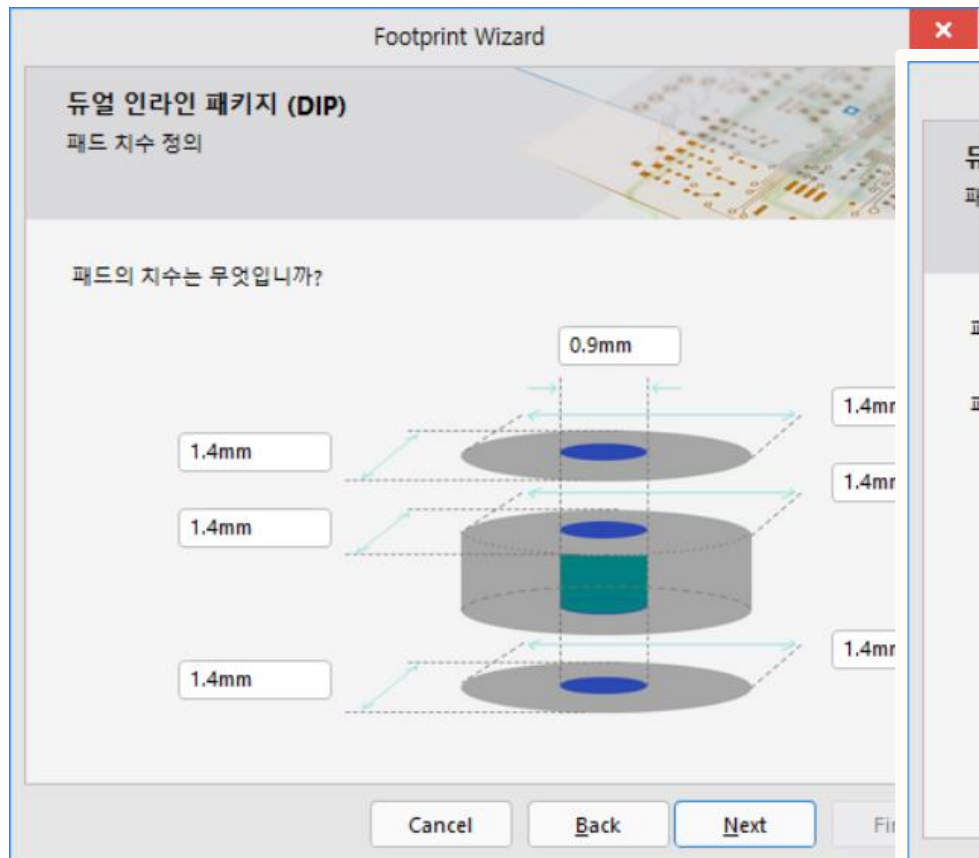
Footprint Wizard



Footprint Wizard

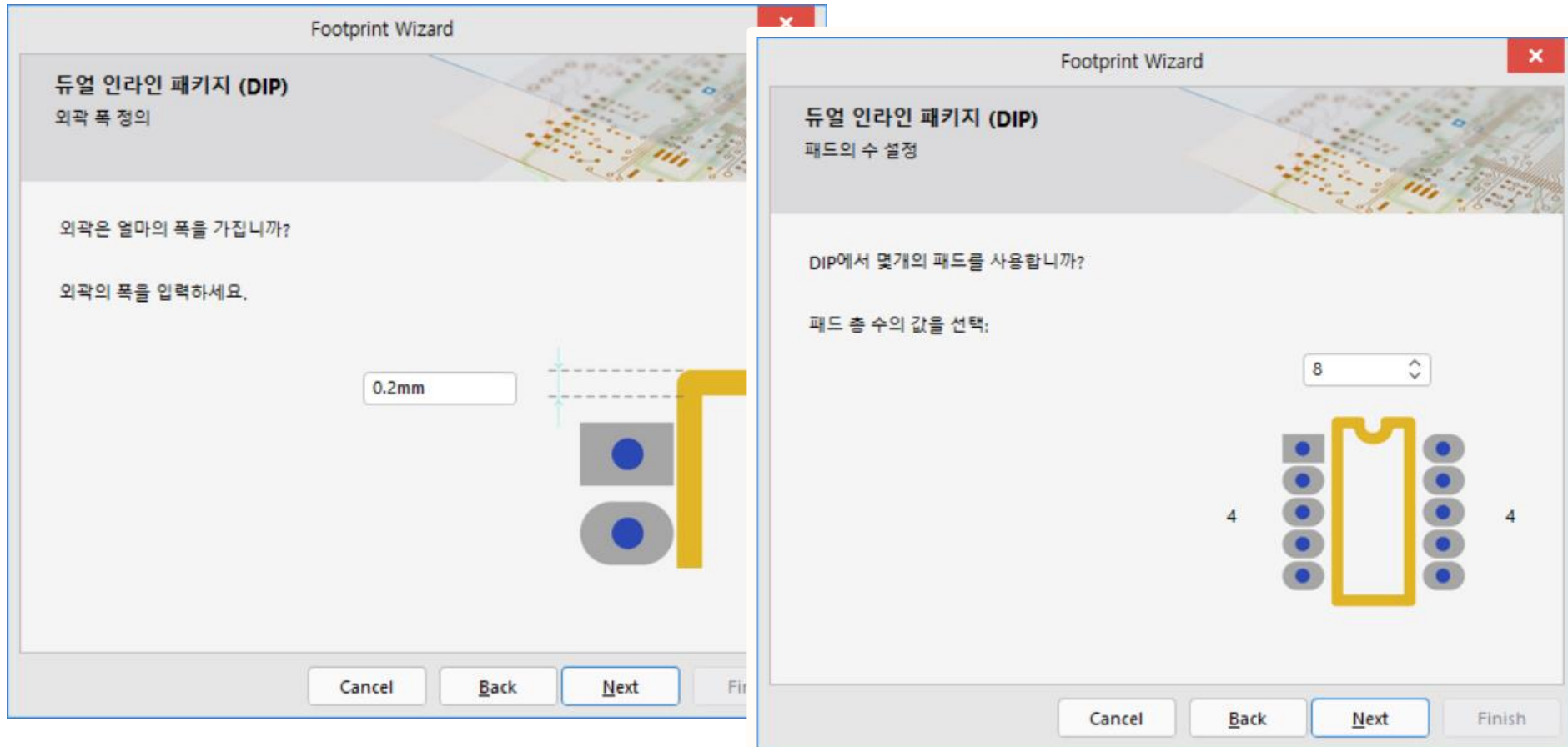
- 홀 크기 : 0.9mm
- 랜드 크기 : 1.4mm

- 패드 가로 간격 : 7.62mm (300mil)
- 패드 세로 간격 : 2.54mm (100mil)



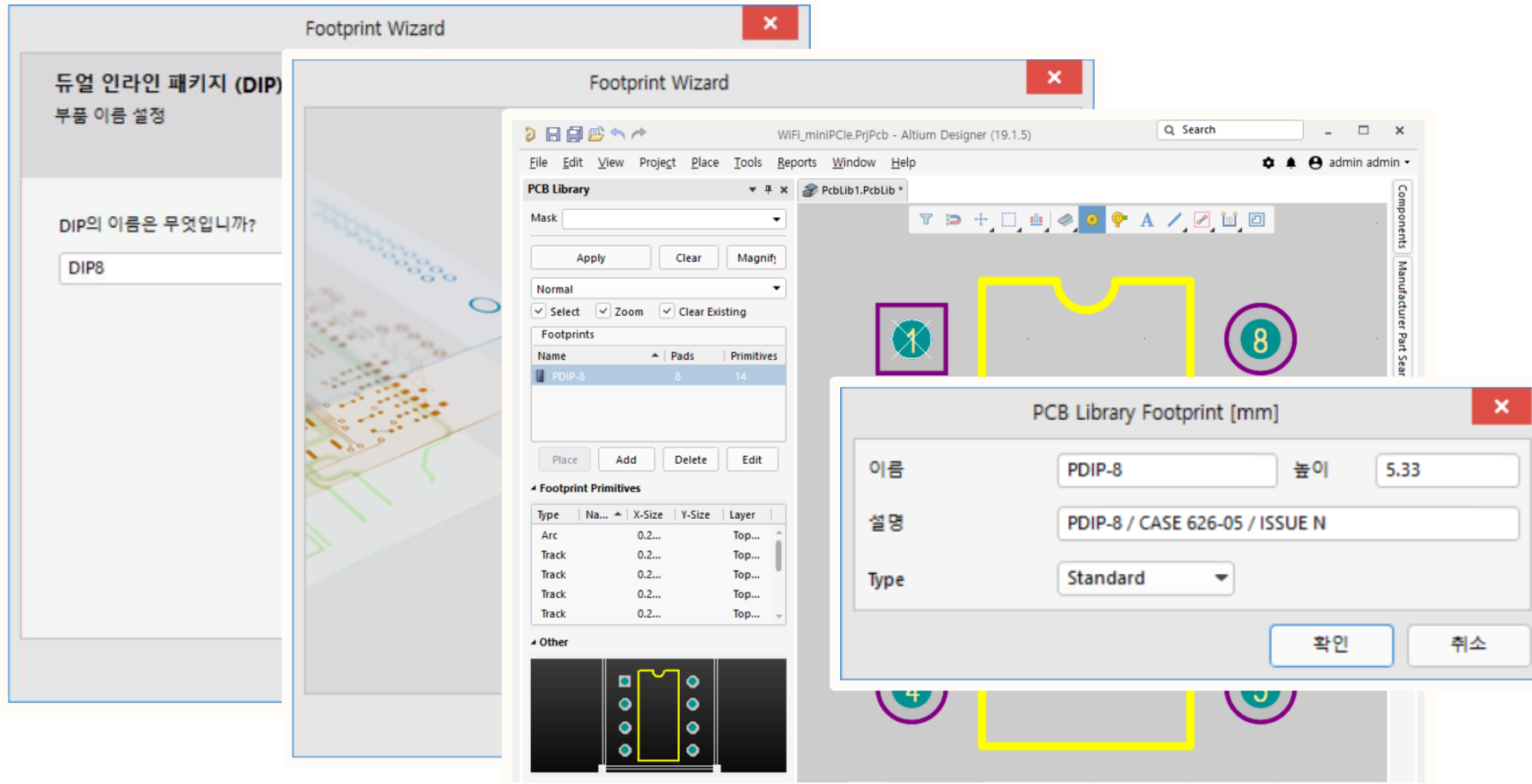
Footprint Wizard

- 외곽 두께 : 0.2mm (Top Overlayer)
- 패드 수 : 8



Footprint Wizard

- 부품 이름 : DIP8 입력 후, Footprint Wizard 종료.
- PCB Library 패널에서 부품 더블 클릭후, 부품 이름/설명/높이 설정.



Footprint 만들기

1. Footprint 제작 규격
2. IPC Compliant Footprint Wizard...
3. Footprint Wizard...
4. 수동으로 만들기

수동으로 만들기

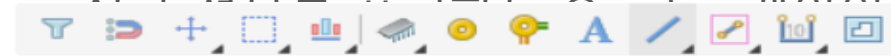
- 패드 만들기

- Place » Pad

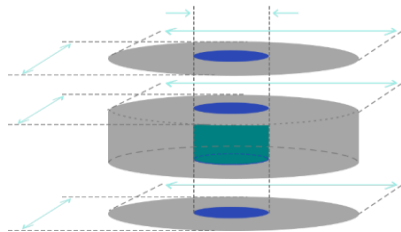
- Through Hole PAD / SMD PAD는 패드 속성에서 설정

- 부품 몸체 표현

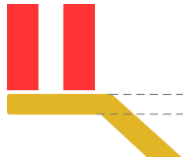
- 부품은 Top View 기준으로 제작



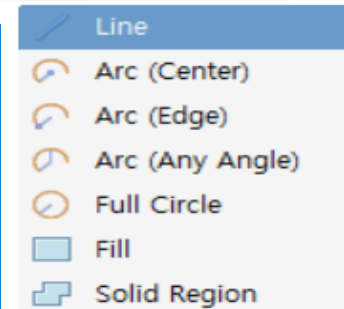
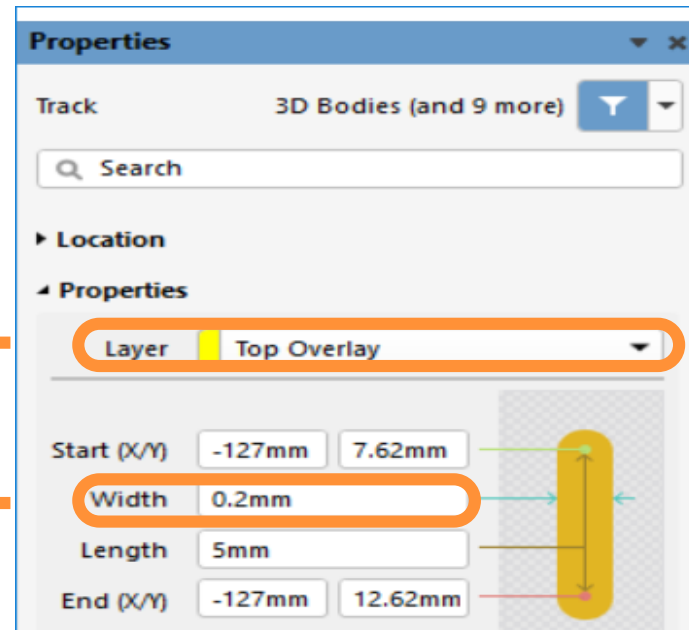
용



Top View인 경우 Top Overlay,
Bottom View인 경우 Bottom Overlay 선택

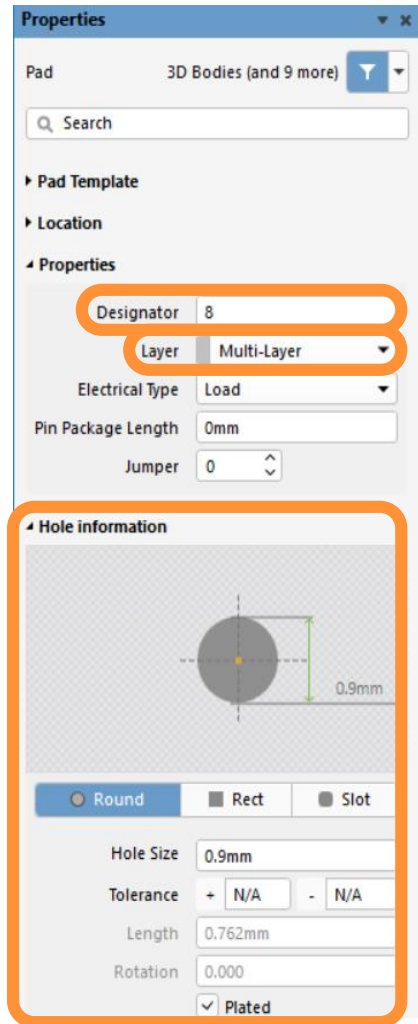


실크 선 두께 설정



패드 속성

• Through Hole PAD



패드 번호 입력

레이어 선택

Through Hole PAD 생성시,
Multi-Layer 선택



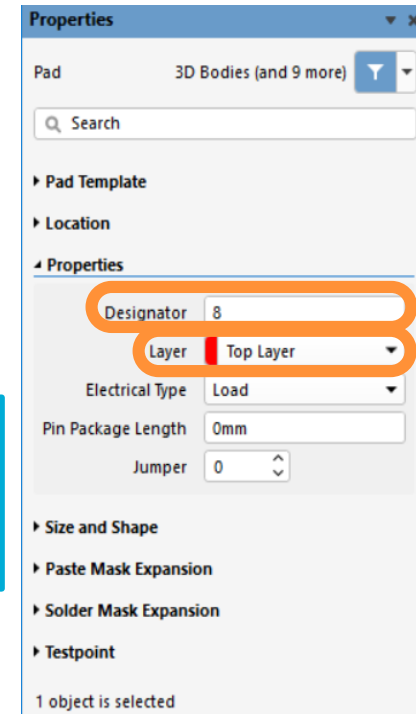
SMD PAD 생성시,
Top Layer 선택



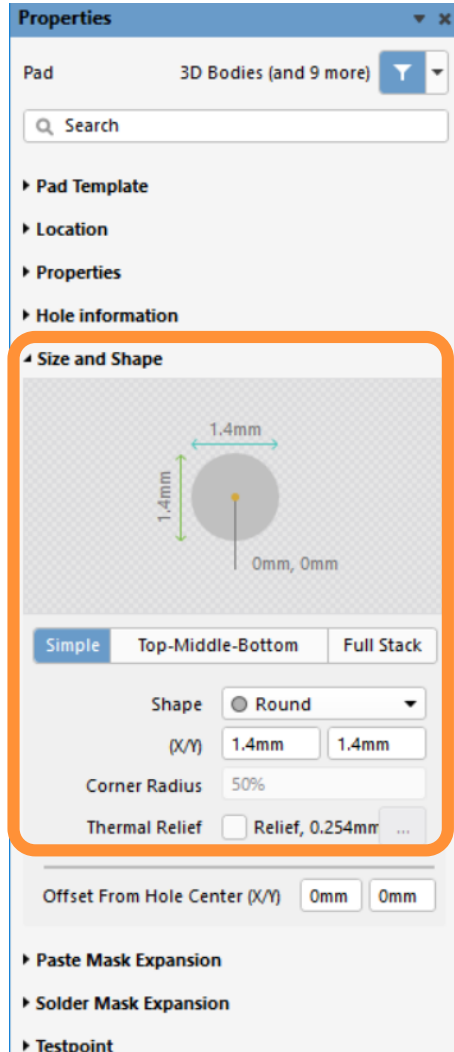
홀 크기 입력

홀 내벽 도금 유무 선택

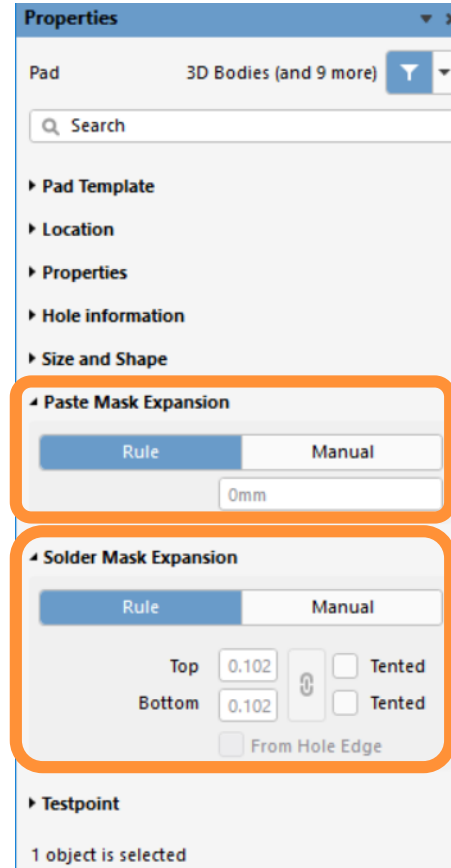
• SMD PAD



패드 속성



패드 크기 설정



Paste Mask 설정

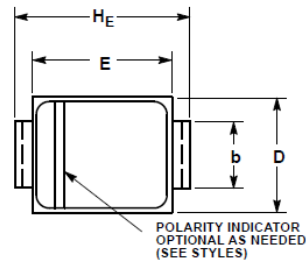
Solder Mask 설정

수동으로 Footprint 만들기 : D1-MBRA160T3-D

MBRA160, NRVBA160

PACKAGE DIMENSIONS

SMA
CASE 403D
ISSUE H



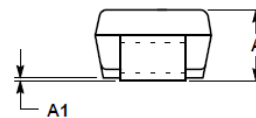
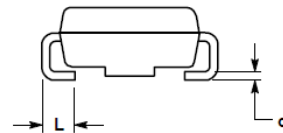
NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION b SHALL BE MEASURED WITHIN DIMENSION L.

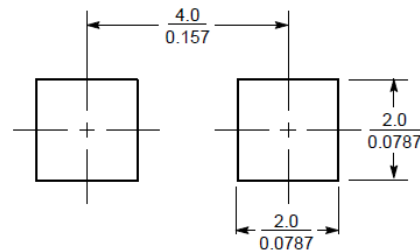
DIM	MILLIMETERS			INCHES		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.97	2.10	2.20	0.078	0.083	0.087
A1	0.05	0.10	0.20	0.002	0.004	0.008
b	1.27	1.45	1.63	0.050	0.057	0.064
c	0.15	0.28	0.41	0.006	0.011	0.016
D	2.29	2.60	2.92	0.090	0.103	0.115
E	4.06	4.32	4.57	0.160	0.170	0.180
H_E	4.83	5.21	5.59	0.190	0.205	0.220
L	0.76	1.14	1.52	0.030	0.045	0.060

STYLE 1:

1. CATHODE (POLARITY BAND)
2. ANODE

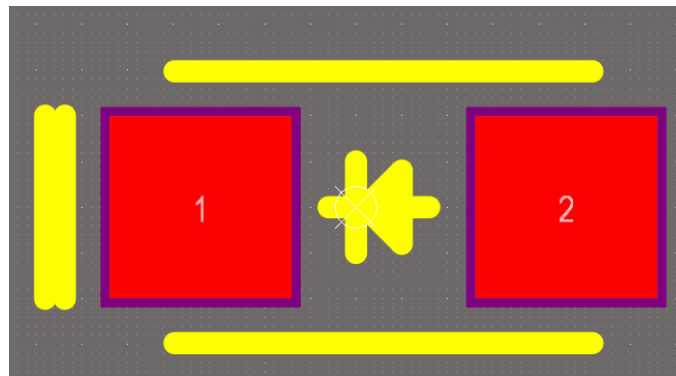
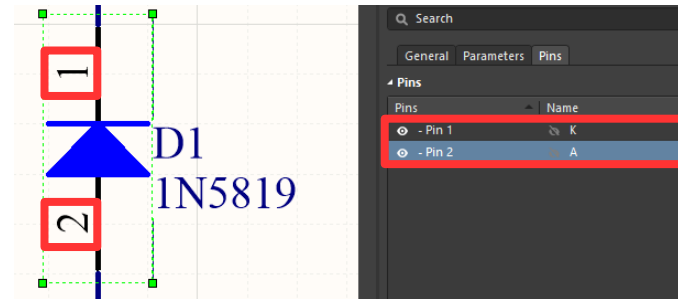
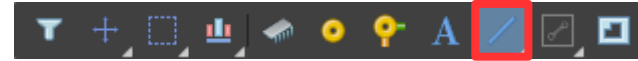
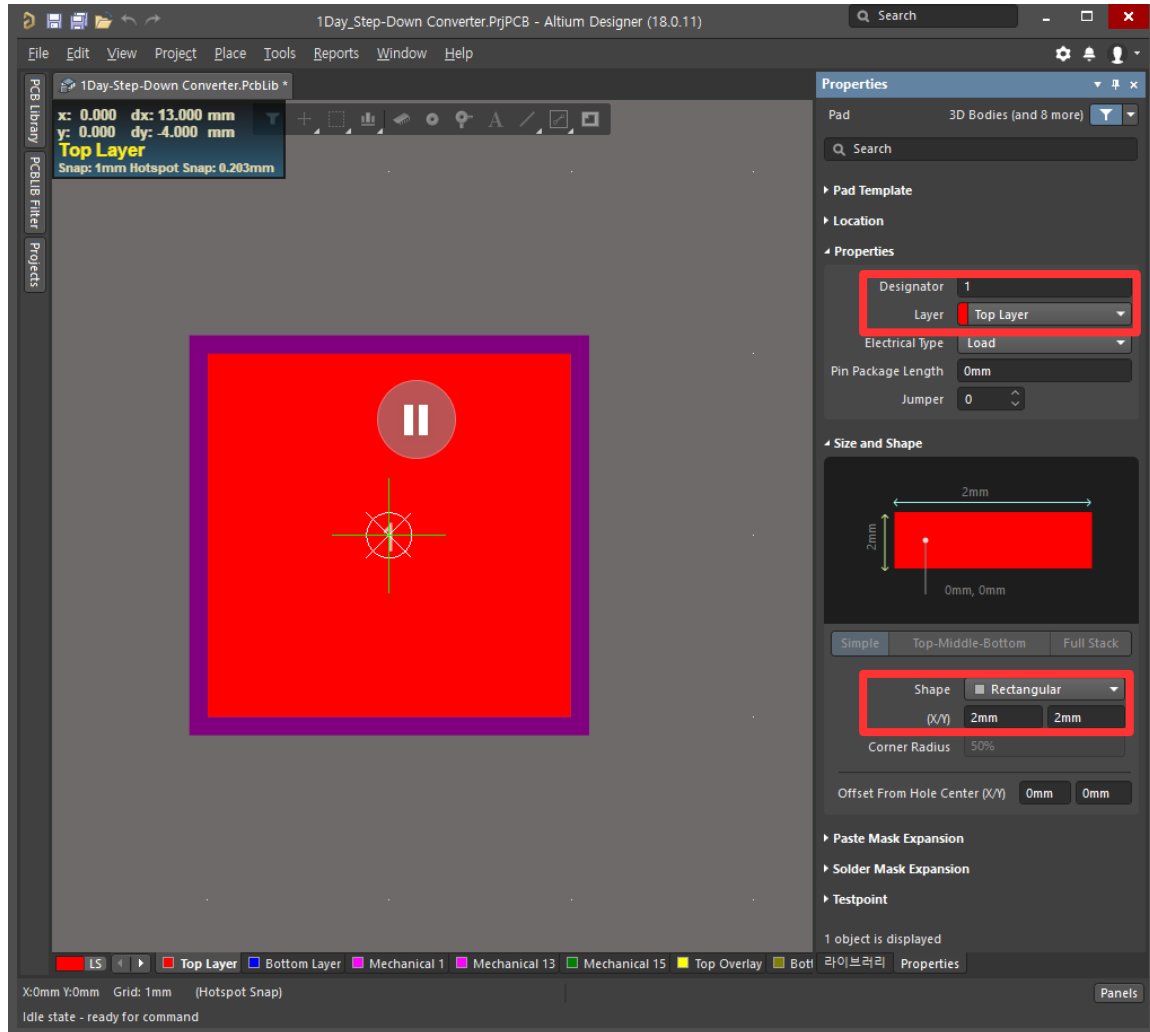


SOLDERING FOOTPRINT*



SCALE 8:1 (mm/inches)

수동으로 Footprint 만들기 : D1-MBRA160T3-D



라이브러리 제작 Gerber 파일

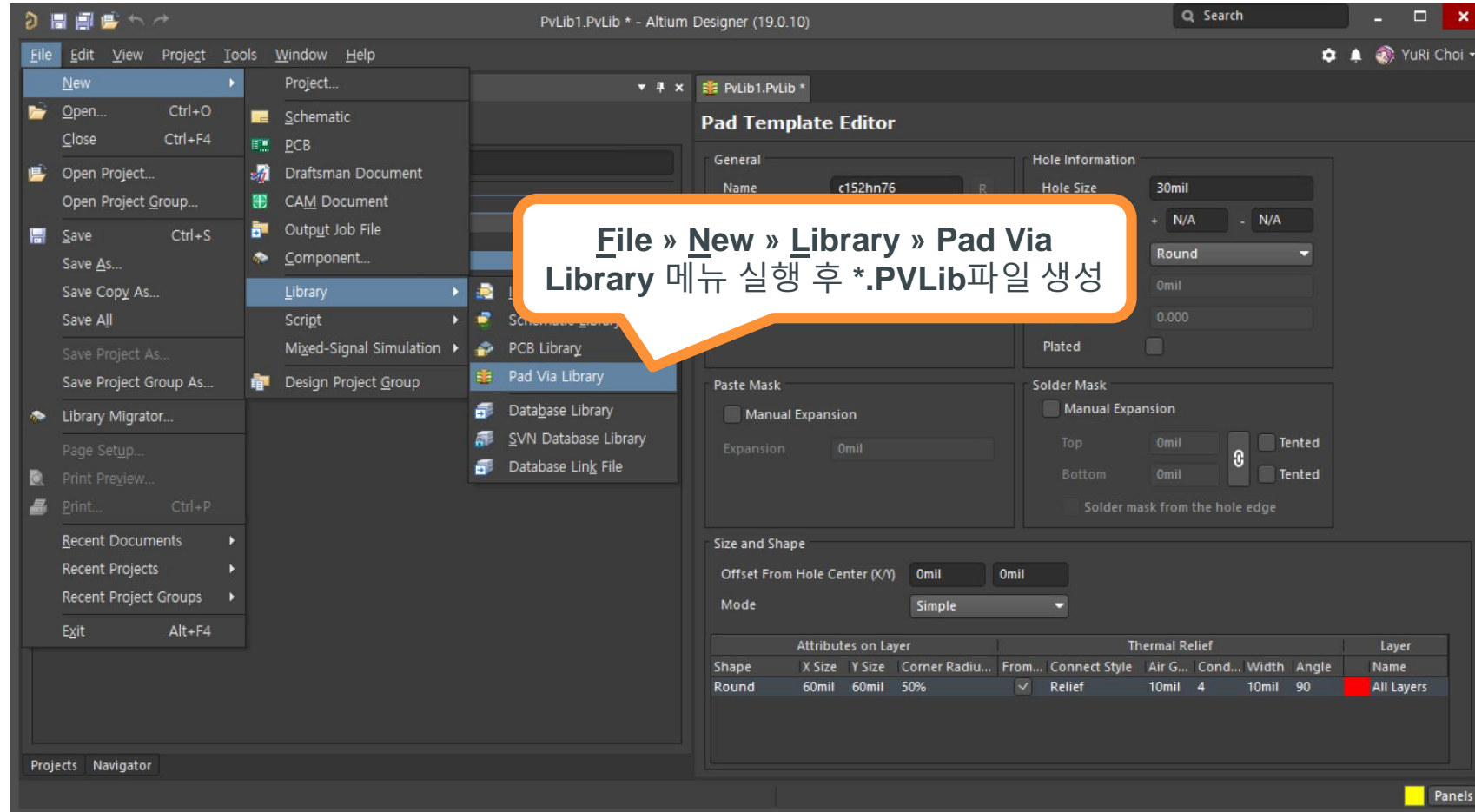
1. 회로심볼 만들기
2. Footprint 만들기
3. 패드/비아 라이브러리 만들기

패드/비아 라이브러리 만들기

1. 패드&비아 라이브러리 만들기
2. 패드&비아 라이브러리 등록하기
3. 패드&비아 라이브러리를 설계규칙에 적용하기

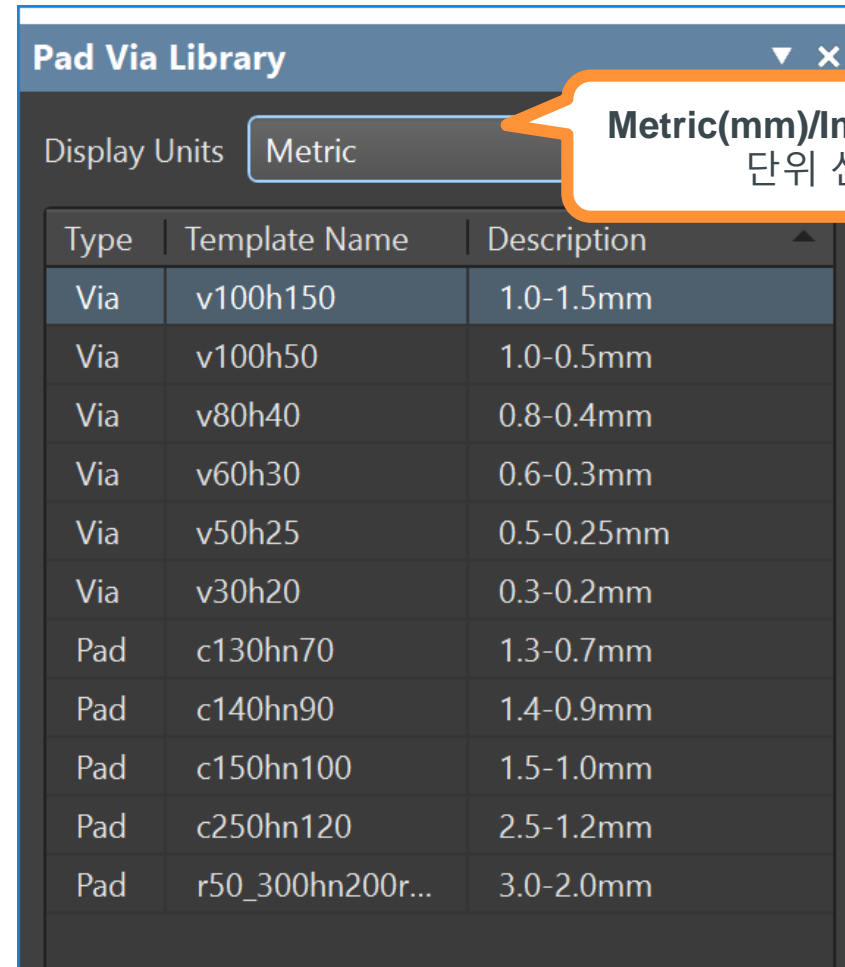
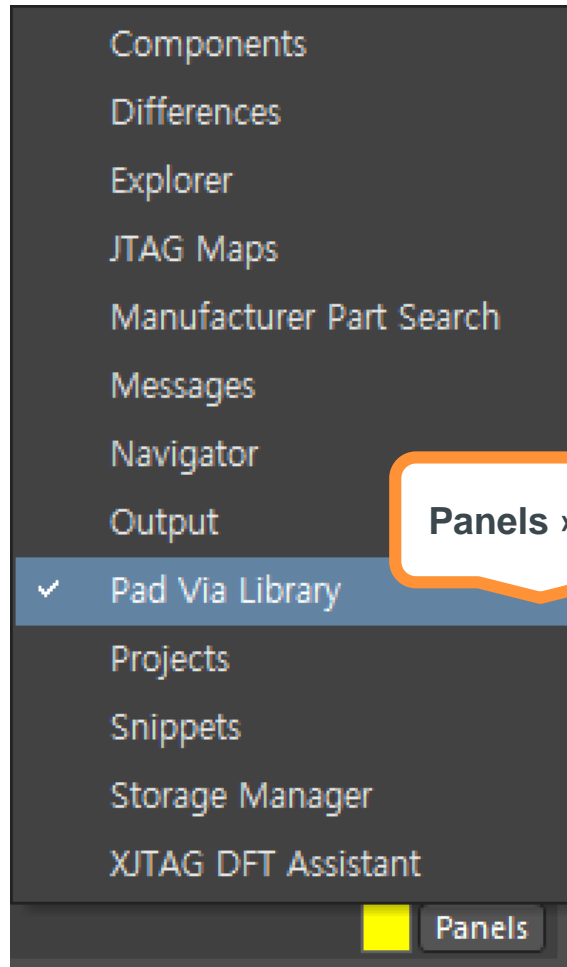
패드&비아 라이브러리 만들기

- 자주 사용하는 패드&비아의 크기/모양 설정 값을 라이브러리에 관리한다.

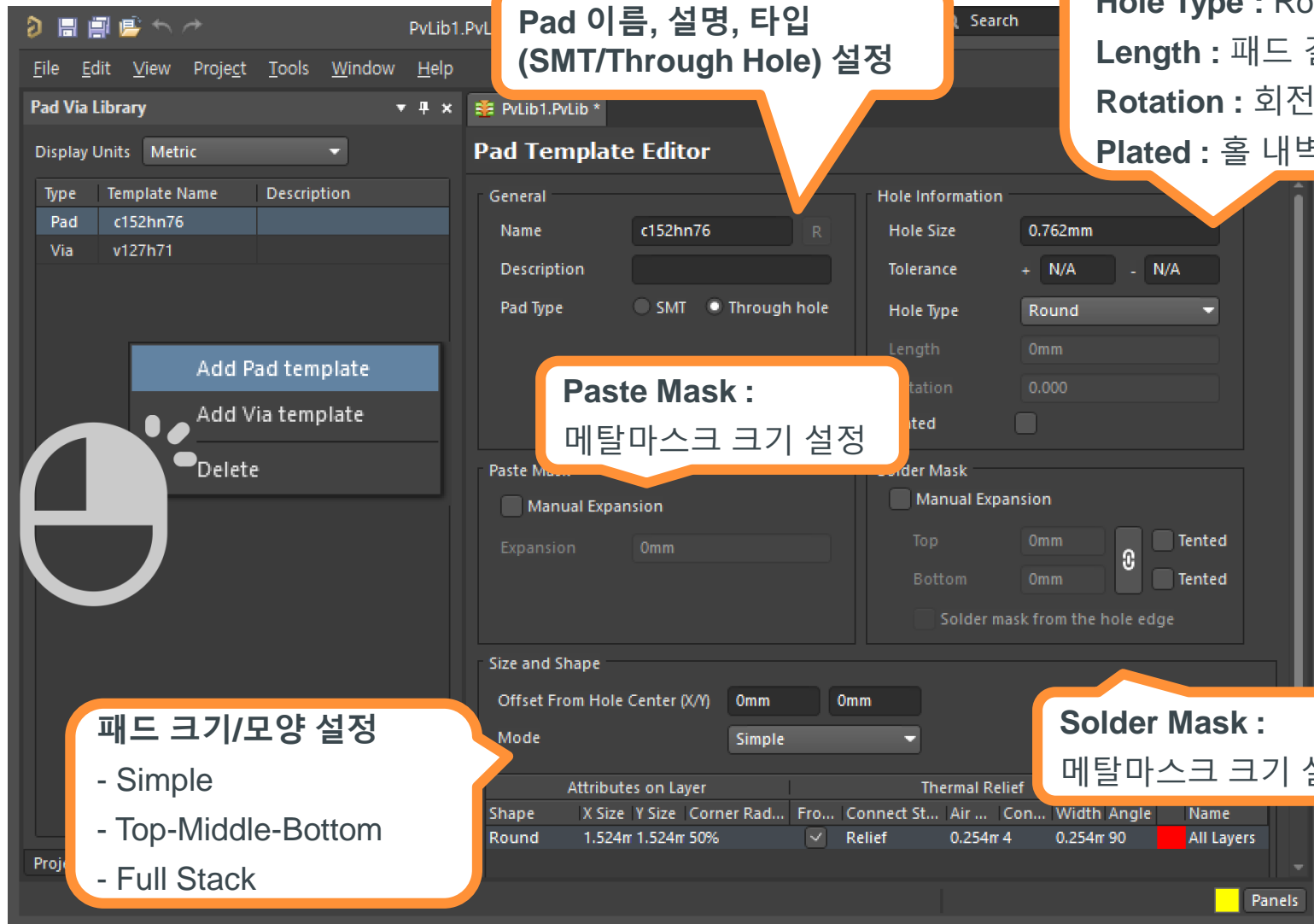


패드&비아 라이브러리에 패드&비아 추가하기

- *.PvLib 파일에서 Pad&Via를 생성하기 위해 Pad Via Library 패널을 실행한다.



패드 템플릿 추가 및 설정



비아 템플릿 추가 및 설정

Via 이름 및 설명 입력

Solder Mask :
솔더레지스터 설정
SR 생성 방지시 Tented에 체크

비아 크기/모양 설정

- Simple
- Top-Middle-Bottom
- Full Stack

Hole 크기 및 공차 설정

Pad Via Library

Type	Template Name	Description
Pad	c152hn76	
Via	v127h71	

Buttons: Add Pad template, Add Via template, Delete

Via Template Editor

General

Name: v127h71 R
Description:

Hole Information

Hole Size: 0.711mm
Tolerance: + N/A - N/A

Solder Mask

☐ Manual Expansion

Top: 0mm ☐ Tented
Bottom: 0mm ☐ Tented

☐ Solder mask from the hole edge

Size and Shape

Mode: Simple

Attribut...		Thermal Relief				Layer	
Diameter	From R...	Connect Style	Air Gap	Conduc...	Width	Angle	Name
1.27mm	✓	Relief	0.254mm	4	0.254mm	90	All Layers

Buttons: Projects, Navigator, Pad Via Library, Panels

패드&비아 크기/모양/스택업 설정

- 패드&비아에 레이어 적층구조에 따라 층별 다른 크기 및 모양을 설정할 수 있다.

Size and Shape

Mode: **Simple**

Attributes o...			Thermal Relief				Layer
Diameter	From Rule	Connect Style	Air Gap	Conductors	Width	Angle	Name
1.27mm	<input checked="" type="checkbox"/>	Relief	0.254mm	4	0.254mm	90	All Layers

Size and Shape

Mode: **Top-Middle-Bottom**

Attributes o...			Thermal Relief				Layer
Diameter	From Rule	Connect Style	Air Gap	Conductors	Width	Angle	Name
1.27mm	<input checked="" type="checkbox"/>	Relief	0.254mm	4	0.254mm	90	Top Layer
1.27mm	<input checked="" type="checkbox"/>	Relief	0.254mm	4	0.254mm	90	Mid Layers
1.27mm	<input checked="" type="checkbox"/>	Relief	0.254mm	4	0.254mm	90	Bottom Layer

Size and Shape

Mode: **Full Stack**

Attributes o...			Thermal Relief				Layer
Diameter	From Rule	Connect Style	Air Gap	Conductors	Width	Angle	Name
1.27mm	<input checked="" type="checkbox"/>	Relief	0.254mm	4	0.254mm	90	Top Layer
1.27mm	<input checked="" type="checkbox"/>	Relief	0.254mm	4	0.254mm	90	Bottom Layer

Add Layer

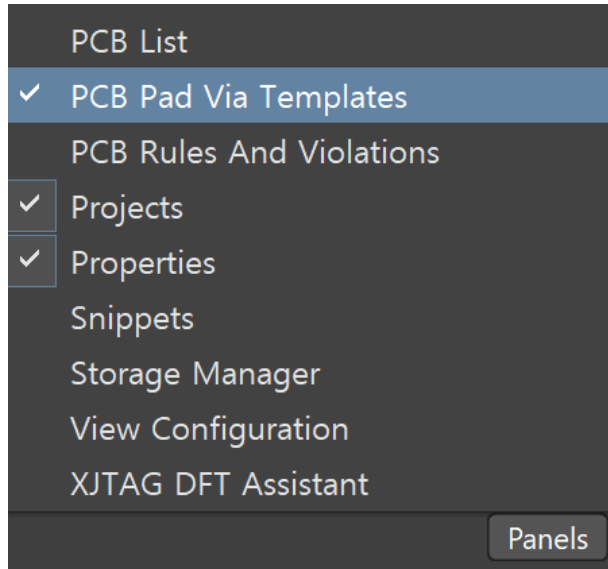
Remove Layer

Default layers list

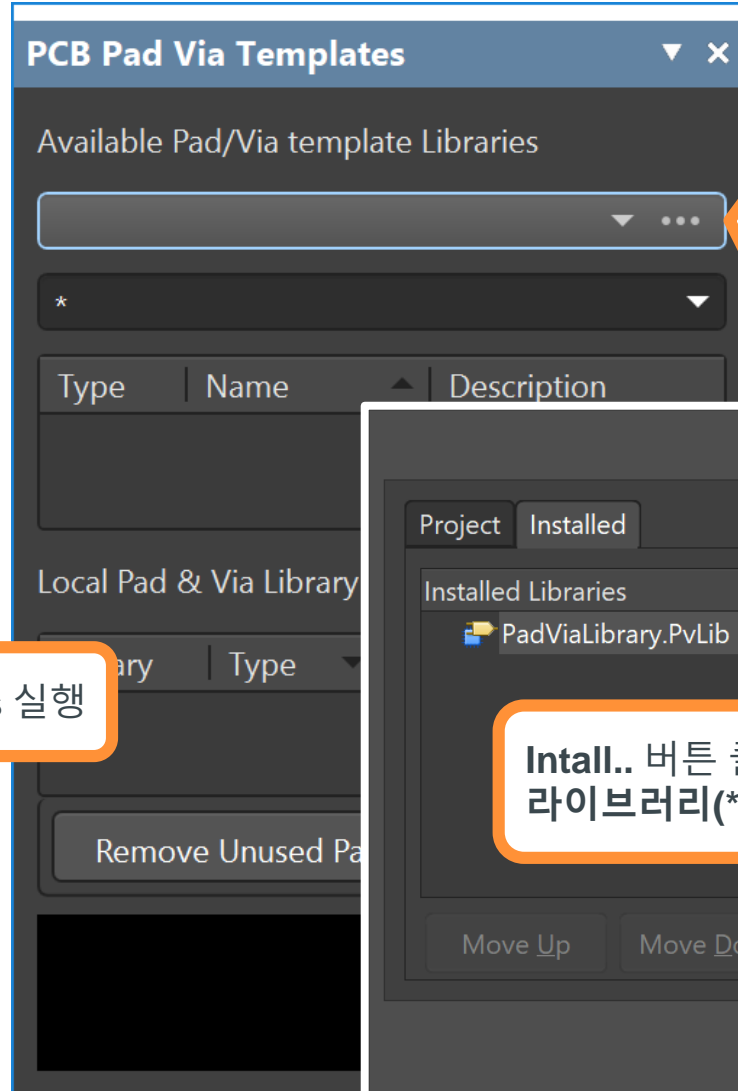
패드/비아 라이브러리 만들기

1. 패드&비아 라이브러리 만들기
2. 패드&비아 라이브러리 등록하기
3. 패드&비아 라이브러리를 설계규칙에 적용하기



패드&비아 템플릿 등록하기

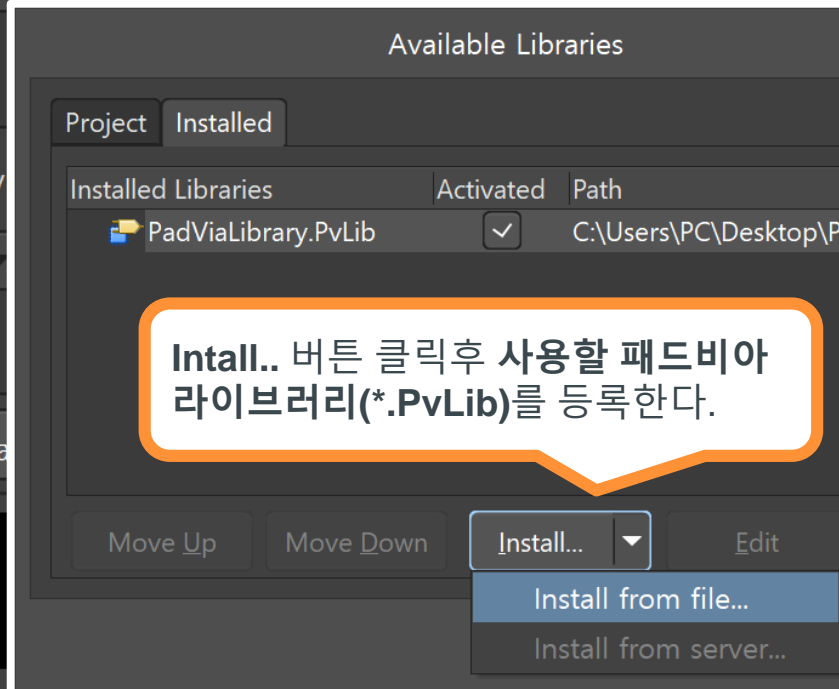


Panels » PCB Pad Via Templates 실행



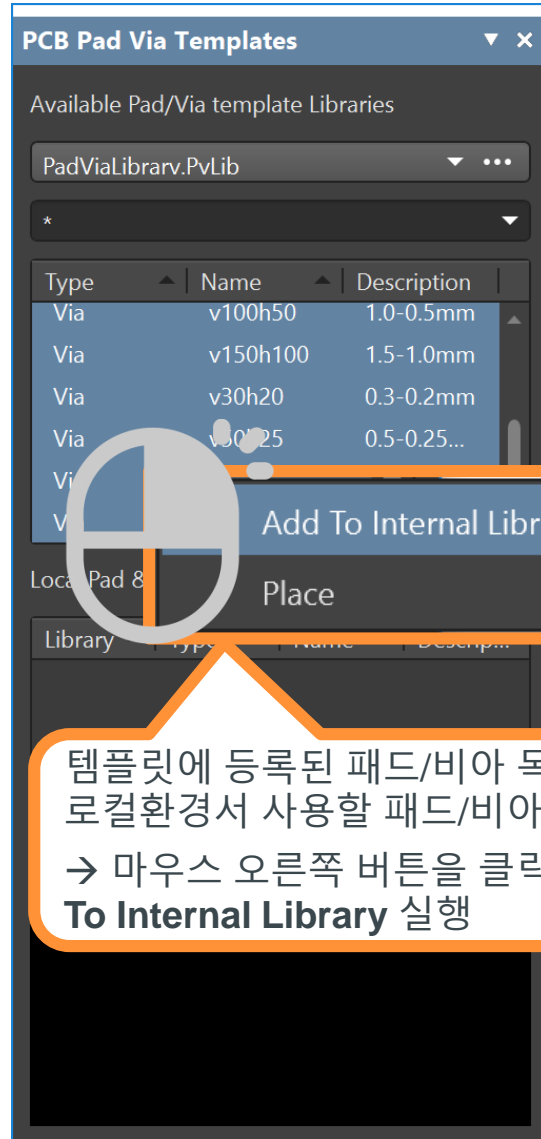
PCB Pad Via Templates

패널에서 등록된 패드 비아 템플릿 목록을 선택할 수 있으며, 라이브러리 추가는   버튼을 클릭한다.

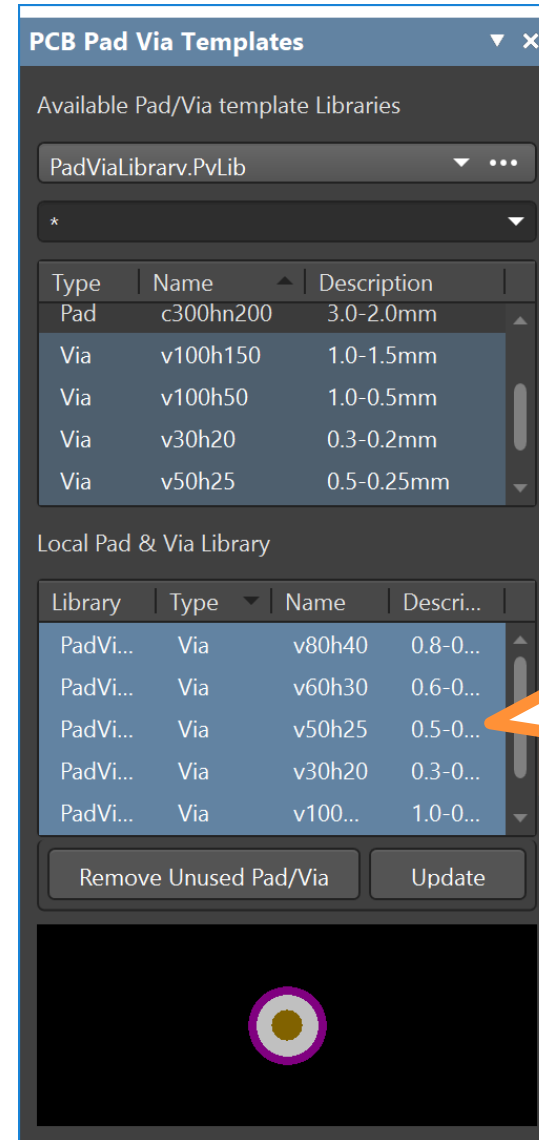


Intall.. 버튼 클릭후 사용할 패드비아 라이브러리(*.PvLib)를 등록한다.

패드&비아 템플릿을 로컬 라이브러리로 등록하기



템플릿에 등록된 패드/비아 목록에서
로컬환경서 사용할 패드/비아 선택
→ 마우스 오른쪽 버튼을 클릭 → **Add
To Internal Library** 실행



로컬 패드/비아로 등록된 목록

패드/비아 라이브러리 만들기

1. 패드&비아 라이브러리 만들기
2. 패드&비아 라이브러리 등록하기
3. 패드&비아 라이브러리를 설계규칙에 적용하기

설계규칙에서 패드&비아 템플릿 적용하기

Design » Rules...을 실행한다.

비아/패드 템플릿에 적용된 Min/Max preferred → **Template preferred**로 변경한다.

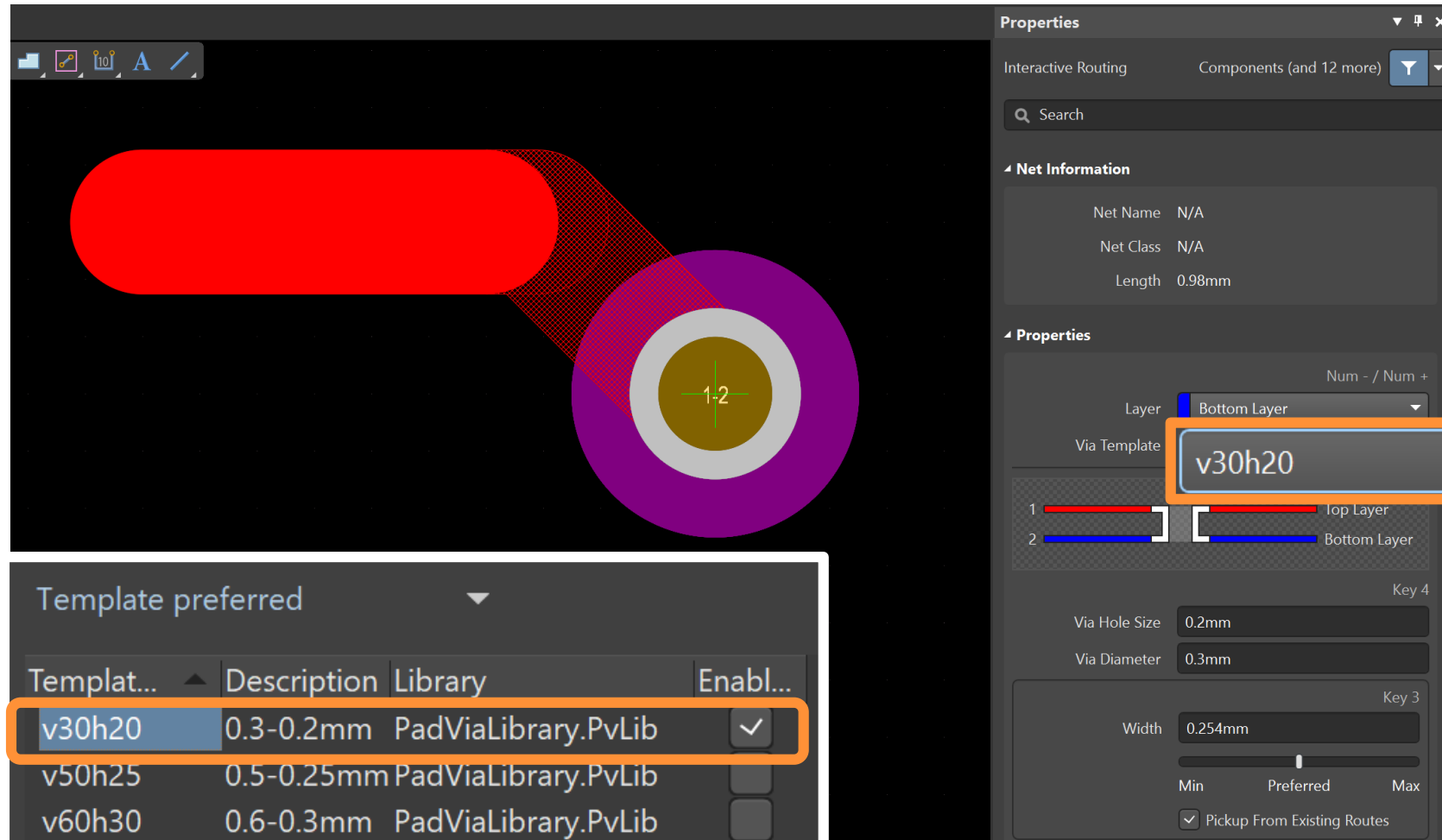
Design Rules » Routing » Routing Via Style에서 라우팅시 생성하는 비아 크기를 설정한다.
기본 조건은 All로 설정되어 있는데, 특정 넷 및 기타 조건별로 비아 크기를 설정할 수 있다.

Template preferred	Min/Max preferred	Template preferred	Enabl...
v30h20	0.3-0.2mm	PadViaLib1	<input type="checkbox"/>
v50h25	0.5-0.25mm	PadViaLib1	<input checked="" type="checkbox"/>
v60h30	0.6-0.3mm	PadViaLib1	<input type="checkbox"/>
v80h40	0.8-0.4mm	PadViaLib1	<input type="checkbox"/>
v100h50	1.0-0.5mm	PadViaLib1	<input type="checkbox"/>
v150h100	1.5-1.0mm	PadViaLib1	<input type="checkbox"/>

Via Hole Size
Minimum 0.711mm

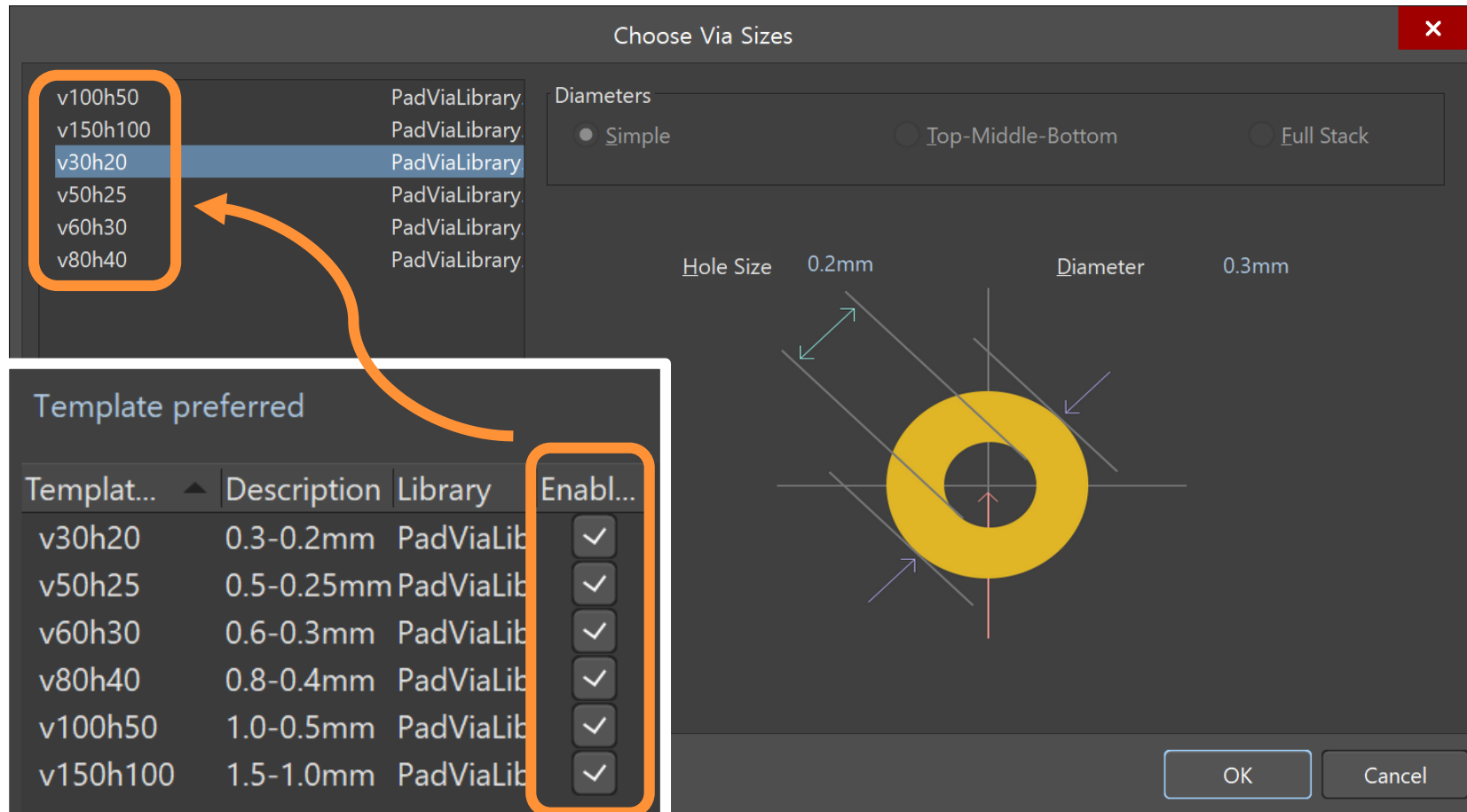
설계규칙에서 단일 비아를 등록한 경우

- Design Rule에서 단일 비아 선택 후, 라우팅시 [*]를 누르면 선택한 비아를 만든다.



설계규칙에서 다수의 비아를 등록한 경우

- Design Rule에서 여러 개의 비아의 Enable 항목을 선택하면, 라우팅시 [Shift+V]를 누르면, 아래 그림과 같이 Choose Via Sizes 창에서 확인된 비아 목록에서 사용할 비아를 선택한다.





(주)한컴MDS altium.hancommds.com

031-600-5188 altium@hancommds.com

본사 13493 경기도 성남시 분당구 대왕판교로 644번길 49 한컴타워 3,4층 031-627-3000

연구소 13487 경기도 성남시 분당구 판교로 228번길 17 판교세븐벤처밸리 2단지 1동 9층 031-600-5000

HANCOM

Template Visual Guide, version 1.0

© Hancom Inc. / Pangyo, February 2019